

19 RÉPUBLIQUE FRANÇAISE  
 INSTITUT NATIONAL  
 DE LA PROPRIÉTÉ INDUSTRIELLE  
 PARIS

11 N° de publication :  
 (à n'utiliser que pour les  
 commandes de reproduction)

2 637 707

21 N° d'enregistrement national :

89 13155

51 Int Cl<sup>5</sup> : G 06 F 7/38.

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 9 octobre 1989.

30 Priorité : JP, 8 octobre 1988, n° 252905/88.

43 Date de la mise à disposition du public de la  
 demande : BOPI « Brevets » n° 15 du 13 avril 1990.

60 Références à d'autres documents nationaux appa-  
 rentés :

71 Demandeur(s) : Société dite : NEC CORPORATION. —  
 JP.

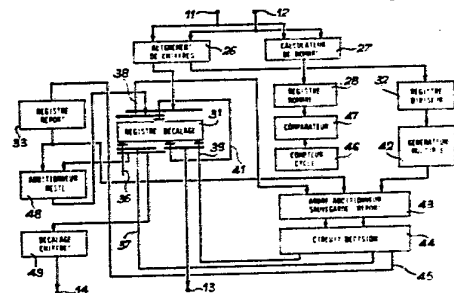
72 Inventeur(s) : Akihisa Makita ; Hiroshi Sakurai.

73 Titulaire(s) :

74 Mandataire(s) : Société de Protection des Inventions.

54 Circuit diviseur calculant un quotient de K chiffres de base m en K cycles machine.

57 Circuit pour diviser un dividende d'une première pluralité de chiffres de base m par un diviseur d'une deuxième pluralité de chiffres de base m pour fournir un certain nombre K de chiffres de base m du quotient, m représentant 2<sup>n</sup>. Pour cela il comprend un registre à décalage 31 comportant plusieurs parties et maintenant un contenu instantané utilisé comme contenu courant pendant une dernière partie d'un cycle précédant de deux cycles machine consécutifs, contenu qui est d'abord une concaténation du dividende et d'un chiffre zéro; un arbre d'addition et de sauvegarde de report 43 calculant un ensemble de sommes algébriques de rang zéro à m-1 d'une partie du contenu courant, moins de zéro à m-1 fois le diviseur, plus un report d'un cycle machine antérieur, pour avoir un quotient partiel et une donnée de somme qui sont stockés dans un cycle initial d'un cycle machine suivant dans des parties du registre à décalage; et après K cycles machine, ce registre est chargé avec un quotient éventuel.  
 Application aux calculateurs.



FR 2 637 707 - A1

CIRCUIT DIVISEUR CALCULANT UN QUOTIENT DE K CHIFFRES DE  
BASE  $m$  EN K CYCLES MACHINE

Cette invention se rapporte à un circuit diviseur pour diviser un dividende d'une pluralité de chiffres de base  $m$  par un diviseur d'au moins un chiffre de base  $m$ , où  $m$  représente  $2^N$ , où  $N$  représente, à son tour, un entier décimal prédéterminé qui n'est pas inférieur à un.  
5 Chaque chiffre de base  $m$  du dividende et du diviseur est par conséquent un chiffre binaire, quaternaire, octal, hexadécimal, ou similaire. En particulier, le circuit diviseur sert à calculer un quotient conjointement avec  
10 un reste. A propos de cette invention, il faut noter qu'on peut dire du dividende et du quotient qu'il consiste en une pluralité de chiffres de base  $m$  sans perdre en généralité.

Un tel circuit diviseur est utile dans de nombreux  
15 champs d'application, tels qu'un calculateur numérique électronique. Plus spécifiquement, le circuit diviseur est un circuit diviseur à virgule fixe selon cette invention.

De la manière qui va être décrite plus loin avec  
20 référence à l'une des quelques illustrations des dessins complémentaires, de nombreux cycles machine sont nécessaires pour calculer le quotient par un circuit diviseur classique. Un circuit diviseur amélioré est révélé dans le brevet des Etats-Unis No. 4,725,974  
25 délivré à Takashi Kanazawa. Le circuit diviseur amélioré est capable de réaliser un débit de données élevé. Cependant, le circuit diviseur amélioré comprend une grande quantité de matériel.

Par conséquent, un objet de la présente invention  
30 consiste à prévoir un circuit diviseur capable de calculer un quotient d'un certain nombre  $K$  de chiffres de base  $2^N$  en  $K$  cycles machine.

Un autre objet de cette invention consiste à prévoir

un circuit diviseur du type décrit, qui comprend une quantité la plus petite possible de matériel.

D'autres objets de cette invention deviendront clairs au fur et à mesure que la description se poursuit.

5 Dans la description du fond de cette invention, il est possible de comprendre qu'un circuit diviseur sert à diviser un dividende d'une première pluralité de chiffres de base  $m$  par un diviseur d'une deuxième pluralité de chiffres de base  $m$ , où  $m$  représente  $2^N$  et où  $N$  représente  
10 un entier décimal prédéterminé qui n'est pas inférieur à un.

Selon cette invention, le circuit diviseur ainsi compris plus haut comprend : (a) un dispositif d'alignement de chiffres pour aligner les chiffres de  
15 base  $m$  du dividende et du diviseur pour produire un dividende modifié et un diviseur modifié avec leur chiffre le plus significatif aligné; (b) un registre à décalage comportant une partie la plus significative pour un chiffre de base  $m$ , une première partie supérieure pour  
20 la deuxième pluralité moins un des chiffres de base  $m$ , une deuxième partie supérieure pour un chiffre de base  $m$  et une partie la moins significative pour un chiffre de base  $m$  pour maintenir un contenu instantané d'un plus la première pluralité de chiffres de base  $m$ , la partie la  
25 plus significative et les première et deuxième parties supérieures servant à maintenir une partie haute du contenu instantané, le contenu instantané étant un contenu courant pendant une dernière période d'un cycle précédent de deux cycles machine consécutifs, le registre  
30 à décalage étant connecté, sauf pour la partie la plus significative, au dispositif d'alignement de chiffres pour maintenir une concaténation d'un chiffre zéro de base  $m$  et du dividende modifié en tant que contenu courant lors du début du mode de fonctionnement du  
35 circuit diviseur; (c) un registre de report pour mémoriser un report mémorisé; (d) des moyens calculateurs

de somme connectés au dispositif d'alignement de chiffres, à la partie la plus significative et aux première et deuxième parties supérieures, et au registre de report pour calculer un ensemble de sommes algébriques de la partie haute du contenu courant, moins des produits du diviseur modifié et de nombres à un chiffre de base m, plus le report mémorisé; (e) un circuit de décision connecté aux moyens calculateurs pour utiliser l'ensemble de sommes algébriques afin de décider d'un quotient partiel d'un chiffre de base m et d'une donnée de somme de la deuxième pluralité de chiffres de base m dans une période initiale d'un cycle suivant des deux cycles machine consécutifs; (f) des moyens de décalage connectés au registre à décalage pour décaler le contenu courant d'un chiffre de base m vers son chiffre le plus significatif, pour que le registre à décalage maintienne un contenu décalé en tant que contenu instantané lorsque le cycle précédent des deux cycles machine consécutifs avance au cycle suivant des deux cycles machine consécutifs; et (g) des moyens de mise à jour connectés à la partie la plus significative, la première partie supérieure et la partie la moins significative et au circuit de décision pour mettre à jour le contenu décalé dans un contenu mis à jour, avec la donnée de somme et le quotient partiel substitués à des parties du contenu décalé qui sont maintenus dans la partie la plus significative et la première partie supérieure et dans la partie la moins significative, respectivement, le contenu mis à jour servant de contenu courant pendant la dernière période du cycle suivant des deux cycles machine consécutifs.

La figure 1 est un bloc-diagramme d'un circuit diviseur classique;

La figure 2 est un bloc-diagramme d'un circuit diviseur selon un mode de réalisation de la présente invention;

La figure 3 est un bloc-diagramme détaillé d'une partie du circuit diviseur représenté dans la figure 2; et

La figure 4 est une représentation à utiliser dans la description du mode de fonctionnement du circuit diviseur illustré dans la figure 2.

En se référant à la figure 1, un circuit diviseur classique va d'abord être décrit afin de faciliter la compréhension de la présente invention. Le circuit diviseur sert à diviser un dividende de base  $m$  par un diviseur de base  $m$  pour calculer un quotient conjointement avec un reste et comporte un terminal d'entrée 11 de dividende, un terminal d'entrée 12 de diviseur, un terminal de sortie 13 de quotient et un terminal de sortie 14 de reste.

Les faits suivants devraient être compris tout au long de la présente description du brevet. Il est possible de dire sans perdre en considération générale que le dividende consiste en une première pluralité de chiffres de base  $m$ , que le diviseur consiste en une deuxième pluralité de chiffres de base  $m$  et que le quotient consiste en un nombre  $K$  de chiffres du quotient, de chiffres de base  $m$ . Chaque chiffre de base  $m$  est un chiffre binaire, quaternaire, octal, hexadécimal ou similaire. Plus précisément,  $m$  représente  $2^N$ , où  $N$  représente un entier décimal prédéterminé qui n'est pas inférieur à un.

Dans l'exemple qui est illustré, le terminal d'entrée 11 de dividende est alimenté avec un signal de dividende représentant le dividende comme une pluralité de bits de dividende, au nombre de  $D_d$ . Le terminal d'entrée 12 de diviseur est alimentée avec un signal de diviseur qui représente le diviseur comme une pluralité de bits de diviseur, au nombre de  $D_s$ . Les bits de dividende sont séparés (réf 15) en une partie haute et une partie basse. La partie haute consiste en  $D_s$  bits de

dividende.

La partie haute est stockée dans un premier registre 16 et la partie basse, dans un deuxième registre 17. Les bits de diviseur sont stockés dans un troisième registre 18. On verra qu'une flèche courte est dessinée à partir du deuxième registre 17 vers le premier registre 16. Cette flèche montre que les premier et deuxième registres 16 et 17 sont prêts à être exploités collectivement en tant que registre à décalage pour maintenir un contenu de chiffres binaires dans lequel les chiffres binaires sont décalés d'un bit vers la gauche de la figure par chacune des impulsions de décalage qui sont positionnées dans une séquence d'impulsions de décalage à des moments définis par des cycles machine successifs.

Dans chaque cycle machine, le premier registre 16 produit simultanément les bits qui y sont maintenus. Le troisième registre 18 produit toujours des bits diviseurs inversés en bits parallèles. Les bits inversés de diviseur sont collectivement représentatifs d'un complément du diviseur.

Un additionneur 21 sert aux première et deuxième entrées à  $D_s$  bits de l'additionneur. La première entrée de l'additionneur est alimentée à partir du premier registre 16 et la deuxième entrée de l'additionneur, à partir du troisième registre 18. L'additionneur 21 est alimenté en outre avec un bit complémentaire C (entrée) d'un "un" binaire. Alimenté avec le complément du diviseur et le bit complémentaire "un" binaire, l'additionneur 21 soustrait d'abord le diviseur de la partie haute des bits de dividende, pour produire une différence consistant en une sortie de report C (sortie) et en une somme algébrique d'un bit.

Immédiatement avant que l'additionneur 21 produise une telle somme algébrique, les bits sont décalés dans les premier et deuxième registres 16 et 17. La partie haute devient une nouvelle partie haute avec son bit le

moins significatif décalé à partir du deuxième registre  
17 dans le premier registre 16. La partie basse a son bit  
le plus significatif décalé à partir du deuxième registre  
17 vers le premier registre 16 en tant que bit le moins  
5 significatif de la nouvelle partie haute. La partie basse  
devient de cette façon une nouvelle partie basse.

Pendant ce temps, la sortie de report est contrôlée  
en 22 pour savoir si la sortie de report est un un  
binaire ou un zéro binaire. Si la sortie de report est le  
10 un binaire, la somme algébrique est positive. La somme  
est substituée dans le premier registre 16 au bit le  
moins significatif de la nouvelle partie haute. La sortie  
de report est substituée dans le deuxième registre 17 au  
bit le moins significatif de la nouvelle partie basse. Si  
15 la sortie de report est le zéro binaire, la somme  
algébrique est négative. Dans cette éventualité, les  
premier et deuxième registres 16 et 17 restent intacts.  
C'est-à-dire que les nouvelles parties haute et basse  
restent dans les premier et deuxième registres 16 et 17  
20 telles qu'elles sont.

De cette manière, le dividende est traité bit par  
bit jusqu'à ce que la partie basse du dividende soit  
complètement décalée à partir du deuxième registre 17  
dans le premier registre 16. A ce moment là, le deuxième  
25 registre 17 est chargé avec le quotient consistant en K  
bits. Le premier registre 16 est chargé avec le reste. On  
a maintenant compris que  $2^K$  cycles machine sont  
nécessaires pour calculer le quotient par le circuit  
diviseur classique.

30 En se référant maintenant à la figure 2, la  
description va se poursuivre avec un circuit diviseur  
selon un mode de réalisation préféré de cette invention.  
Selon cette invention, le circuit diviseur comprend  
surtout des éléments de circuit de base m et comprend  
35 seulement partiellement des éléments de circuit binaires.  
Il est possible de réaliser chaque élément de circuit de

base m par un élément de circuit binaire, quaternaire ou similaire.

Dans la figure 2, le circuit diviseur a un terminal d'entrée 11 de dividende, un terminal d'entrée 12 de  
5 diviseur, un terminal de sortie 13 de quotient et un terminal de sortie 14 de reste. Bien qu'il soit désigné par des numéros de référence similaires, le terminal d'entrée 11 de dividende est alimenté avec un signal de dividende représentatif du dividende de base m. Le  
10 terminal d'entrée 12 de diviseur est alimenté avec un signal de diviseur représentatif du diviseur de base m. C'est-à-dire que le terminal d'entrée 11 de dividende est alimenté avec la première pluralité de chiffres du dividende de base m tels qu'ils sont. Le terminal  
15 d'entrée 12 de diviseur est alimenté avec la deuxième pluralité de chiffres du diviseur de base m. C'est seulement lorsque le circuit diviseur est entièrement réalisé par des éléments de circuit binaires que  
dividende et diviseur sont représentés de préférence  
20 par un signal binaire. Entre parenthèses, le quotient et le reste seront appelés un quotient éventuel et un reste éventuel pour la raison qui deviendra claire plus tard.

Les signaux de dividende et de diviseur sont délivrés à un dispositif 26 d'alignement de chiffres de  
25 base m et à un calculateur 27 du nombre de chiffres du quotient. Le calculateur 27 du nombre de chiffres calcule un nombre  $D_d$  de chiffres du dividende des chiffres du dividende de base m et un nombre  $D_s$  de chiffres du diviseur des chiffres du diviseur de base m et ensuite un  
30 nombre K de chiffres du quotient de chiffres de base m du quotient éventuel. Le nombre de chiffres du quotient est stocké dans un registre de nombres 28.

Le dispositif d'alignement de chiffres 26 sert à aligner les chiffres de base m du dividende et du  
35 diviseur pour produire un dividende modifié et un diviseur modifié avec leur chiffre le plus significatif



aligné. Le dividende modifié est stocké dans un registre à décalage 31 de la manière qui sera décrite plus tard. Le diviseur modifié est stocké dans un registre diviseur 32. De la manière qui deviendra claire au fur et à mesure que la description se poursuit, un registre de report 33 mémorise un report mémorisé.

Le registre à décalage 31 a une pluralité d'étages de registre à décalage, chacun pour un chiffre de base m. En particulier, le registre à décalage 31 comprend une partie ou étage la plus significative indiquée par une première connexion 36, une première partie supérieure indiquée par une deuxième connexion 37 conjointement avec la partie la plus significative, une deuxième partie supérieure indiquée par une troisième connexion 38 conjointement avec la partie la plus significative et la première partie supérieure, une partie ou étage la moins significative indiquée par une quatrième connexion 39, et une partie basse qui inclut la partie la moins significative et qui sont les étages du registre à décalage, sauf pour une combinaison de la partie la plus significative et des première et deuxième parties supérieures. La partie la plus significative, les première et deuxième parties supérieures et la partie basse sont continues dans le registre à décalage 31.

Chacune des parties la plus et la moins significative et de la deuxième partie supérieure est pour un chiffre de base m. La première partie supérieure est pour la deuxième pluralité moins un de chiffres de base m. Il faut noter que l'expression "deuxième pluralité" se rapporte au nombre Ds de chiffres du diviseur et ne veut pas dire les chiffres du diviseur de base m. Ceci s'applique à l'expression "première pluralité", expression qui veut dire le nombre Dd de chiffres du dividende plutôt que les chiffres du dividende de base m.

Le registre à décalage 31, c'est-à-dire, une

succession de la partie la plus significative, des première et deuxième parties supérieures, et de la partie basse, sert à maintenir un contenu instantané. Une combinaison de la partie la plus significative et des première et deuxième parties supérieures sert à maintenir une partie haute du contenu instantané. La partie basse sert à maintenir une partie basse du contenu instantané. Juste pour simplifier la description, on supposera que le contenu instantané consiste en un chiffre de base  $m$  et la première pluralité de chiffres de base  $m$ .

Un tel chiffre plus la première pluralité de chiffres sont décalés d'un chiffre de base  $m$  vers son chiffre le plus significatif par chacune des impulsions de décalage qui sont situées dans une séquence d'impulsions de décalage à des moments définis par des cycles machine successifs. Vu que le registre à décalage 31 maintient son contenu décalé de cette manière de temps en temps, le registre à décalage 31 est dit ci-après maintenir le contenu instantané en tant que contenu courant pendant une dernière période ou partie d'un cycle précédent de deux cycles machine consécutifs. Le registre à décalage 31 est dit maintenir le contenu instantané en tant que contenu décalé pendant une période ou partie initiale d'un cycle suivant des deux cycles machine consécutifs.

Un dispositif de décalage est par conséquent connecté au registre à décalage 31 pour décaler le contenu courant d'un chiffre de base  $m$  par cycle machine vers son chiffre le plus significatif, pour que le registre à décalage 31 maintienne le contenu décalé. Il est possible de comprendre que le dispositif de décalage est représenté par une ligne 41 qui va être à présent décrite un petit peu plus en détail.

Lorsque le contenu courant est décalé dans le contenu décalé, un chiffre le plus significatif de la partie basse du contenu courant est décalé dans la

deuxième partie supérieure du registre à décalage 31 en tant que chiffre le moins significatif de la partie haute du contenu décalé. La ligne 21 indique ce fait.

Les première et deuxième parties supérieures et la  
5 partie basse sont connectées au dispositif d'alignement de chiffres 26. Lors du début du mode de fonctionnement du circuit diviseur, le contenu instantané est un contenu initial qui est une concaténation d'un chiffre zéro de base m et du dividende modifié et qui est utilisé en tant  
10 que contenu courant pendant la dernière période d'un premier cycle machine de début du mode de fonctionnement. C'est-à-dire que le chiffre zéro est stocké dans la partie la plus significative du registre à décalage 31 par l'intermédiaire de la première connexion 36 lorsque  
15 le dividende modifié est stocké dans les première et deuxième parties supérieures et la partie basse du registre à décalage 31, à partir du dispositif d'alignement de chiffres 26. Le registre de report 33 est alimenté avec un chiffre zéro de base m lors du début du  
20 mode de fonctionnement.

Le diviseur modifié est délivré à partir du registre diviseur 32 à un générateur multiple 42 pour produire, en tant que sorties du générateur, le diviseur modifié et moins  $2^n$  fois le diviseur modifié, où n est  
25 variable entre zéro et l'entier décimal prédéterminé, inclus tous deux. Comme il est produit, le diviseur modifié est identique avec une fois le diviseur modifié mémorisé dans le registre diviseur 32. Il est maintenant possible facilement d'obtenir des produits du diviseur  
30 modifié et de nombres à un chiffre de base m, c'est-à-dire, de zéro à  $(2^N - 1)$ , à partir des sorties du générateur.

Un arbre d'addition et de sauvegarde de report 43 est alimenté avec la partie haute du contenu courant à  
35 partir du registre à décalage 31 par l'intermédiaire de la troisième connexion 38 à l'intérieur de chaque cycle

machine, toujours avec les sorties du générateur multiple 42, et avec le report mémorisé à partir du registre de report 33 à l'intérieur de chaque cycle machine et il calcule un ensemble de sommes algébriques, au nombre de 5 m, de la partie haute du contenu courant moins les produits plus le report mémorisé. Chaque somme algébrique a un signe soit positif (plus), soit négatif (moins). De la manière qui sera décrite plus tard, l'arbre d'addition 43 comprend des branches d'addition et de sauvegarde de 10 report de rang zéro à  $(2^N - 1)$  ou  $(m-1)$  pour produire les sommes algébriques de chaque ensemble, respectivement.

A partir de l'arbre d'addition 43, un circuit de décision 44 est alimenté avec chaque ensemble des sommes algébriques conjointement avec leurs signes. Utilisant 15 les sommes algébriques et les signes, le circuit de décision 44 décide un quotient partiel d'un chiffre de base m, une donnée de report d'un chiffre de base m, et une donnée de somme de la deuxième pluralité de chiffres de base m dans la période initiale du cycle suivant des 20 deux cycles machine consécutifs:

Dans ce but, le circuit de décision 44 recherche une somme algébrique parmi chaque ensemble des sommes algébriques qui a le signe positif en tant que somme positive. La somme positive est produite par au moins une 25 des branches d'addition qui comprend toujours la branche d'addition de rang zéro. Quand une somme positive seulement est produite par la branche d'addition de rang zéro, le circuit de décision 44 décide que le quotient partiel est égal à zéro de base m. Lorsque deux sommes 30 positives sont produites par les branches d'addition de rang zéro et de rang un, le quotient partiel est égal à un de base m. De cette manière, le quotient partiel est égal à  $(m-1)$  de base m lorsque m sommes positives sont produites par toutes les branches d'addition, au nombre 35 de m.

Le circuit de décision 44 sélectionne la donnée de

report et la donnée de somme à partir de la somme positive produite par une des branches d'addition qui est utilisée pour décider du quotient partiel. Un tel circuit de décision 44 sera décrit plus tard un peu plus en  
5 détail.

Dès que le contenu courant est décalé dans le contenu décalé, le quotient partiel est stocké dans le registre à décalage 31 à la partie la moins significative, par l'intermédiaire de la quatrième  
10 connexion 39. La donnée de somme est stockée dans la partie la plus significative et la première partie supérieure, par l'intermédiaire de la deuxième connexion 37. De cette manière, le contenu décalé est mis à jour dans un contenu mis à jour dans la période initiale du  
15 cycle suivant des deux cycles machine consécutifs. Le contenu mis à jour est utilisé en tant que contenu courant pendant la dernière période du cycle suivant des deux cycles machine consécutifs. Par l'intermédiaire d'une connexion additionnelle 45, la donnée de report est  
20 stockée dans le registre de report 33 de nouveau en tant que report mémorisé.

On a compris maintenant qu'une combinaison du registre diviseur 32, du générateur multiple 42 et de l'arbre d'addition et de sauvegarde de report 43 sert  
25 d'unité de calcul de somme connectée au dispositif d'alignement de chiffres 26, à la partie la plus significative et aux première et deuxième parties supérieures du registre à décalage 31, et au registre de report 33 pour calculer chaque ensemble des sommes  
30 algébriques. Les connexions 37 et 39 sont utilisées collectivement en tant que dispositif de mise à jour connecté à la partie la plus significative, à la première partie supérieure et à la partie la moins significative du registre à décalage 31 et au circuit de décision 44  
35 pour mettre à jour le contenu décalé dans le contenu mis à jour pendant la période initiale du cycle suivant des

deux cycles machine consécutifs.

Dans la figure 2, le circuit diviseur comprend un compteur de cycles 46 alimenté avec la séquence d'impulsions de décalage pour compter un nombre de cycles des cycles machine successifs à partir du début du mode de fonctionnement du circuit diviseur. Connecté au registre de nombres 28 et au compteur de cycles 46, un comparateur 47 détecte un moment final auquel l'opération prend fin, c'est-à-dire, auquel le quotient éventuel est obtenu. Il faut noter qu'une combinaison du calculateur du nombre de chiffres 27 et du registre de nombres 28 sert d'unité de calcul du nombre de chiffres, alimentée avec le dividende et le diviseur à partir des terminaux d'entrée 11 et 12 de dividende et de diviseur pour calculer le nombre K de chiffres du quotient.

Pendant les cycles machine successifs, les quotients partiels sont successivement stockés dans la partie basse du registre à décalage 31. En conséquence, le registre à décalage 31 maintient le contenu mis à jour en tant que contenu éventuel lorsque le moment final est détecté. A ce moment, la partie basse du contenu éventuel est délivrée au terminal de sortie 13 de quotient en tant que quotient éventuel. On se rend compte par conséquent que le terminal de sortie 13 de quotient sert d'unité de production du quotient, connectée à la partie basse du registre à décalage 31 et couplée à l'unité de calcul du nombre de chiffres pour produire le quotient éventuel lorsque les cycles machine successifs deviennent égaux en nombre au nombre K de chiffres du quotient.

Un additionneur de reste 48 est connecté au registre de report 33, à la partie la plus significative et aux première et deuxième parties supérieures du registre à décalage 31 et il est couplé à l'unité de calcul du nombre de chiffres. Dès que le moment final est détecté, l'additionneur de reste 48 calcule une somme du report mémorisé et de la partie haute du contenu éventuel

pour produire un reste provisoire .

Dans l'exemple qui est illustré, le reste provisoire est substitué dans le registre à décalage 31 à la partie haute du contenu éventuel en tant que reste  
5 mémorisé. Un dispositif de décalage de chiffres 49 est connecté à la partie la plus significative et aux première et deuxième parties supérieures du registre à décalage 31 d'un chiffre de base m, décalant le reste mémorisé vers son chiffre le moins significatif. Le  
10 dispositif de décalage de chiffres 49 délivre de cette façon le reste éventuel au terminal de sortie 14 de reste.

En se référant aux figures 3 et 4, l'attention va se diriger sur l'arbre d'addition et de sauvegarde de  
15 report 43, le circuit de décision 44 et le mode de fonctionnement du circuit diviseur illustré avec référence à la figure 2. On supposera, juste pour la brièveté de la description, que les chiffres de base m sont des chiffres quaternaires, c'est-à-dire, que  
20 l'entier décimal prédéterminé est égal à deux.

Dans la figure 3, le générateur multiple 42 est représenté pour produire le diviseur modifié, moins une fois le diviseur modifié, moins deux fois le diviseur modifié et moins trois fois le diviseur modifié aux  
25 conducteurs 50, 51, 52 et 53 de rang zéro à trois, respectivement. L'arbre d'addition et de sauvegarde de report 43 comprend des branches d'addition et de sauvegarde de report 55, 56, 57 et 58 de rang zéro à trois.

30 La branche d'addition 55 de rang zéro comprend des extensions 38' et 59 de la troisième connexion 38 et d'une connexion prolongée à partir du registre de report 33. La première branche d'addition 56 comprend un premier additionneur de sauvegarde de report 61 connecté à la  
35 troisième connexion 38, au registre de report 33 et au premier conducteur 51. Le premier additionneur de

sauvegarde de report 61 produit une première donnée de report d'un chiffre quaternaire, une première donnée de somme de la deuxième pluralité de chiffres quaternaires et une première sortie de report d'un bit. La deuxième  
5 branche d'addition 57 comprend un deuxième additionneur de sauvegarde de report 62 connecté à la troisième connection 38, au registre de report 33 et au deuxième conducteur 52 pour produire une deuxième donnée de report et une deuxième donnée de somme conjointement avec une  
10 deuxième sortie de report. La troisième branche d'addition 58 comprend un troisième additionneur de sauvegarde de report 63 connecté à la troisième connection 38, au registre de report 33 et au troisième conducteur 53 pour produire une donnée de report  
15 intermédiaire et une donnée de somme intermédiaire conjointement avec une sortie de report intermédiaire. La troisième branche d'addition 58 comprend de plus un additionneur de sauvegarde de report additionnel 64 alimenté avec les données de report et de somme  
20 intermédiaires conjointement avec la sortie de report intermédiaire, pour produire une troisième donnée de report et une troisième donnée de somme conjointement avec une troisième sortie de report.

Par l'intermédiaire de la branche d'addition et de  
25 sauvegarde de report 55 de rang zéro, la partie haute du contenu courant est utilisée en tant que donnée de somme de rang zéro. Le report mémorisé est utilisé en tant que donnée de report de rang zéro. Les données de report et de somme de rang zéro sont utilisées en tant que somme  
30 algébrique de rang zéro, qu'on a compris avoir le signe positif. Les premières données de report et de somme sont utilisées en tant que première somme algébrique conjointement avec la première sortie de report. De cette manière, les deuxième et troisième branches d'addition et  
35 de sauvegarde de report 57 et 58 produisent des deuxième et troisième sommes algébriques.



Dans la figure 3, le circuit de décision 44 est alimenté avec les sommes algébriques de rang zéro à trois. En utilisant de la première à la troisième sortie de report, le circuit de décision 44 recherche la somme ou les sommes positives et alimente le quotient partiel à la quatrième connexion 39. Le quotient partiel peut facilement être décidé, comme en utilisant une mémoire morte à laquelle la première à la troisième sortie de report sont délivrées collectivement en tant que signal d'adresse.

Dans la figure 4, il est en outre présumé que la première pluralité est égale à quatre et que la deuxième pluralité est égale à deux. Les chiffres quaternaires sont représentés par des bits. Le long d'une ligne du haut ou première ligne référencée (1), le dividende et le diviseur sont exemplifiés comme alimentés aux terminaux d'entrée 11 et 12 de dividende et de diviseur. Le long d'une deuxième ligne étiquetée (2), le dividende modifié et le diviseur modifié sont représentés.

De la manière représentée le long d'une troisième ligne référencée (3), le contenu initial est maintenu dans le registre à décalage 31 pendant le premier cycle machine. Le diviseur modifié est conservé dans le registre diviseur 32 tout au long des cycles machine successifs. Les branches d'addition et de sauvegarde de report de rang zéro à trois sont indiquées en 55 à 58. Comme représenté au-dessous de la troisième ligne, la première sortie de report montre que la première somme algébrique est positive en addition à la somme algébrique de rang zéro. Le quotient partiel est par conséquent décidé comme étant égal au un quaternaire. Le circuit de décision 44 sélectionne les premières données de report et de somme.

De la manière représentée le long d'une quatrième ligne référencée (4), la première donnée de somme est utilisée dans le registre à décalage 31 dans le deuxième

cycle machine en tant que partie haute du contenu mis à jour. La première donnée de report est utilisée dans le registre de report 33 en tant que report mémorisé. Comme représenté au-dessous de la quatrième ligne, les branches d'addition et de sauvegarde de report 55 à 58 de rang zéro à trois produisent des sommes positives. Le quotient partiel est par conséquent décidé comme étant égal au trois quaternaire. Le circuit de décision 44 sélectionne les troisièmes données de report et de somme.

10 De la manière représentée le long d'une cinquième ligne référencée (5), la troisième donnée de somme est utilisée dans le registre à décalage 31 en tant que partie haute du contenu mis à jour dans le troisième cycle machine qui est deux cycles machine plus tard que le premier cycle machine. Vu que le nombre K de chiffres du quotient est égal à deux, le contenu mis à jour devient le contenu éventuel. Comme représenté au-dessous de la cinquième ligne, la partie basse du contenu éventuel est délivrée au terminal de sortie 13 de quotient en tant que quotient éventuel. La troisième donnée de report est égale à zéro. Par conséquent l'additionneur de reste 48 ne change pas la partie haute du contenu éventuel. On verra au-dessous de la cinquième ligne que le dispositif de décalage de chiffres 49 25 délivre le reste éventuel au terminal de sortie 14 de reste.

Alors que cette invention a été décrite jusqu'ici en conjonction avec un mode de réalisation unique de cette invention, il sera maintenant facilement possible à un homme de l'art de porter cette invention à exécution de diverses autres manières. Par exemple, le dividende modifié et le diviseur modifié peuvent être stockés dans le registre à décalage 31 et le registre diviseur 32, avec référence aux nombres Dd et Ds 25 de chiffres du dividende et du diviseur calculés par le calculateur du nombre de chiffres 27. Le registre à

décalage 31 peut par conséquent mémoriser le dividende modifié de diverses longueurs. Le reste provisoire peut être directement délivré à partir de l'additionneur de reste 48 au dispositif de décalage de chiffres 49.

- 5 Finalement, il faut comprendre que chacun des chiffres de base  $m$  le plus significatif du dividende et du diviseur est un "un" effectif.

### REVENDECATIONS

1. Circuit diviseur caractérisé en ce qu'il divise un dividende d'une première pluralité de chiffres de base  $m$  par un diviseur d'une deuxième pluralité de chiffres de base  $m$ , où  $m$  représente  $2^N$  et où  $N$  représente un entier
- 5 décimal prédéterminé qui n'est pas inférieur à un, ledit circuit diviseur comprenant :
- un dispositif d'alignement de chiffres (26) pour aligner les chiffres de base  $m$  dudit dividende et dudit diviseur, pour produire un dividende modifié et un
- 10 diviseur modifié avec leur chiffre le plus significatif aligné;
- un registre à décalage (31) comportant une partie la plus significative pour un chiffre de base  $m$ , une première partie supérieure pour ladite deuxième pluralité
- 15 moins un de chiffres de base  $m$ , une deuxième partie supérieure pour un chiffre de base  $m$  et une partie la moins significative pour un chiffre de base  $m$  pour maintenir un contenu instantané d'un plus ladite première pluralité de chiffres de base  $m$ , ladite partie la plus
- 20 significative et lesdites première et deuxième parties supérieures servant à maintenir une partie haute dudit contenu instantané, ledit contenu instantané étant un contenu courant pendant une dernière période d'un cycle précédent de deux cycles machine consécutifs, ledit
- 25 registre à décalage étant connecté, sauf pour ladite partie la plus significative, audit dispositif d'alignement de chiffres pour maintenir une concaténation d'un chiffre zéro de base  $m$  et dudit dividende modifié en tant que ledit contenu courant lors du début du mode de
- 30 fonctionnement dudit circuit diviseur;
- un registre de report (33) pour mémoriser un report mémorisé;
- des moyens calculateurs de somme (32,42,43) connectés audit dispositif d'alignement de chiffres, à ladite partie la

plus significative et auxdites première et deuxième parties supérieures, et audit registre de report pour calculer un ensemble de sommes algébriques de la partie haute dudit contenu courant, moins des produits dudit

5 diviseur modifié et de nombres à un chiffre de base m, plus ledit report mémorisé;

un circuit de décision (44) connecté auxdits moyens calculateurs pour utiliser ledit ensemble de sommes algébriques afin de décider d'un quotient partiel d'un

10 chiffre de base m et d'une donnée de somme de ladite deuxième pluralité de chiffres de base m dans une période initiale d'un cycle suivant desdits deux cycles machine consécutifs;

moyens de décalage connectés audit registre à

15 décalage pour décaler ledit contenu courant d'un chiffre de base m vers son chiffre le plus significatif pour que ledit registre à décalage maintienne un contenu décalé en tant que ledit contenu instantané lorsque ledit cycle précédent des deux cycles machine consécutifs avance

20 audit cycle suivant des deux cycles machine consécutifs; et

des moyens de mise à jour (37, 39) connectés à ladite partie la plus significative, à ladite première partie supérieure, et à ladite partie la moins

25 significative et audit circuit de décision pour mettre à jour ledit contenu décalé dans un contenu mis à jour, avec ladite donnée de somme et ledit quotient partiel substitués à des parties dudit contenu décalé qui sont maintenus dans ladite partie la plus significative et

30 ladite première partie supérieure et dans ladite partie la moins significative, respectivement, ledit contenu mis à jour servant de contenu courant pendant la dernière période dudit cycle suivant des deux cycles machine consécutifs.

35 2. Circuit diviseur selon la revendication 1, ledit registre à décalage comportant une partie basse qui

comporte ladite partie la moins significative et qui est autre que ladite partie la plus significative et lesdites première et deuxième parties supérieures, ledit circuit diviseur comprenant de plus :

- 5            moyens calculateurs du nombre de chiffres (27, 28) alimentés avec ledit dividende et ledit diviseur pour calculer un nombre de chiffres du quotient d'un quotient éventuel qui devraient être calculés conjointement avec un reste éventuel; et
- 10           moyens de production du quotient (13) connectés à ladite partie inférieure et auxdits moyens calculateurs du nombre de chiffres pour produire ledit quotient éventuel lorsque les cycles machine deviennent égaux en nombre audit nombre de chiffres du quotient.
- 15    3.    Circuit diviseur selon la revendication 2, dans lequel :
- ledit circuit de décision utilise ledit ensemble de sommes algébriques pour calculer en outre une donnée de report d'un chiffre de base m;
- 20            ledit circuit diviseur comprend de plus des moyens de renouvellement (45) connectés audit registre de report et audit circuit de décision pour renouveler le report mémorisé par ladite donnée de report dans chaque cycle machine.
- 25    4.    Circuit diviseur selon la revendication 3, comprenant de plus :
- un additionneur de reste (48) connecté audit registre de report, à ladite partie la plus significative et ladite première partie supérieure, et auxdits moyens
- 30            calculateurs du nombre de chiffres pour additionner le report mémorisé et la partie haute du contenu mis à jour, pour produire un reste provisoire lorsque les cycles machine deviennent égaux en nombre audit nombre de chiffres du quotient; et
- 35            un dispositif de décalage de chiffres (49) connecté audit additionneur de reste pour décaler d'un chiffre de

base m ledit reste provisoire vers son chiffre le moins significatif, pour produire ledit reste éventuel.

5. Circuit diviseur selon la revendication 1, dans lequel lesdits moyens calculateurs de somme comprennent :

5 un registre diviseur (32) connecté audit dispositif d'alignement de chiffres pour mémoriser ledit diviseur modifié;

un générateur multiple (42) connecté audit registre diviseur pour produire des sorties du générateur consistant en ledit diviseur modifié et  $2^n$  fois ledit diviseur modifié, où n est variable entre zéro et ledit entier décimal, inclus tous deux; et

10

un arbre d'addition et de sauvegarde de report (43) connecté à ladite partie la plus significative et auxdites première et deuxième parties supérieures, audit registre de report, et audit générateur multiple pour calculer ledit ensemble de sommes algébriques.

15

6. Circuit diviseur selon la revendication 5, dans lequel :

20 ledit arbre d'addition et de sauvegarde de report comprend des branches d'addition et de sauvegarde de report de rang zéro à (m-1) connectées à ladite partie la plus significative et auxdites première et deuxième parties supérieures, audit registre de report, et audit

25 générateur multiple pour calculer des sommes algébriques de rang zéro à (m-1), respectivement, lesdites sommes algébriques de rang zéro à (m-1) étant les sommes algébriques dudit ensemble et étant égales à la partie haute du contenu courant dans chaque cycle machine, moins

30 des produits dudit diviseur modifié et zéro à (m-1), plus le report mémorisé dans chacun desdits cycles machine, la somme de rang zéro étant toujours une somme non négative qui n'est pas négative.

ledit circuit de décision étant connecté auxdites

35 branches d'addition et de sauvegarde de report de rang zéro à (m-1) et utilisant lesdites sommes algébriques de

rang zéro à  $(m-1)$ , pour sélectionner au moins une somme non négative pour décider dudit quotient partiel et de ladite donnée de somme pendant la période initiale dudit cycle suivant des deux cycles machine consécutifs.

5

10



1 / 3

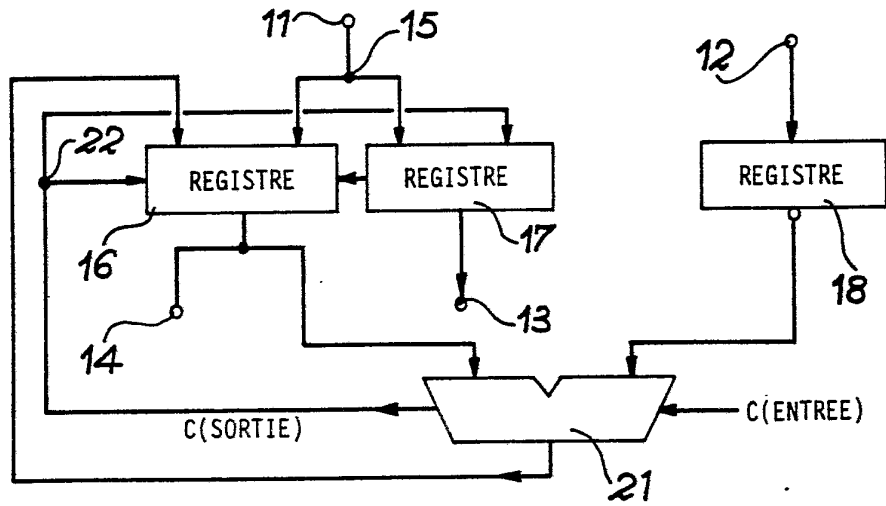


FIG. 1

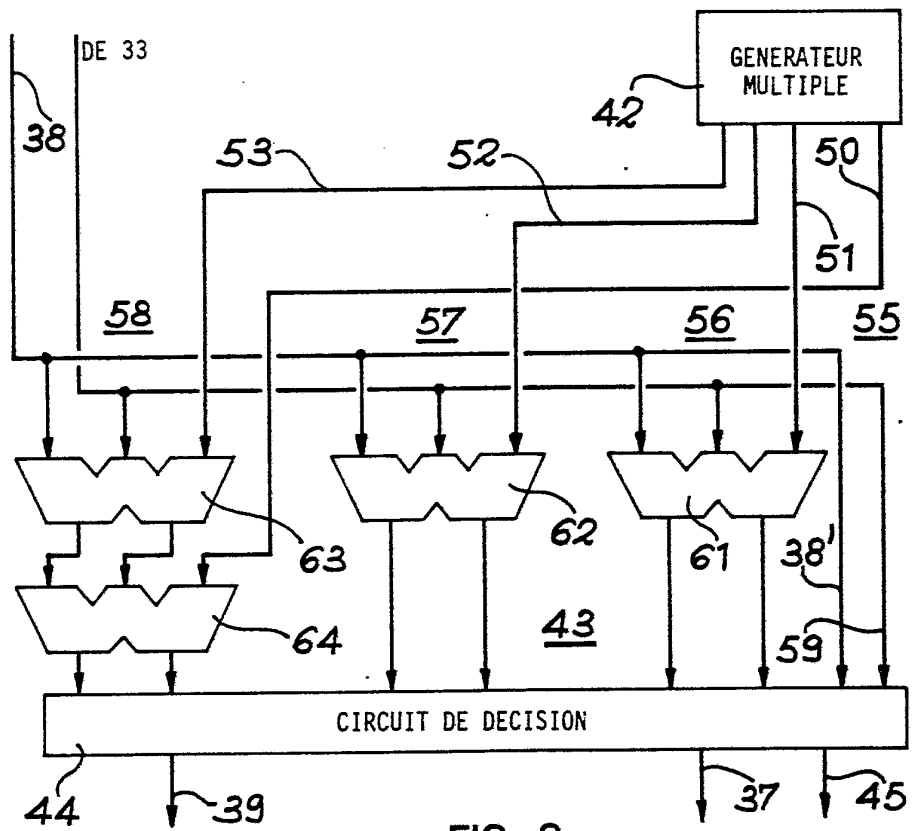


FIG. 3

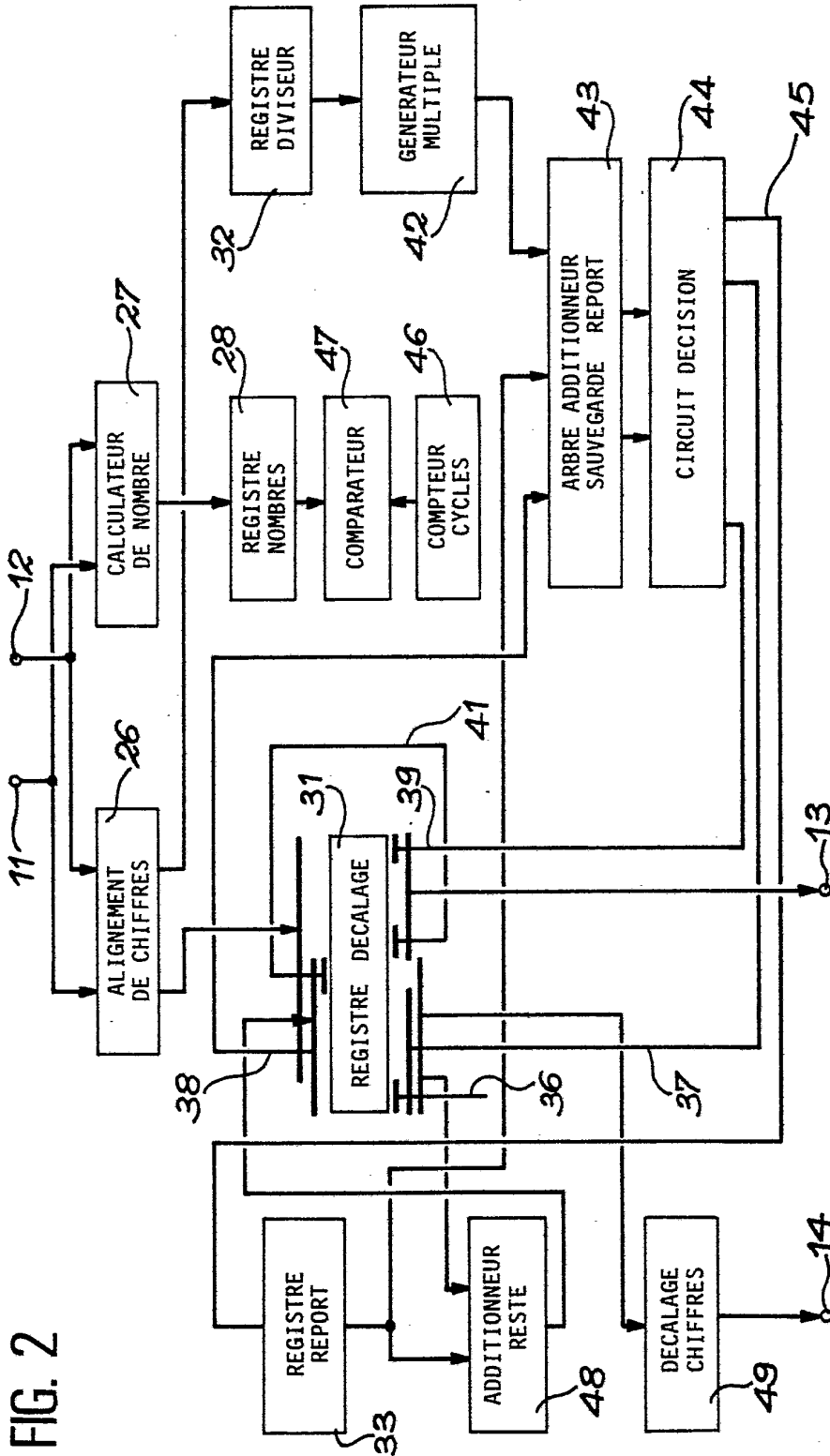


FIG. 2

