



(21)申請案號：106129523

(22)申請日：中華民國 106 (2017) 年 08 月 30 日

(51)Int. Cl. :

G06F12/06 (2006.01)**G06F12/1009(2016.01)**

(71)申請人：慧榮科技股份有限公司 (中華民國) SILICON MOTION INC. (TW)

新竹縣竹北市台元街三十六號八樓之一

(72)發明人：李介豪 LEE, JIE-HAO (TW)；陳俊儒 CHEN, CHUN-JU (TW)

(74)代理人：吳豐任；戴俊彥

申請實體審查：有 申請專利範圍項數：18 項 圖式數：4 共 24 頁

(54)名稱

存取快閃記憶體模組的方法及相關的快閃記憶體控制器與電子裝置

METHOD FOR ACCESSING FLASH MEMORY MODULE AND ASSOCIATED FLASH MEMORY CONTROLLER AND ELECTRONIC DEVICE

(57)摘要

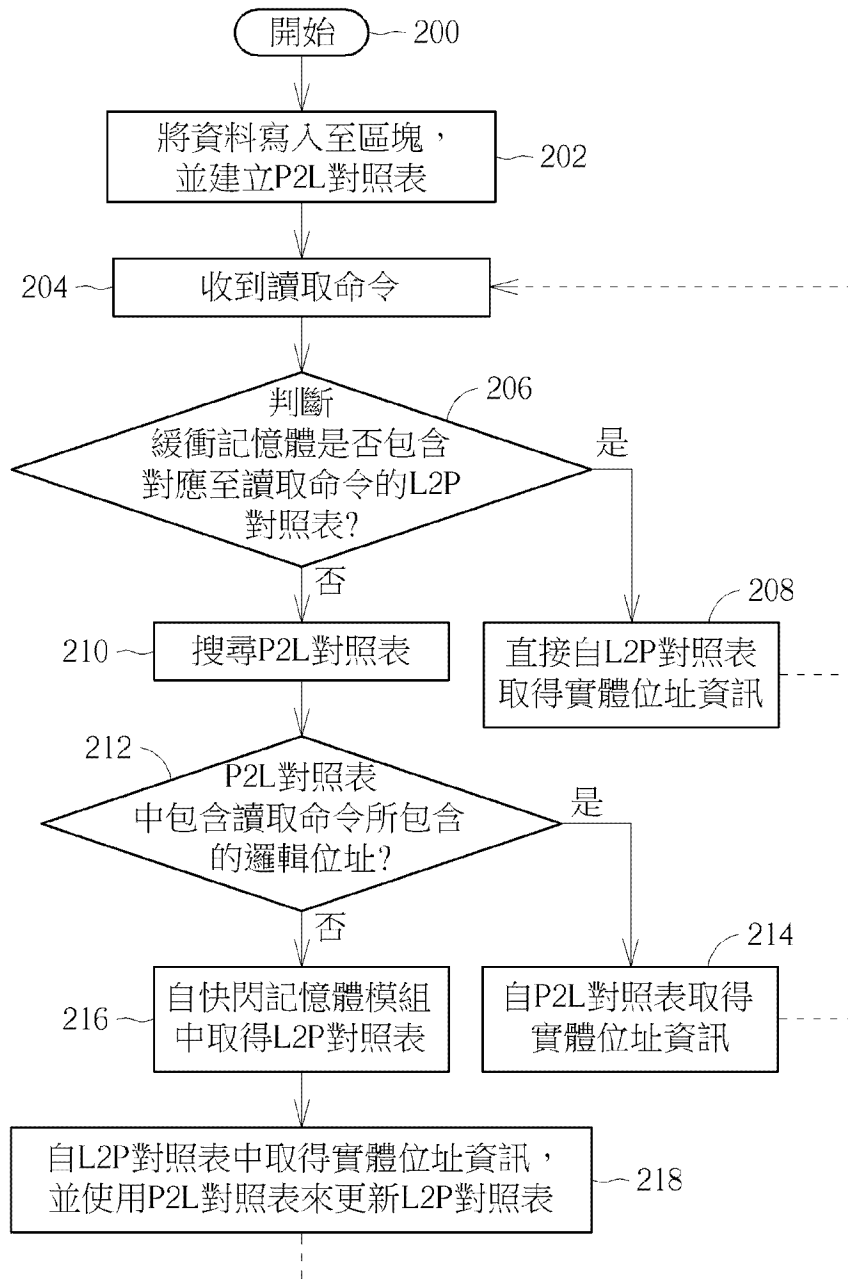
本發明揭露一種存取一快閃記憶體模組的方法，其包含有：建立一實體位址至邏輯位址對照表；接收一讀取命令以要求讀取該快閃記憶體模組中的一資料，其中該讀取命令包含了一第一邏輯位址；若是該實體位址至邏輯位址對照表不具有與該第一邏輯位址相關的資訊，自該快閃記憶體模組中讀取一邏輯位址至實體位址對照表，並自該邏輯位址至實體位址對照表中搜尋出與該第一邏輯位址相對應的一第一實體位址，以供自該快閃記憶體模組中讀取該資料；以及使用該實體位址至邏輯位址對照表來更新該邏輯位址至實體位址對照表中的內容。

The present invention provides a method for accessing a flash memory module, wherein the method includes: building a physical address to logical address (P2L) table; receiving a read command asking for a data within the flash memory module, wherein the read command includes a first logical address; if the P2L table does not include information associated with the first logical address, reading a logical address to physical address (L2P) table from the flash memory module, and searching a first physical address corresponding to the first logical address according to the L2P table, wherein the first physical address is used to read the data from the flash memory module; and using the P2L table to update the L2P table.

指定代表圖：

符號簡單說明：

200~218 . . . 步驟



第2圖

【發明說明書】

【中文發明名稱】存取快閃記憶體模組的方法及相關的快閃記憶體控制器與電子裝置

【英文發明名稱】METHOD FOR ACCESSING FLASH MEMORY MODULE AND ASSOCIATED FLASH MEMORY CONTROLLER AND ELECTRONIC DEVICE

【技術領域】

【0001】 本發明有關於快閃記憶體，尤指一種存取快閃記憶體模組的方法及相關的快閃記憶體控制器。

【先前技術】

【0002】 在快閃記憶體控制器操作的過程中通常會在本身的緩衝記憶體中儲存一實體位址至邏輯位址對照表或是至少一個邏輯位址至實體位址對照表，而在快閃記憶體控制器接收到一讀取命令時可以從上述對照表搜尋出所需的實體位址。然而，隨著區塊的大小增加及所包含的資料頁也跟著變多的情形下，上述對照表的大小也會大幅增加，因此搜尋出所需之實體位址的時間也會增加許多，因此影響到快閃記憶體控制器的效能。

【發明內容】

【0003】 因此，本發明的目的之一在於提出一種存取快閃記憶體模組的方法，其可以在快閃記憶體控制器接收到讀取命令時有效率地搜尋出所需的實體位址，以改善快閃記憶體控制器的效能。

【0004】 在本發明的一個實施例中，揭露了一種存取一快閃記憶體模組的方法，其包含有：建立一實體位址至邏輯位址對照表，其包含了連續的實體位址及其對應之邏輯位址；接收一第一讀取命令以要求讀取該快閃記憶體模組中的一第一資料，其中該讀取命令包含了一第一邏輯位址；搜尋該實體位址至邏輯位址對照表以判斷是否包含與該第一邏輯位址相關的資訊；若是該實體位址至邏輯位址對照表不具有與該第一邏輯位址相關的資訊，自該快閃記憶體模組中讀取一邏輯位址至實體位址對照表，並自該邏輯位址至實體位址對照表中搜尋出與該第一邏輯位址相對應的一第一實體位址，以供自該快閃記憶體模組中讀取該第一資料；以及使用該實體位址至邏輯位址對照表來更新該邏輯位址至實體位址對照表中的內容。

【0005】 在本發明的另一個實施例中，揭露了一種快閃記憶體控制器，其中該快閃記憶體控制器係用來存取一快閃記憶體模組，且該快閃記憶體控制器包含有一唯讀記憶體、一微處理器以及一記憶體。該唯讀記憶體係用來儲存一程式碼；該微處理器用來執行該程式碼以控制對該快閃記憶體模組之存取；以及該記憶體係用以儲存一實體位址至邏輯位址對照表，其包含了連續的實體位址及其對應之邏輯位址；其中當該微處理器接收到一第一讀取命令以要求讀取該快閃記憶體模組中的一第一資料時，該微處理器搜尋該實體位址至邏輯位址對照表以判斷是否包含與該第一讀取命令所包含之一第一邏輯位址相關的資訊；若是該實體位址至邏輯位址對照表不具有與該第一邏輯位址相關的資訊，該微處理器自該快閃記憶體模組中讀取一邏輯位址至實體位址對照表，並自該邏輯位址至實體位址對照表中搜尋出與該第一邏輯位址相對應的一第一實體位址，以供自該快閃記憶體模組中讀取該第一資料；以及該微處理器使用該實體位址

至邏輯位址對照表來更新該邏輯位址至實體位址對照表中的內容。

【0006】 在本發明的另一個實施例中，揭露了一種電子裝置，其包含有一快閃記憶體模組以及一快閃記憶體控制器，其中該快閃記憶體控制器係用來存取該快閃記憶體模組，並建立一實體位址至邏輯位址對照表，其包含了連續的實體位址及其對應之邏輯位址；其中當該快閃記憶體控制器接收到一第一讀取命令以要求讀取該快閃記憶體模組中的一第一資料時，該快閃記憶體控制器搜尋該實體位址至邏輯位址對照表以判斷是否包含與該第一讀取命令所包含之一第一邏輯位址相關的資訊；若是該實體位址至邏輯位址對照表不具有與該第一邏輯位址相關的資訊，該快閃記憶體控制器自該快閃記憶體模組中讀取一邏輯位址至實體位址對照表，並自該邏輯位址至實體位址對照表中搜尋出與該第一邏輯位址相對應的一第一實體位址，以供自該快閃記憶體模組中讀取該第一資料；以及該快閃記憶體控制器使用該實體位址至邏輯位址對照表來更新該邏輯位址至實體位址對照表中的內容。

【圖式簡單說明】

【0007】

第1圖為依據本發明一實施例之一種記憶裝置的示意圖。

第2圖為根據本發明一實施例之存取快閃記憶體模組的流程圖。

第3圖為實體位址至邏輯位址對照表的示意圖。

第4圖為本發明一實施例之使用實體位址至邏輯位址對照表來更新邏輯位址至實體位址對照表的示意圖。

【實施方式】

【0008】 參考第1圖，第1圖為依據本發明一實施例之一種記憶裝置100的示意圖。記憶裝置100包含有一快閃記憶體（Flash Memory）模組120以及一快閃記憶體控制器110，且快閃記憶體控制器110用來存取快閃記憶體模組120。依據本實施例，快閃記憶體控制器110包含一微處理器112、一唯讀記憶體（Read Only Memory, ROM）112M、一控制邏輯114、一緩衝記憶體116、與一介面邏輯118。唯讀記憶體112M係用來儲存一程式碼112C，而微處理器112則用來執行程式碼112C以控制對快閃記憶體模組120之存取（Access）。控制邏輯114包含了一編碼器132以及一解碼器134，其中編碼器132用來對寫入到快閃記憶體模組120中的資料進行編碼以產生對應的校驗碼(或稱，錯誤更正碼(Error Correction Code)，ECC)，而解碼器134用來將從快閃記憶體模組120所讀出的資料進行解碼。

【0009】 於典型狀況下，快閃記憶體模組120包含了多個快閃記憶體晶片，而每一個快閃記憶體晶片包含複數個區塊（Block），而該控制器（例如：透過微處理器112執行程式碼112C之快閃記憶體控制器110）對快閃記憶體模組120進行抹除資料運作係以區塊為單位來進行。另外，一區塊可記錄特定數量的資料頁（Page），其中該控制器（例如：透過微處理器112執行程式碼112C之記憶體控制器110）對快閃記憶體模組120進行寫入資料之運作係以資料頁為單位來進行寫入。在本實施例中，快閃記憶體模組120為一立體NAND型快閃記憶體(3D NAND-type flash)。

【0010】 實作上，透過微處理器112執行程式碼112C之快閃記憶體控制器110可利用其本身內部之元件來進行諸多控制運作，例如：利用控制邏輯114來控制快閃記憶體模組120之存取運作（尤其是對至少一區塊或至少一資料頁之存取運作）、利用緩衝記憶體116進行所需之緩衝處理、以及利用介面邏輯118來與一主

裝置(Host Device)130溝通。緩衝記憶體116係以隨機存取記憶體(Random Access Memory, RAM)來實施。例如，緩衝記憶體116可以是靜態隨機存取記憶體(Static RAM, SRAM)，但本發明不限於此。

【0011】 在一實施例中，記憶裝置100可以是可攜式記憶裝置（例如：符合SD/MMC、CF、MS、XD標準之記憶卡），且主裝置130為一可與記憶裝置連接的電子裝置，例如手機、筆記型電腦、桌上型電腦...等等。而在另一實施例中，記憶裝置100可以是固態硬碟或符合UFS或EMMC規格之嵌入式（embedded）儲存裝置，以設置在一電子裝置中，例如設置在手機、筆記型電腦、桌上型電腦之中，而此時主裝置130可以是該電子裝置的一處理器。

【0012】 參考第2圖，其為根據本發明一實施例之存取快閃記憶體模組120的流程圖。在步驟200中，流程開始。在步驟202中，快閃記憶體控制器110接收來自主裝置130的至少一寫入命令，以將多筆資料寫入至快閃記憶體模組120的一區塊中。在本實施例中，參考第3圖，快閃記憶體模組120包含了多個快閃記憶體晶片310、320，每一個快閃記憶體晶片包含了多個區塊B₀~B_M，而每一個區塊包含了N個資料頁P₀~P_N。在以下的說明中，快閃記憶體控制器110係將資料循序寫入到快閃記憶體晶片310的區塊B₀，然而，需注意的是，上述的“區塊”在實作上也可以是包含了多個晶片之位於不同平面(plane)的多個區塊(一般稱為“超級區塊”)，舉例來說，假設快閃記憶體晶片310、320均包含了兩個平面(plane)，而區塊B₀及B_M是位於不同的平面，則快閃記憶體晶片310的區塊B₀、B_M以及快閃記憶體晶片320的區塊B₀、B_M可以構成一個超級區塊。

【0013】 另一方面，在資料寫入至區塊B₀之前，微處理器112會建立一實體

位址至邏輯位址對照表(以下稱P2L對照表)300，並儲存在緩衝記憶體116之中，其中P2L對照表300包含區塊B_0中的連續之資料頁的實體位址P0~PN，以及所對應之邏輯位址。詳細來說，快閃記憶體控制器110首先將來自主裝置130且具有邏輯位址LBA_5的資料寫入至資料頁P0中，接著，依序將來自主裝置130且具有邏輯位址LBA_500、LBA_350、LBA_6、LBA_7、LBA_100的資料分別寫入至資料頁P1~P5中。需注意的是，在本實施例中，邏輯位址的序號代表著其順序，而連續的序號代表著連續的邏輯位址。

【0014】 在步驟204中，快閃記憶體控制器110接收到來自主裝置130的一第一讀取命令，以要求自快閃記憶體模組120中讀取具有一第一邏輯位址的資料。接著，在步驟206中，微處理器112判斷緩衝記憶體116中是否儲存有包含該第一邏輯位址的一邏輯位址至實體位址對照表(以下稱L2P對照表)。具體來說，快閃記憶體模組120中會儲存有多個L2P對照表，而每一個L2P對照表都包含了一邏輯位址範圍的映射資訊，例如第一個L2P對照表用來儲存LBA_0~LBA_255所對應到之實體位址(需注意，不一定每一個邏輯位址相對應的實體位址都存在)、第二個L2P對照表用來儲存LBA_256~LBA_511所對應到之實體位址、第三個L2P對照表用來儲存LBA_512~LBA_767所對應到之實體位址、...以此類推。因此，在上述例子中，若是該第一邏輯位址為LBA_20，則微處理器112便判斷用來儲存LBA_0~LBA_255的第一個L2P對照表是否剛好位於緩衝記憶體116中，若是，流程進入步驟208；若否，則流程進入步驟210。以下以該第一邏輯位址為LBA_20來進行說明。

【0015】 在步驟208中，若是第一個L2P對照表儲存在緩衝記憶體116中，微處理器112便可以直接地從儲存在緩衝記憶體116中的第一個L2P對照表來搜尋出

第一邏輯位址LBA_20所對應的實體位址，並根據所搜尋到的實體位址以自快閃記憶體模組120中找到儲存在該實體位址的資料。

【0016】 在步驟210中，微處理器112搜尋P2L對照表300，並判斷第一邏輯位址LBA_20是否位於P2L對照表300中。若是，流程進入步驟214；若否，則流程進入步驟216。

【0017】 在步驟214中，微處理器112可以直接地從儲存在緩衝記憶體116中的P2L對照表300中來搜尋出第一邏輯位址LBA_20所對應的實體位址，並根據所搜尋到的實體位址以自快閃記憶體模組120中找到儲存在該實體位址的資料。

【0018】 在步驟216中，由於第一邏輯位址LBA_20的相關資訊並未儲存在緩衝記憶體116之中，故微處理器112根據第一邏輯位址LBA_20，以自快閃記憶體模組120中讀取包含第一邏輯位址LBA_20的L2P對照表，在本實施例中，微處理器112從快閃記憶體模組120中讀取用來儲存LBA_0~LBA_255的第一個L2P對照表，並儲存到緩衝記憶體116中。

【0019】 在步驟218中，微處理器112自讀取第一個L2P對照表中讀取搜尋出第一邏輯位址LBA_20所對應的實體位址，並根據所搜尋到的實體位址以自快閃記憶體模組120中讀取儲存在該實體位址的資料。此外，此時微處理器116會使用P2L對照表300來更新第一個L2P對照表，以使得第一個L2P對照表中所儲存的都是最新的資訊。具體來說，參考第4圖，其為使用P2L對照表300來更新第一個L2P對照表400的示意圖。在第4圖中，由於P2L對照表300中有4筆對應至邏輯位址範圍LBA_0~LBA_255中的資訊，故微處理器112將第一個L2P對照表400中的邏輯

位址LBA_5更新為對應到區塊B_0的資料頁P0、邏輯位址LBA_6更新為對應到區塊B_0的資料頁P3、邏輯位址LBA_7更新為對應到區塊B_0的資料頁P4、且邏輯位址LBA_100更新為對應到區塊B_0的資料頁P5。

【0020】 需注意的是，當第一個L2P對照表從快閃記憶體模組120中讀取而尚未更新前，第一個L2P對照表可以並未包含邏輯位址LBA_5、LBA_6、LBA_7或是LBA_100的相對應實體位址，而此時微處理器將P2L對照表300中上述4筆資訊加入到第一個L2P對照表之中；或是L2P對照表已經包含邏輯位址LBA_5、LBA_6、LBA_7或是LBA_100的相對應實體位址，而此時微處理器將P2L對照表300中上述4筆資訊來更新第一個L2P對照表中邏輯位址LBA_5、LBA_6、LBA_7或是LBA_100所對應的實體位址。

【0021】 參考以上的實施例所述，當微處理器112因應讀取命令而將L2P對照表從快閃記憶體模組120讀取至緩衝記憶體116時，微處理器112會立即地使用目前正儲存在緩衝記憶體116且具有最新資訊的P2L對照表300來更新所讀取的L2P對照表，以使得儲存在緩衝記憶體116中的L2P對照表具有最新的資訊。在一實施例中，上述更新操作係在該第一讀取命令的執行期間完成，以使得後續快閃記憶體控制器110在接收到其他的讀取命令時，可以在步驟208中取得正確的資訊。

【0022】 舉例來說，假設流程再次回到步驟204，且快閃記憶體控制器110自主裝置130接收一第二讀取命令，以要求自快閃記憶體模組120中讀取具有一第二邏輯位址的資料。假設該第二邏輯位址為LBA_7，則流程會由步驟206進入到步驟208，亦即微處理器112可以直接地由儲存在緩衝記憶體116中的第一個L2P

對照表400來取得對應至邏輯位址LBA_7的實體位址(即區塊B_0中的資料頁P4)，而不需要在任何的P2L對照表中搜尋邏輯位址。由於從P2L對照表搜尋邏輯位址的搜尋時間會遠大於依據邏輯位置從L2P對照表取得實體位址的時間，因此以上實施例可以節省搜尋實體位址的時間，增進快閃記憶體控制器110的效能。

【0023】 另一方面，假設該第二邏輯位址為LBA_260，且未包含在P2L對照表300時，流程會進入步驟216以自快閃記憶體模組120中讀取包含第二邏輯位址LBA_260的L2P對照表，例如，用來儲存LBA_256~LBA_511的第二個L2P對照表，並儲存到緩衝記憶體116中。接著，微處理器112自第二個L2P對照表中搜尋出第二邏輯位址LBA_260所對應的實體位址，並根據所搜尋到的實體位址自快閃記憶體模組120中讀取儲存在該實體位址的資料，並使用P2L對照表300來更新第二個L2P對照表，亦即，將第二個L2P對照表中的邏輯位址LBA_350更新為對應到區塊B_0的資料頁P2、以及將第二個L2P對照表中的邏輯位址LBA_500更新為對應到區塊B_0的資料頁P1，以使得第二個L2P對照表中所儲存的都是最新的資訊。

【0024】 另外，若是快閃記憶體控制器110繼續對區塊B_0進行資料寫入，則由於所寫入的資料有可能是先前寫入資料的更新資料(亦即，具有相同的邏輯位址)，因此，在一實施例中，為了避免後續的查找錯誤，一旦區塊B_0有資料寫入，先前因為讀取命令所載入的一或多個L2P對照表會被設為無效，亦即緩衝記憶體116中的L2P對照表會被標記為無效或是刪除；而在另一實施例中，一旦區塊B_0有資料寫入，快閃記憶體控制器110會根據新寫入之資料的邏輯位址及實體位址來更新先前因為讀取命令所載入的一或多個L2P對照表，以使得儲存在緩衝記憶體116中的L2P對照表仍然會具有最新的資訊。

【0025】 此外，上述因為讀取命令而自快閃記憶體模組120所載入的L2P對照表僅是暫時使用，亦即當區塊B_0的資料頁都完成寫入的時候，微處理器112才會將P2L對照表300中的資料完整地轉換並儲存於相對應之一或多個L2P對照表，並且將P2L對照表300以及更新後之一或多個L2P對照表儲存於快閃記憶體模組120。

【0026】 簡要歸納本發明，在本發明之存取快閃記憶體模組的方法中，當讀取命令所包含的邏輯位址並未存在於快閃記憶體控制器中的緩衝記憶體時，一L2P對照表會從快閃記憶體模組中被讀取，並儲存在快閃記憶體控制器中的緩衝記憶體後再使用P2L對照表進行更新，以使得該L2P對照表具有最新的內容。如上所述，透過本發明的更新方式，只要讀取命令所包含的邏輯位址所對應到的L2P對照表位於緩衝記憶體中，微處理器便可以直接地從這個L2P對照表取得正確的/最新的實體位址資訊，而不需要搜尋P2L對照表中是否有相對應的邏輯位址，因此可以加速快閃記憶體控制器的讀取速度，增進系統效能。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0027】	
100	記憶裝置
110	快閃記憶體控制器
112	微處理器
112C	程式碼

112M	唯讀記憶體
114	控制邏輯
116	緩衝記憶體
118	介面邏輯
120	快閃記憶體模組
130	主裝置
132	編碼器
134	解碼器
200~218	步驟
300	實體位址至邏輯位址對照表
310、320	快閃記憶體晶片
400	邏輯位址至實體位址對照表
B_0~B_M	區塊
P0~PN	資料頁
LBA_5、LBA_6、LBA_7、LBA_100、 LBA_350、LBA_500	邏輯位址



201913379

申請日: 106/08/30

IPC分類: G06F 12/06 (2006.01)
G06F 12/1009 (2016.01)

【發明摘要】

【中文發明名稱】 存取快閃記憶體模組的方法及相關的快閃記憶體控制器與電子裝置

【英文發明名稱】 METHOD FOR ACCESSING FLASH MEMORY MODULE AND ASSOCIATED FLASH MEMORY CONTROLLER AND ELECTRONIC DEVICE

【中文】

本發明揭露一種存取一快閃記憶體模組的方法，其包含有：建立一實體位址至邏輯位址對照表；接收一讀取命令以要求讀取該快閃記憶體模組中的一資料，其中該讀取命令包含了一第一邏輯位址；若是該實體位址至邏輯位址對照表不具有與該第一邏輯位址相關的資訊，自該快閃記憶體模組中讀取一邏輯位址至實體位址對照表，並自該邏輯位址至實體位址對照表中搜尋出與該第一邏輯位址相對應的一第一實體位址，以供自該快閃記憶體模組中讀取該資料；以及使用該實體位址至邏輯位址對照表來更新該邏輯位址至實體位址對照表中的內容。

【英文】

The present invention provides a method for accessing a flash memory module, wherein the method includes: building a physical address to logical address (P2L) table; receiving a read command asking for a data within the flash memory module, wherein the read command includes a first logical address; if the P2L table does not include information associated with the first logical address, reading a logical address to physical address (L2P) table from the flash memory module, and searching a first physical address corresponding to the first logical address according to the L2P table,

wherein the first physical address is used to read the data from the flash memory module; and using the P2L table to update the L2P table.

【指定代表圖】第（ 2 ）圖。

【代表圖之符號簡單說明】

200~218

步驟

【特徵化學式】

無

【發明申請專利範圍】

【第1項】 一種存取一快閃記憶體模組的方法，包含有：

建立一實體位址至邏輯位址對照表，其包含了連續的實體位址及其對應之邏輯位址；

接收一第一讀取命令以要求讀取該快閃記憶體模組中的一第一資料，其中該讀取命令包含了一第一邏輯位址；

搜尋該實體位址至邏輯位址對照表以判斷是否包含與該第一邏輯位址相關的資訊；

若是該實體位址至邏輯位址對照表不具有與該第一邏輯位址相關的資訊，自該快閃記憶體模組中讀取一邏輯位址至實體位址對照表，並自該邏輯位址至實體位址對照表中搜尋出與該第一邏輯位址相對應的一第一實體位址，以供自該快閃記憶體模組中讀取該第一資料；以及使用該實體位址至邏輯位址對照表來更新該邏輯位址至實體位址對照表中的內容。

【第2項】 如申請專利範圍第1項所述之方法，其中該邏輯位址至實體位址對照表包含了一邏輯位址範圍，且使用該實體位址至邏輯位址對照表來更新該邏輯位址至實體位址對照表中的內容的步驟包含有：

使用該實體位址至邏輯位址對照表中對應到該邏輯位址範圍中的至少一實體位址，來更新該邏輯位址至實體位址對照表。

【第3項】 如申請專利範圍第1項所述之方法，其中使用該實體位址至邏輯位址對照表來更新該邏輯位址至實體位址對照表中的內容的步驟係在該第一讀取命令的執行期間完成。

【第4項】 如申請專利範圍第1項所述之方法，其中該快閃記憶體模組包含了多個快閃記憶體晶片，每一個快閃記憶體晶片包含多個區塊，每一個區塊包含了多個資料頁，且該實體位址至邏輯位址對照表以及該邏輯位址至實體位址對照表係以資料頁為單位。

【第5項】 如申請專利範圍第1項所述之方法，其中該邏輯位址至實體位址對照表包含了一邏輯位址範圍，且該方法另包含有：

接收一第二讀取命令以要求讀取該快閃記憶體模組中的一第二資料，其中該讀取命令包含了一第二邏輯位址；以及

若是該第二邏輯位址位於該邏輯位址範圍，則在不搜尋該實體位址至邏輯位址對照表的情形下，直接至該邏輯位址至實體位址對照表搜尋對應於該第二邏輯位址的一第二實體位址，以供自該快閃記憶體模組中讀取該第二資料。

【第6項】 如申請專利範圍第5項所述之方法，另包含有：

若是該第二邏輯位址沒有位於該邏輯位址範圍，搜尋該實體位址至邏輯位址對照表以判斷是否包含與該第二邏輯位址相關的資訊；

若是該實體位址至邏輯位址對照表不具有與該第二邏輯位址相關的資訊，自該快閃記憶體模組中讀取另一邏輯位址至實體位址對照表，並自該另一邏輯位址至實體位址對照表中搜尋出與該第二實體位址，以供自該快閃記憶體模組中讀取該第二資料；以及

使用該實體位址至邏輯位址對照表來更新該另一邏輯位址至實體位址對照表中的內容。

【第7項】 一種快閃記憶體控制器，其中該快閃記憶體控制器係用來存取一快閃記憶體模組，且該快閃記憶體控制器包含有：

一唯讀記憶體，用來儲存一程式碼；

一微處理器，用來執行該程式碼以控制對該快閃記憶體模組之存取；以及

一記憶體，用以儲存一實體位址至邏輯位址對照表，其包含了連續的實體位址及其對應之邏輯位址；

其中當該微處理器接收到一第一讀取命令以要求讀取該快閃記憶體模組中的一第一資料時，該微處理器搜尋該實體位址至邏輯位址對照表以判斷是否包含與該第一讀取命令所包含之一第一邏輯位址相關的資訊；若是該實體位址至邏輯位址對照表不具有與該第一邏輯位址相關的資訊，該微處理器自該快閃記憶體模組中讀取一邏輯位址至實體位址對照表，並自該邏輯位址至實體位址對照表中搜尋出與該第一邏輯位址相對應的一第一實體位址，以供自該快閃記憶體模組中讀取該第一資料；以及該微處理器使用該實體位址至邏輯位址對照表來更新該邏輯位址至實體位址對照表中的內容。

【第8項】 如申請專利範圍第7項所述之快閃記憶體控制器，其中該邏輯位址至實體位址對照表包含了一邏輯位址範圍，且該微處理器使用該實體位址至邏輯位址對照表中對應到該邏輯位址範圍中的至少一實體位址，來更新該邏輯位址至實體位址對照表。

【第9項】 如申請專利範圍第7項所述之快閃記憶體控制器，其中該微處理器使用該實體位址至邏輯位址對照表來更新該邏輯位址至實體位址對照表中的

內容的操作係在該第一讀取命令的執行期間完成。

【第10項】 如申請專利範圍第7項所述之快閃記憶體控制器，其中該快閃記憶體模組包含了多個快閃記憶體晶片，每一個快閃記憶體晶片包含多個區塊，每一個區塊包含了多個資料頁，且該微處理器使用該實體位址至邏輯位址對照表以及該邏輯位址至實體位址對照表係以資料頁為單位。

【第11項】 如申請專利範圍第7項所述之快閃記憶體控制器，其中該邏輯位址至實體位址對照表包含了一邏輯位址範圍，該接收一第二讀取命令以要求讀取該快閃記憶體模組中的一第二資料，以及若是該第二讀取命令所包含的一第二邏輯位址位於該邏輯位址範圍，則該微處理器在不搜尋該實體位址至邏輯位址對照表的情形下，直接至該邏輯位址至實體位址對照表搜尋對應於該第二邏輯位址的一第二實體位址，以供自該快閃記憶體模組中讀取該第二資料。

【第12項】 如申請專利範圍第11項所述之快閃記憶體控制器，其中若是該第二邏輯位址沒有位於該邏輯位址範圍，該微處理器搜尋該實體位址至邏輯位址對照表以判斷是否包含與該第二邏輯位址相關的資訊；以及若是該實體位址至邏輯位址對照表不具有與該第二邏輯位址相關的資訊，該微處理器自該快閃記憶體模組中讀取另一邏輯位址至實體位址對照表，並自該另一邏輯位址至實體位址對照表中搜尋出與該第二實體位址，以供自該快閃記憶體模組中讀取該第二資料；以及該微處理器使用該實體位址至邏輯位址對照表來更新該另一邏輯位址至實體位址對照表中的內容。

【第13項】 一種電子裝置，包含有：

一快閃記憶體模組；以及

一快閃記憶體控制器，用來存取該快閃記憶體模組，並建立一實體位址至邏輯位址對照表，其包含了連續的實體位址及其對應之邏輯位址；

其中當該快閃記憶體控制器接收到一第一讀取命令以要求讀取該快閃記憶體模組中的一第一資料時，該快閃記憶體控制器搜尋該實體位址至邏輯位址對照表以判斷是否包含與該第一讀取命令所包含之一第一邏輯位址相關的資訊；若是該實體位址至邏輯位址對照表不具有與該第一邏輯位址相關的資訊，該快閃記憶體控制器自該快閃記憶體模組中讀取一邏輯位址至實體位址對照表，並自該邏輯位址至實體位址對照表中搜尋出與該第一邏輯位址相對應的一第一實體位址，以供自該快閃記憶體模組中讀取該第一資料；以及該快閃記憶體控制器使用該實體位址至邏輯位址對照表來更新該邏輯位址至實體位址對照表中的內容。

【第14項】 如申請專利範圍第13項所述之電子裝置，其中該邏輯位址至實體位址對照表包含了一邏輯位址範圍，且該快閃記憶體控制器使用該實體位址至邏輯位址對照表中對應到該邏輯位址範圍中的至少一實體位址，來更新該邏輯位址至實體位址對照表。

【第15項】 如申請專利範圍第13項所述之電子裝置，其中該快閃記憶體控制器使用該實體位址至邏輯位址對照表來更新該邏輯位址至實體位址對照表中的內容的操作係在該第一讀取命令的執行期間完成。

【第16項】如申請專利範圍第13項所述之電子裝置，其中該快閃記憶體模組包含了多個快閃記憶體晶片，每一個快閃記憶體晶片包含多個區塊，每一個區塊包含了多個資料頁，且該快閃記憶體控制器使用該實體位址至邏輯位址對照表以及該邏輯位址至實體位址對照表係以資料頁為單位。

【第17項】如申請專利範圍第13項所述之電子裝置，其中該邏輯位址至實體位址對照表包含了一邏輯位址範圍，該接收一第二讀取命令以要求讀取該快閃記憶體模組中的一第二資料，以及若是該第二讀取命令所包含的一第二邏輯位址位於該邏輯位址範圍，則該快閃記憶體控制器在不搜尋該實體位址至邏輯位址對照表的情形下，直接至該邏輯位址至實體位址對照表搜尋對應於該第二邏輯位址的一第二實體位址，以供自該快閃記憶體模組中讀取該第二資料。

【第18項】如申請專利範圍第17項所述之電子裝置，其中若是該第二邏輯位址沒有位於該邏輯位址範圍，該快閃記憶體控制器搜尋該實體位址至邏輯位址對照表以判斷是否包含與該第二邏輯位址相關的資訊；以及若是該實體位址至邏輯位址對照表不具有與該第二邏輯位址相關的資訊，該快閃記憶體控制器自該快閃記憶體模組中讀取另一邏輯位址至實體位址對照表，並自該另一邏輯位址至實體位址對照表中搜尋出與該第二實體位址，以供自該快閃記憶體模組中讀取該第二資料；以及該快閃記憶體控制器使用該實體位址至邏輯位址對照表來更新該另一邏輯位址至實體位址對照表中的內容。

