



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. (45) 공고일자 2006년12월04일
H01L 29/786 (2006.01) (11) 등록번호 10-0654022
(24) 등록일자 2006년11월28일

(21) 출원번호 10-2004-0031418 (65) 공개번호 10-2005-0106244
(22) 출원일자 2004년05월04일 (43) 공개일자 2005년11월09일
심사청구일자 2004년05월04일

(73) 특허권자 네오폴리((주))
서울 관악구 신림동 산56-1 서울공과대학 131동 신소재공동연구소 309호

(72) 발명자 백운서
경기도안산시상록구이동577-1번지

(56) 선행기술조사문헌 JP10261805 A KR1019980072296 A
KR1020020076792 A * KR1020020080935 A *
* 심사관에 의하여 인용된 문헌

심사관 : 임동우

전체 청구항 수 : 총 5 항

(54) 금속유도층면결정화법을 이용한 박막 트랜지스터 제조방법

(57) 요약

본 발명은 MILC 방법을 이용한 박막 트랜지스터의 제작시 추가의 마스크공정없이 박막트랜지스터에 필수적인 off-set 및 LDD 구조 등을 효과적으로 형성하는 박막트랜지스터의 제조방법에 관한 것이다.

본 발명의 박막트랜지스터의 제조방법은 절연기판상에 비정질 실리콘 막을 형성하는 단계와; 상기 반도체층형성용 감광막 패턴을 이용하여 상기 비정질 실리콘막을 패터닝하는 단계와; 상기 반도체층을 포함한 기판상에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막상에 게이트 전극을 형성하는 단계와; 상기 게이트 전극을 반도체층형성용 감광막 패턴을 형성한 후 습식 에칭으로 오버 패터닝하는 단계와;상기 게이트 절연막을 건식 에칭으로 에칭한 후 다시 습식 에칭으로 패터닝하는 단계와; 기판전면에 MILC 결정화를 위한 오프셋 구조의 금속막을 형성하는 단계와; 반도체층형성용 감광막 패턴을 제거하는 단계와; 상기 반도체층으로 고농도 불순물을 이온주입하여 소오스/드레인 영역 및 LDD 구조를 동시에 형성하는 단계를 포함한다.

대표도

도 2e

특허청구의 범위

청구항 1.

절연기판상에 비정질 실리콘 막을 형성하는 단계와; 상기 반도체층형성용 감광막 패턴을 이용하여 상기 비정질 실리콘막을 패터닝하는 단계와; 상기 반도체층을 포함한 기판상에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막상에 게이트를 형성하는 단계와; 상기 게이트를 반도체층형성용 감광막 패턴을 형성한 후 습식 에칭으로 오버 패터닝하는 단계와; 상기 게이트 절연막을 건식 에칭으로 에칭한 후 다시 습식 에칭으로 패터닝하는 단계와; 기판전면에 MILC 결정화를 위한 금속막을 형성하는 단계와; 반도체층형성용 감광막 패턴을 제거하는 단계와; 상기 반도체층으로 고농도 불순물을 이온주입하여 소오스/드레인 영역을 형성하는 단계로 이루어지는 것을 특징으로 하는 박막 트랜지스터 제조 방법

청구항 2.

제 1 항에 있어서 게이트를 습식 에칭으로 패터닝하고 게이트 절연막을 건식 및 습식 에칭으로 패터닝 한 후 감광막을 제거하기 전에 금속막을 형성함으로써 추가 마스크 공정없이 오프셋구조를 형성하는 것을 특징으로 하는 박막 트랜지스터 제조 방법

청구항 3.

제 1 항에 있어서 게이트 절연막 에칭시 건식 에칭을 수행한 후 감광막을 제거하기 전에 재차 습식 에칭을 수행함으로써 게이트 절연막을 형성하는 것을 특징으로 하는 박막 트랜지스터 제조 방법

청구항 4.

제 1 항에 있어서 게이트 절연막 습식 에칭시 게이트 절연막을 전부 에칭하지 않고 남겨 차후 이온 주입시 부분적으로 주입량을 제한할 수 있는 것을 특징으로 하는 박막 트랜지스터 제조 방법

청구항 5.

제 1 항에 있어서 감광막 패턴 제거 후 고농도 불순물 이온 주입을 행하며 한번의 이온 주입으로 LDD 및 소스, 드레인을 동시에 형성하는 것을 특징으로 하는 박막 트랜지스터 제조 방법

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 금속유도측면결정화(MILC; Metal Induced Lateral Crystalization) 기술을 이용한 저온 폴리 박막 트랜지스터의 제조 방법에 관한 것으로서, 보다 구체적으로는 박막 트랜지스터에 필수적인 off-set 및 LDD 구조등을 형성함에 있어서 추가의 마스크공정과 별도의 이온주입공정을 사용하지 않는 새로운 박막 트랜지스터 제조 방법에 관한 것이다.

LCD, OLED 등의 디스플레이 장치에 사용되는 박막 트랜지스터는 통상 유리, 석영 등의 투명 기판에 실리콘을 증착시키고 게이트 및 게이트 전극을 형성하고, 소스 및 드레인에 도펀트를 주입한 후 어닐링 처리를 하여 활성화시킨 후 절연층을 형성하여 구성된다. 그런데, 박막 트랜지스터를 사용하는 디스플레이 장치가 빠른 동작 속도를 요하고 소형화됨에 따라 구동 IC의 집적도가 커지고 화소영역의 개구율이 감소되기 때문에 실리콘막의 전자 이동도를 높여 구동회로를 화소 TFT와 동시에 형성하고 개개의 화소 개구율을 높일 필요가 있다. 이를 위해 금속유도결정화 법에 의해 비정질 실리콘 박막을 결정화하여 다결정질 박막 트랜지스터를 형성하는데 이에 의해 앞서의 필요성 뿐 아니라 구동회로를 화소 TFT와 동시에 형성함으로써 생산비용을 줄일 수 있다는 장점도 가지게 된다. 이러한 비정질 실리콘막을 결정화하는 방법으로는 MILC 외에

도 고온 열처리에 의한 SPC(Solid Phase Crystalization), 레이저 결정화에 의한 ELA(Eximer Laser Annealing) 등이 알려져 있다. 한편, 다결정 박막 트랜지스터의 경우 비정질 박막 트랜지스터의 경우와 달리 누설전류가 크기때문에 이를 억제하기 위해 LDD의 구조가 반드시 필요한 것으로 되어있으며 [IEEE Trnas. Electron Devices, Vol.40, No. 5, pp.938, 1993] 특히 MILC박막트랜지스터의 경우는 누설전류의 원인으로 소스 및 드레인과 채널과의 경계부근에서의 금속오염이라는 보고가 있다. [IEEE Trans. Electron Device, Vol. 32, p. 258, 1998]b

현재 금속유도층면결정화법을 사용하는 박막트랜지스터를 제작하는 방법을 살펴보면 다음과 같다. 도 1a 내지 도 1d는 종래의 MILC 방법을 이용한 저온 폴리 박막 트랜지스터의 제조방법을 설명하기 위한 공정단면도를 도시한 것이다. 도 1a를 참조하면, 유리기판과 같은 절연기판상에 산화막으로 된 버퍼층(10)을 형성하고, 그 위에 비정질 실리콘막(11)을 형성한다. 상기 비정질 실리콘막(11)을 사진식각 공정으로 활성층 패터를 하고 순차적으로 절연막 및 금속막을 증착한 후 사진식각 공정으로 게이트 전극(13) 및 게이트 절연막(12)을 형성한다. 도 1b를 참조하면, 저농도의 이온 주입을 통하여 LDD 구조를 형성한다. 도 1c를 참조하면, 감광제(14)를 사용하여 오프셋(Off-set) 구조를 형성하고 이 위에 Ni(15)을 전면 증착한 후 소스(11S) 및 드레인(11D) 형성을 위한 고농도 이온주입을 한다.

도 1d를 참조하면, 상기 감광막(14)을 리프트오프(Lift-off)법을 이용하여 제거한 후 400 내지 600℃ 사이에서 MILC 열처리를 하여 채널 부분(16)을 결정화한다.

상기한 바와같은 종래의 MILC 방법을 이용한 박막 트랜지스터의 제조방법은 off-set 구조와 LDD 구조의 형성을 위해 별도의 사진식각 공정이 필요하며 따라서 생산성을 저하시키고 생산단가를 증가시키는 주요 원인이 된다. 또한, 채널과 소스/드레인 접합부에 LDD 영역을 형성하기 위해서는 소스 드레인 영역에의 이온주입농도와 다른 별도의 이온주입공정이 필요하게 된다.

따라서 LDD 영역을 형성하기 위해서는 상기한 바와 같은 추가의 이온 주입공정 및 스페이서 형성 공정등이 필요하며, 이 또한 생산성 및 생산단가를 증가시키는 주요 원인이 되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기한 바와같은 종래 기술의 문제점을 해결하기 위한 것으로서, 추가의 마스크공정이나 별도의 이온주입공정없이 off-set 및 LDD를 동시에 이룰 수 있는 다결정 박막 트랜지스터의 제조 방법을 제공하는 데 그 목적이 있다.

발명의 구성

상기한 본 발명의 목적을 달성하기 위하여 본 발명은 절연기판상에 비정질 실리콘 막을 형성하는 단계와; 상기 반도체층형성용 감광막 패터를 이용하여 상기 비정질 실리콘막을 패터닝하는 단계와; 상기 반도체층을 포함한 기판상에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막상에 게이트 전극을 형성하는 단계와; 상기 게이트 전극을 반도체층형성용 감광막 패터를 형성한 후 습식 에칭으로 오버 패터닝하는 단계와; 상기 게이트 절연막을 건식 에칭으로 에칭한 후 다시 습식 에칭으로 패터닝하는 단계와; 기판전면에 MILC 결정화를 위한 금속막을 형성하는 단계와; 반도체층형성용 감광막 패터를 제거하는 단계와; 상기 반도체층으로 고농도 불순물을 이온주입하여 소스/드레인 영역을 형성하는 단계를 포함하는 박막 트랜지스터의 제조방법을 제공하는 것을 특징으로 한다.

본 발명은 상기 게이트 전극 및 게이트 절연막을 패터닝 한 후 기판전면에 금속막을 형성할 시 남아있는 반도체층 형성용 감광막 때문에 추가 마스크 공정없이 오프셋구조를 형성할 수 있는 것을 특징으로 한다.

또한, 본 발명은 게이트 절연막을 건식 에칭 후 습식 에칭으로 재차 에칭할 시 약간의 게이트 절연막을 남기도록 해서 고농도 불순물을 이온주입하여 소스/드레인 영역 형성시 남아있는 약간의 게이트 절연막으로 인해 LDD 구조를 추가의 마스크 공정, 이온주입공정없이 형성될 수 있는 것을 특징으로 한다.

이하, 첨부한 도면을 참조하여, 본 발명의 일 실시예를 통해 본 발명을 보다 상세하게 설명하고자 한다.

도 2a 내지 2g 는 본 발명의 실시예에 따른 MILC 방법을 이용한 박막 트랜지스터의 제조방법을 설명하기 위한 공정단면도를 도시한 것이다.

도 2a를 참조하면, 절연기판(30)상에 비정질 실리콘막을 증착하고, 반도체층을 형성하기 위한 마스크(도면상에는 도시되지 않음)을 이용하여 상기 비정질 실리콘막을 패터닝하여 비정질 실리콘막으로 된 반도체층(31)을 형성한다.

도 2b를 참조하면, 상기 반도체층(31)을 포함한 절연기판(30)상에 게이트 절연막(32)과 게이트 전극물질(33)을 순차적으로 형성한다. 그 후 게이트 절연막을 게이트 전극물질을 패터닝하기 위한 감광막 패턴(34)을 형성한다.

도 2c를 참조하면, 상기 형성한 게이트 전극물질(33)을 습식 에칭법을 이용하여 에칭한다. 이 때 오버에칭을 하여 상기 형성한 감광막 패턴(34)보다 안쪽으로 패터닝되도록 한다.

도 2d를 참조하면, 건식 에칭법을 이용하여 게이트 절연막(32)을 패터닝한다. 건식 에칭은 비대칭적인 성질을 가지기 때문에 감광막패턴(34)과 같은 폭을 가진다.

도 2e를 참조하면, 습식 에칭법을 에칭하여 게이트 절연막(32)을 재차 에칭한다. 이 때, 습식 에칭법은 비대칭적인 에칭법이기에 때문에 도면에서와 같은 게이트 절연막 패턴을 얻을 수 있다. 그 후 반도체층(31)을 포함한 절연기판(30)상에 금속막(35)을 스퍼터링법으로 증착한다. 이 때, 금속막으로는 Ni, Pd, Ag, Ti, Al, Cu 등이 주로 사용되며, 감광막 패턴 및 게이트 전극물질 오버에치, 게이트 절연막 2차 에치등으로 인하여 추가의 공정없이 오프셋 영역(36)이 형성된다.

도 2f를 참조하면, 감광막 패턴(34)을 리프트오프 법으로 제거하고, 고농도 불순물을 이온주입하여 고농도 불순물 영역인 소오스영역(38S)과 드레인 영역(38D)을 형성한다. 이때, 건식 및 습식 에칭에 의해 생성된 얇은 게이트 절연막영역(37)으로 인하여 LDD 영역도 동시에 형성된다.

도 2g를 참조하면, 400내지 600℃ 의 온도에서 결정화공정을 수행하여 비정질 실리콘막(31a)을 다결정질 실리콘막(31b)으로 결정화한다. 이때, 비정질 실리콘막(31a)중 금속막(35)과 접촉한 부분은 MIC 방법에 의해 결정화되어 다결정질 실리콘막(31-2)으로 되고, 접촉하지 않은 비정질 실리콘막은 MILC 방법에 의해 결정화되어 폴리실리콘막(32-1)으로 결정화된다.

상기한 바와같은 본 발명의 실시예에 따른 박막 트랜지스터의 제조방법은 오프셋 및 LDD 영역을 형성하는데 추가의 마스크공정이나 추가의 이온주입 공정이 요구되지 않으므로 공정을 단순화하여, 생산성 및 생산단가를 줄일 수 있다.

발명의 효과

상기한 바와같은 본 발명의 MILC를 이용한 박막 트랜지스터의 제조방법에 따르면, MILC와 MIC의 경계면이 채널영역에 위치하지 않으므로 채널영역에서의 트랩현상을 방지하여 소자의 특성을 향상시킬 수 있다. 또한, 오프셋 영역을 형성하기 위한 추가의 마스크공정이 필요하지 않으므로 공정을 단순화하여 생산단가 및 생산성을 향상시킬 수 있다. 본발명의 MILC 방법을 이용한 박막 트랜지스터의 제조방법에 의하면 LDD 영역 또한 동시에 형성되기 때문에 별도의 LDD 영역을 형성하기 위한 추가 공정이 필요하지 않다. 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도1a 내지 도1d는 MILC 현상을 이용하여 결정질 실리콘 박막트랜지스터를 제조하는 종래 기술을 도시하는 도면

도2a 내지 도2g는 본 발명의 실시예에 따른 MILC방법을 이용한 박막 트랜지스터의 제조방법을 설명하기 위한 공정단면도

<도면의 주요부분에 대한 부호의 설명>

30 : 절연기판 31:실리콘막

31a : 비정질실리콘막 31b : 결정질 실리콘막

32 : 게이트 절연막 33 : 게이트 전극

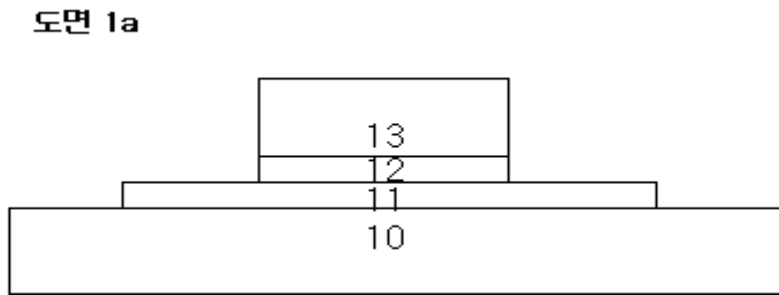
34 : 감광막 패턴 35 : 금속막

36 : 오프셋 영역 37 : LDD 영역

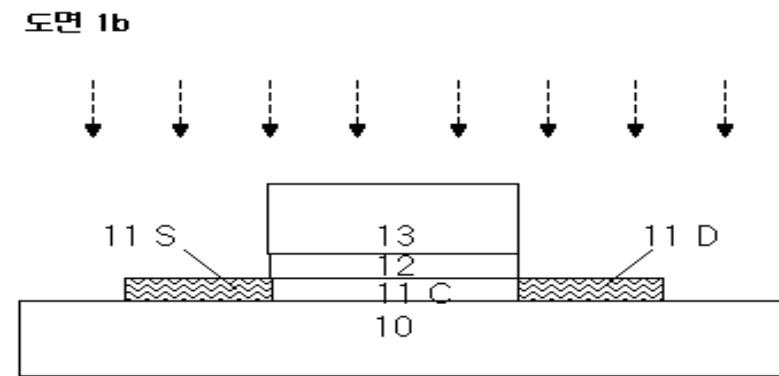
38S : 소스영역 38D : 드레인 영역

도면

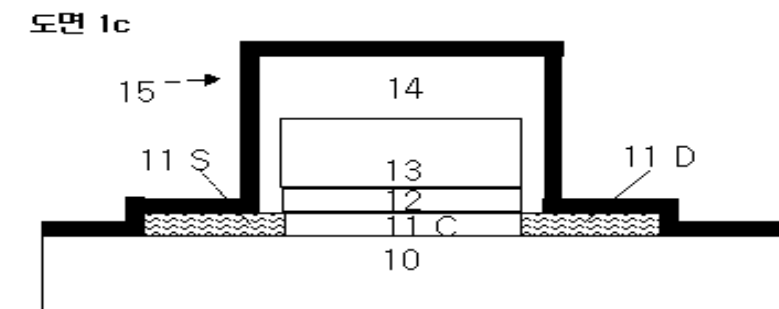
도면1a



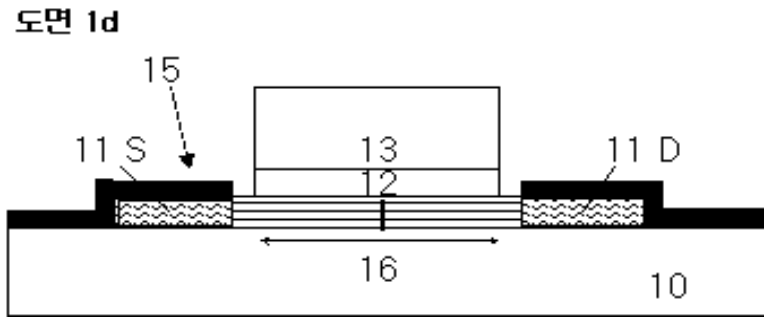
도면1b



도면1c

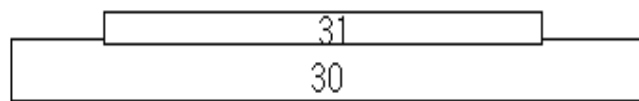


도면1d



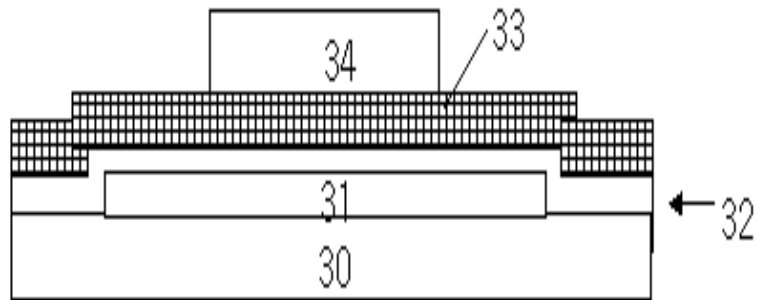
도면2a

도면2a



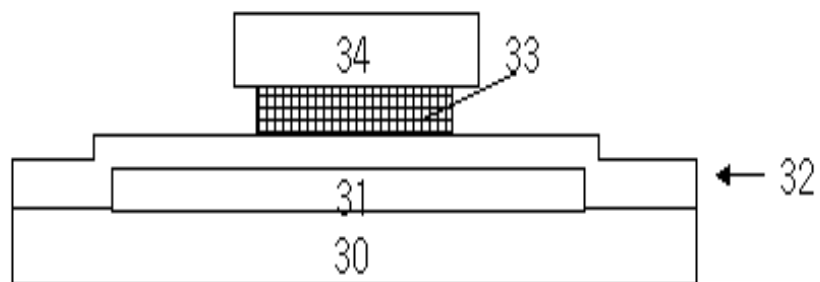
도면2b

도면2b



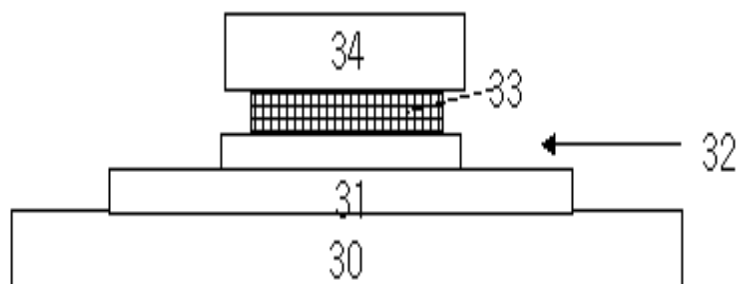
도면2c

도면2c

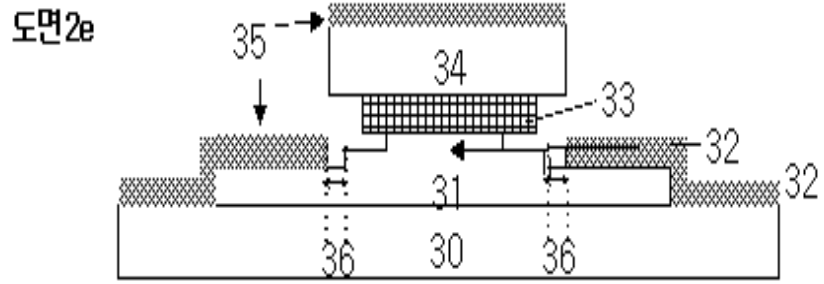


도면2d

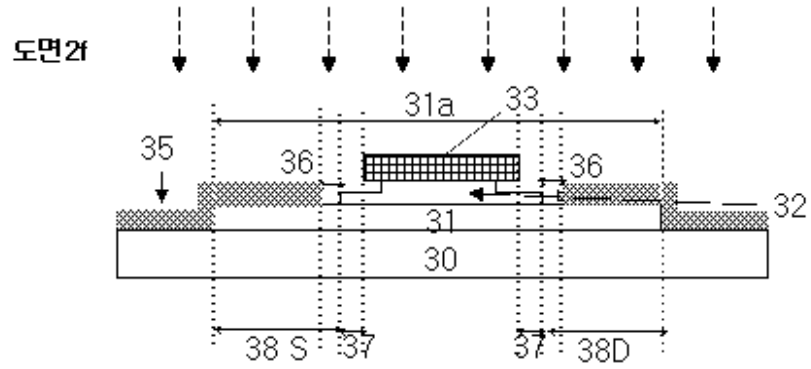
도면2d



도면2e



도면2f



도면2g

