



(12) 发明专利申请

(10) 申请公布号 CN 115516563 A

(43) 申请公布日 2022. 12. 23

(21) 申请号 202180034129.2

(22) 申请日 2021.04.27

(30) 优先权数据

16/875,281 2020.05.15 US

(85) PCT国际申请进入国家阶段日

2022.11.09

(86) PCT国际申请的申请数据

PCT/US2021/029296 2021.04.27

(87) PCT国际申请的公布数据

WO2021/231075 EN 2021.11.18

(71) 申请人 超威半导体公司

地址 美国加利福尼亚州

(72) 发明人 凯文·M·布兰德尔

凯达尔纳特·巴拉里斯南 王静

沈冠豪

(74) 专利代理机构 上海胜康律师事务所 31263

专利代理人 樊英如 张静

(51) Int.Cl.

G11C 11/406 (2006.01)

G11C 11/408 (2006.01)

G11C 11/4096 (2006.01)

G06F 3/06 (2006.01)

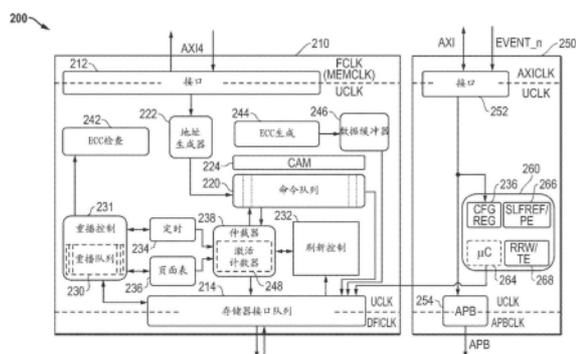
权利要求书3页 说明书9页 附图5页

(54) 发明名称

用于DRAM的刷新管理

(57) 摘要

存储器控制器通过存储通道与动态随机存取存储器 (DRAM) 接口连接。刷新控制电路监测激活计数器,该激活计数器对通过该存储通道发送到该DRAM的存储区域的激活命令的滚动数进行计数。响应于该激活计数器高于中间管理阈限值,该刷新控制电路仅在不存在针对该存储区域的REF命令当前保持在该刷新命令电路处的情况下发布刷新管理 (RFM) 命令。



1. 一种设备,包括:
存储器控制器,所述存储器控制器包括:
命令队列,所述命令队列具有用于接收存储器访问请求的第一输入;
存储器接口队列,所述存储器接口队列具有用于耦接到适于耦接到至少一个动态随机存取存储器(DRAM)的存储通道的输出;
仲裁器,所述仲裁器耦接到所述命令队列以用于从所述命令队列选择条目并将所述条目放置在所述存储器接口队列中,从而致使所述条目通过所述存储通道被传输;以及
刷新控制电路,所述刷新控制电路耦接到所述仲裁器并且能够操作以:
监测激活计数器,所述激活计数器对通过所述存储通道发送到存储区域的激活命令的数量进行计数;以及
响应于所述激活计数器高于中间管理阈限值且等于或低于最大管理阈限值,仅在不存在针对所述存储区域的REF命令当前保持在所述刷新命令电路处的情况下发布刷新管理(RFM)命令。
2. 根据权利要求1所述的存储器控制器,其中所述刷新控制电路能够操作以响应于所述激活计数器高于所述最大管理阈限,确定针对所述存储区域的REF命令当前是否保持在所述刷新控制电路处,并且如果不是,则致使RFM命令发送到所述存储区域,并且如果是,则允许待决REF命令发布,而不发布RFM命令,并且防止任何新激活命令被调度到所述存储区域,直到所述RFM命令或所述待决REF命令中的一者被调度。
3. 根据权利要求1所述的存储器控制器,其中所述仲裁器至少基于所述相应命令的存储区域的相应激活计数器值来确定命令选择的资格。
4. 根据权利要求1所述的存储器控制器,其中存储区域是存储器存储体或子存储体中的一者。
5. 根据权利要求4所述的存储器控制器,其中所述存储区域是存储器存储体的子存储体,并且其中所述刷新控制电路能够操作以监测所述存储器存储体的相应多个子存储体的多个激活计数器。
6. 根据权利要求5所述的存储器控制器,其中所述刷新控制电路能够操作以通过致使所述激活计数器递减来考虑指向所述存储器存储体的REF命令和RFM命令。
7. 根据权利要求5所述的存储器控制器,其中所述刷新控制电路能够操作以在所述多个子存储体的粒度级别监测所述激活计数器,并且允许或致使所述REF命令和所述RFM命令在所述存储器存储体的粒度级别发布。
8. 根据权利要求5所述的存储器控制器,还包括:灵活地址解码器逻辑,所述灵活地址解码器逻辑能够操作以跨所述多个子存储体扩散连续存储器地址并且提供用于寻址所述多个子存储体的存储器地址位。
9. 根据权利要求4所述的存储器控制器,其中所述刷新控制电路能够配置为提供存储器存储体或子存储体的激活计数器。
10. 根据权利要求1所述的存储器控制器,其中所述刷新控制电路进一步能够操作以响应于所述激活计数器的指定条件,致使所述存储区域的刷新速率增加一倍,直到所述指定条件得到补救。
11. 根据权利要求1所述的设备,还包括:

一个或多个处理器核心,所述一个或多个处理器核心与所述存储器控制器通信;以及一个或多个存储器装置,所述一个或多个存储器装置与所述存储器控制器通信并且包括所述存储区域,并且其中所述一个或多个存储器装置接收由所述存储器控制器发布的所述RFM命令。

12. 一种方法,包括:

接收包括存储器读取和存储器写入的多个存储器访问请求;

选择性地用于履行所述存储器访问请求的存储器访问命令放置在存储器接口队列中,并且将所述存储器访问命令从所述存储器接口队列传输到耦接到至少一个动态随机存取存储器 (DRAM) 的存储通道;

在激活计数器处对通过所述存储通道发送到存储区域的激活命令的数量进行计数;

响应于所述激活计数器高于管理阈值且等于或低于最大管理阈值,仅在不存在针对所述存储区域的REF命令当前保持在所述刷新命令电路处的情况下发布刷新管理 (RFM) 命令。

13. 根据权利要求12所述的方法,还包括:响应于激活命令的滚动数高于所述最大管理阈值,致使RFM命令发送到所述存储区域。

14. 根据权利要求12所述的方法,还包括:响应于所述激活计数器高于所述最大管理阈值,确定针对所述存储区域的REF命令当前是否保持在所述刷新控制电路处,并且如果不是,则致使RFM命令发送到所述存储区域,并且如果是,则允许待决REF命令发布,而不发布RFM命令,并且防止任何新激活命令被调度到所述存储区域,直到所述RFM命令或所述待决REF命令中的一者被调度。

15. 根据权利要求12所述的方法,还包括:在命令仲裁器处至少基于所述相应命令的存储区域的相应激活计数器值来确定命令选择的资格。

16. 根据权利要求12所述的方法,其中所述存储区域是存储器存储体或子存储体中的一者。

17. 根据权利要求16所述的方法,其中当所述存储区域是存储器存储体的存储器子存储体时,所述方法还包括监测所述存储器存储体的相应多个子存储体的多个激活计数器。

18. 根据权利要求17所述的方法,还包括:通过致使所述多个计数器递减来考虑指向所述存储器存储体的REF命令和RFM命令。

19. 根据权利要求17所述的方法,还包括:在所述多个子存储体的粒度级别监测所述激活计数器,并且在所述存储器存储体的粒度级别发布所述REF命令和所述RFM命令。

20. 根据权利要求17所述的方法,还包括:跨所述多个子存储体扩散连续存储器地址。

21. 根据权利要求20所述的方法,其中扩散所述连续存储器地址是在灵活地址解码器处执行的,所述灵活地址解码器提供用于寻址所述多个子存储体的存储器地址位。

22. 根据权利要求16所述的方法,其中所述刷新控制电路能够配置为提供存储器存储体或子存储体的激活计数器。

23. 根据权利要求12所述的方法,还包括:响应于所述激活计数器的指定条件,致使所述存储区域的刷新速率增加一倍,直到所述指定条件得到补救。

24. 一种数据处理系统,包括:

数据处理器;

数据结构,所述数据结构耦接到中央处理单元;以及

存储器控制器,所述存储器控制器耦接到所述数据结构以用于履行来自所述中央处理单元的存储器请求,所述存储器控制器包括:

命令队列,所述命令队列具有用于接收存储器访问请求的第一输入;

存储器接口队列,所述存储器接口队列具有用于耦接到适于耦接到至少一个动态随机存取存储器 (DRAM) 的存储通道的输出;

仲裁器,所述仲裁器耦接到所述命令队列以用于从所述命令队列选择条目并将所述条目放置在所述存储器接口队列中,从而致使所述条目通过所述存储通道被传输;以及

刷新控制电路,所述刷新控制电路耦接到所述仲裁器并且能够操作以:

监测激活计数器,所述激活计数器对通过所述存储通道发送到存储区域的激活命令的滚动数进行计数;以及

响应于所述激活计数器高于中间管理阈限值且等于或低于最大管理阈限值,仅在不存在针对所述存储区域的REF命令当前保持在所述刷新命令电路处的情况下发布刷新管理 (RFM) 命令。

25. 根据权利要求24所述的数据处理系统,其中所述刷新控制电路能够操作以响应于所述激活计数器高于所述最大管理阈限,确定针对所述存储区域的REF命令当前是否保持在所述刷新控制电路处,并且如果不是,则致使RFM命令发送到所述存储区域,并且如果是,则允许待决REF命令发布,而不发布RFM命令,并且防止任何新激活命令被调度到所述存储区域,直到所述RFM命令或所述待决REF命令中的一者被调度。

26. 根据权利要求24所述的数据处理系统,其中所述仲裁器至少基于所述相应命令的存储区域的相应激活计数器值来确定命令选择的资格。

27. 根据权利要求24所述的数据处理系统,其中存储区域是存储器存储体或子存储体中的一者。

28. 根据权利要求27所述的数据处理系统,其中所述存储区域是存储器存储体的子存储体,并且其中所述刷新控制电路能够操作以监测所述存储器存储体的相应多个子存储体的多个激活计数器。

29. 根据权利要求28所述的数据处理系统,其中所述刷新控制电路能够操作以通过致使所述激活计数器递减来考虑指向所述存储器存储体的REF命令和RFM命令。

30. 根据权利要求28所述的数据处理系统,其中所述刷新控制电路能够操作以在所述多个子存储体的粒度级别监测所述激活计数器,并且允许或致使所述REF命令和所述RFM命令在所述存储器存储体的粒度级别发布。

31. 根据权利要求28所述的数据处理系统,还包括:灵活地址解码器逻辑,所述灵活地址解码器逻辑能够操作以跨所述多个子存储体扩散连续存储器地址并且提供用于寻址所述多个子存储体的存储器地址位。

32. 根据权利要求28所述的数据处理系统,其中所述刷新控制电路能够配置为提供存储器存储体或子存储体的激活计数器。

33. 根据权利要求24所述的数据处理系统,其中所述刷新控制电路进一步能够操作以响应于所述激活计数器的指定条件,致使所述存储区域的刷新速率增加一倍,直到所述指定条件得到补救。

用于DRAM的刷新管理

背景技术

[0001] 计算机系统通常使用廉价和高密度的动态随机存取存储器 (DRAM) 芯片作为主存储器。当DRAM芯片中的特定行被激活以进行读取或写入时,与该行相关联的字线被激活,并且沿该行的存储器单元的内容被读取到页面缓冲器中。对该行中的存储器单元的后续读取和写入访问可完全在页面缓冲器内进行,而无需再次访问该行。当数据处理器稍后访问同一存储器存储体中的另一行时,沿该行的存储器单元在可激活另一行之前在预充电操作中复原。

[0002] 现代DRAM芯片通常使用深亚微米技术存储一至八千兆位 (Gb) 的数据。由于高密度和小特征尺寸,存储器的行在物理上非常靠近其他行,以致于特定行的激活可能通过改变存储器单元电容器上的电荷来扰乱存储在相邻行中的数据。在过去,这些扰乱通常是无害的,因为会周期性地刷新存储器单元。然而,一些存储器访问模式偶尔会导致某些行在下一个刷新循环之前被激活和预充电很多次,以致于相邻行中的存储器单元损坏并反转逻辑状态。在损坏之后,原始数据丢失并且在后续刷新循环中不能复原。随着特征尺寸变得更小,此问题(称为“行锤击(row hammer)”)变得更难缓解,因为引起该问题所需的行激活次数变得更少。

[0003] 解决数据扰乱问题的一种已知技术称为目标行刷新 (TRR)。为了确保DRAM行在刷新周期内不被激活太多次,存储器控制器通过设置某些模式寄存器位将DRAM置于TRR模式。在TRR模式中,连续的激活和预充电命令被发送到目标行以及两个物理上相邻的行。一旦启用TRR模式,就不允许其他模式寄存器命令,直到TRR模式完成。TRR模式是自清除的,并且模式寄存器位在TRR模式完成之后进行设置。虽然TRR允许存储器控制器避免在特定时间段内对特定行的过度激活,但它是通过设置模式寄存器进入的,这需要大量的时间,因为在控制器可发布模式寄存器设置命令之前,所有存储体必须处于空闲状态。

附图说明

[0004] 图1以框图形式示出了现有技术中已知的加速处理单元 (APU) 和存储器系统;

[0005] 图2以框图形式示出了根据一些实施方案的适合于在类似图1的APU的APU中使用的存储器控制器;

[0006] 图3是根据一些实施方案的用于处理刷新管理的过程的流程图;

[0007] 图4以框图形式示出了根据一些实施方案的灵活地址解码器;

[0008] 图5以图形式示出了使用诸如图4的灵活地址解码器的灵活地址解码器将逻辑存储器地址映射到物理存储器位置的过程;并且

[0009] 图6以图形式示出了根据一些实施方案的用于执行存储器子存储体的刷新管理的电路。

[0010] 在以下描述中,在不同附图中使用相同的附图标号指示类似或相同的项。除非另有说明,否则字词“耦接”及其相关联的动词形式包括直接连接和通过本领域已知的方式的间接电连接两者,并且除非另有说明,否则对直接连接的任何描述也意味着使用合适形式

的间接电连接的另选实施方案。

具体实施方式

[0011] 存储器控制器包括命令队列,该命令队列具有用于接收存储器访问请求的第一输入,以及存储器接口队列,该存储器接口队列具有用于耦接到适于连接到至少一个动态随机存取存储器 (DRAM) 模块的存储通道的输出。该存储器控制器包括刷新控制电路,该刷新控制电路监测激活计数器,该激活计数器对通过存储通道发送到DRAM模块的存储区域的激活命令的滚动数进行计数。响应于激活计数器高于中间管理阈值,刷新控制电路仅在不针对存储区域的REF命令当前保持在刷新命令电路处的情况下发布刷新管理 (RFM) 命令。

[0012] 一种方法包括接收包括存储器读取和存储器写入的多个存储器访问请求。选择性地用于履行这些存储器访问请求的存储器访问命令放置在存储器接口队列中,并且将这些存储器访问命令从存储器接口队列传输到耦接到至少一个动态随机存取存储器 (DRAM) 的存储通道。在激活计数器处,该方法对通过存储通道发送到存储区域的激活命令的滚动数进行计数。响应于激活计数器高于中间管理阈值且等于或低于最大管理阈值,该方法仅在不针对存储区域的REF命令当前保持在刷新命令电路处的情况下发布刷新管理 (RFM) 命令。

[0013] 一种数据处理系统包括数据处理器;数据结构,该数据结构耦接到中央处理单元;以及存储器控制器,该存储器控制器耦接到该数据结构以用于履行来自中央处理单元的存储器请求。该存储器控制器包括命令队列、存储器接口队列、仲裁器和刷新控制电路。该命令队列具有用于接收存储器访问请求的第一输入。该存储器接口队列具有用于耦接到适于耦接到至少一个动态随机存取存储器 (DRAM) 模块的存储通道的输出。该仲裁器连接到命令队列以用于从命令队列中选择条目并将这些条目放置在存储器接口队列中,从而致使这些条目通过存储通道被传输。该刷新控制电路连接到仲裁器,并且可操作以监测激活计数器,该激活计数器对通过存储通道发送到存储区域的激活命令的滚动数进行计数。响应于该激活计数器高于中间管理阈值,该刷新控制电路仅在不针对存储区域的REF命令当前保持在刷新命令电路处的情况下发布刷新管理 (RFM) 命令。

[0014] 图1以框图形式示出了现有技术中已知的加速处理单元 (APU) 100和存储器系统 130。APU 100是适合于用作主机数据处理系统中的处理器的集成电路,并且通常包括中央处理单元 (CPU) 核心复合体110、图形核心120、一组显示引擎122、存储器管理集线器124、数据结构125、一组外围控制器160、一组外围总线控制器170和系统管理单元 (SMU) 180。

[0015] CPU核心复合体110包括CPU核心112和CPU核心114。在该示例中,CPU核心复合体110包括两个CPU核心,但是在其他实施方案中,CPU核心复合体110可包括任意数量的CPU核心。CPU核心112和114中的每一个核心双向连接到形成控制结构的系统管理网络 (SMN) 和数据结构125,并且能够将存储器访问请求提供到数据结构125。CPU核心112和114中的每一个核心可以是一体式核心,或者可以进一步是具有共享某些资源诸高速缓存的两个或更多个一体式核心的核心复合体。

[0016] 图形核心120是高性能图形处理单元 (GPU),该GPU能够以高度集成和并行方式执行图形操作诸如顶点处理、片段处理、着色、纹理混合等。图形核心120双向连接到SMN和数

据结构125,并且能够将存储器访问请求提供到数据结构125。就此而言,APU 100可支持其中CPU核心复合体110和图形核心120共享相同存储空间的统一存储器架构,或其中CPU核心复合体110和图形核心120共享存储空间的一部分、同时图形核心120还使用CPU核心复合体110不能访问的私有图形存储器的存储器架构。

[0017] 显示引擎122渲染并光栅化由图形核心120生成的对象以供在监测器上显示。图形核心120和显示引擎122双向连接到公共存储管理集线器124以用于统一转换成存储器系统130中的适当地址,并且存储器管理集线器140双向连接到数据结构125以用于生成此类存储器访问并接收从存储器系统返回的读取数据。

[0018] 数据结构125包括用于在任何存储器访问代理和存储器管理集线器140之间路由存储器访问请求和存储器响应的横杆开关。数据结构还包括由基本输入/输出系统(BIOS)定义的、用于基于系统配置确定存储器访问的目的地的系统存储器映射,以及用于每个虚拟连接的缓冲器。

[0019] 外围控制器160包括通用串行总线(USB)控制器162和串行高级技术附件(SATA)接口控制器164,它们中的每一者双向连接到系统集线器166和SMN总线。这两个控制器仅仅是可用于APU 100的外围控制器的示例。

[0020] 外围总线控制器170包括系统控制器或“南桥”(SB)172以及外围部件互连高速(PCIe)控制器174,它们中的每一者双向连接到输入/输出(I/O)集线器176和SMN总线。I/O集线器176也双向连接到系统集线器166和数据结构125。因此,例如,CPU核心可通过数据结构125通过I/O集线器176路由的访问对USB控制器162、SATA接口控制器164、SB 172或PCIe控制器174中的寄存器进行编程。APU 100的软件和固件存储在系统数据驱动器或系统BIOS存储器(未示出)中,系统数据驱动器或系统BIOS存储器可以是多种非易失性存储器类型中的任一种,诸如只读存储器(ROM)、闪存电可擦除可编程ROM(EEPROM)等。通常,BIOS存储器通过PCIe总线访问,并且系统数据驱动器通过SATA接口。

[0021] SMU 180是控制APU 100上的资源的操作并使这些资源之间的通信同步的本地控制器。SMU 180管理APU 100上的各种处理器的上电定序,并且经由复位、启用和其他信号控制多个芯片外装置。SMU 180包括一个或多个时钟源(未示出),诸如锁相环路(PLL),以为APU 100的每个部件提供时钟信号。SMU 180还管理各种处理器和其他功能块的功率,并且可从CPU核心112和114以及图形核心120接收测量功率消耗值以确定适当的功率状态。

[0022] 在该实施方案中,存储器管理集线器140及其相关联的物理接口(PHY)151和152与APU 100集成。存储器管理集线器140包括存储通道141和142以及功率引擎149。存储通道141包括主机接口145、存储通道控制器143和物理接口147。主机接口145通过串行存在检测链路(SDP)将存储通道控制器143双向连接到数据结构125。物理接口147将存储通道控制器143双向连接到PHY 151,并且符合DDR PHY接口(DFI)规范。存储通道142包括主机接口146、存储通道控制器144和物理接口148。主机接口146通过另一个SDP将存储通道控制器144双向连接到数据结构125。物理接口148将存储通道控制器144双向连接到PHY 152,并且符合DFI规范。功率引擎149通过SMN总线双向连接到SMU 180,通过APB连接到PHY 151和152,并且还双向连接到存储通道控制器143和144。PHY 151具有到存储通道131的双向连接。PHY 152具有双向连接存储通道133。

[0023] 存储器管理集线器140是具有两个存储通道控制器的存储器控制器的实例化,并

且使用共享功率引擎149以将在下面进一步描述的方式控制存储通道控制器143和存储通道控制器144两者的操作。存储通道141和142中的每一个存储通道可连接到现有技术的DDR存储器(诸如DDR版本四(DDR 4)、低功率DDR4(LPDDR 4)、图形DDR版本五(gDDR5))和高带宽存储器(HBM),并且可适于未来存储器技术。这些存储器提供高总线带宽和高速操作。同时,它们还提供低功率模式以节省电池供电应用诸如膝上型计算机的功率,并且还提供内置热监测。

[0024] 存储器系统130包括存储通道131和存储通道133。存储通道131包括连接到DDR_x总线132的一组双列直插存储模块(DIMM),包括代表性的DIMM 134、136和138,它们在该示例中对应于单独存储列。同样,存储通道133包括连接到DDR_x总线129的一组DIMM,包括代表性的DIMM 135、137和139。

[0025] APU 100作为主机数据处理系统的中央处理单元(CPU)操作并且提供在现代计算机系统可用的各种总线和接口。这些接口包括两个双数据速率(DDR_x)存储通道、用于连接到PCIe链路的PCIe根复合体、用于连接到USB网络的USB控制器以及到SATA大容量存储装置的接口。

[0026] APU 100还实现各种系统监测和功率节省功能。具体地,一个系统监测功能是热监测。例如,如果APU 100变热,则SMU 180可降低CPU核心112和114和/或图形核心120的频率和电压。如果APU 100变得过热,则可完全关断APU 100。SMU 180还可经由SMN总线从外部传感器接收热事件,并且作为响应,SMU 180可降低时钟频率和/或电源电压。

[0027] 图2以框图形式示出了适合于在类似于图1的APU的APU中使用的存储器控制器200。存储器控制器200通常包括存储通道控制器210和功率控制器250。存储通道控制器210通常包括接口212、存储器接口队列214、命令队列220、地址生成器222、内容可寻址存储器(CAM) 224、包括重播队列230的重播控制逻辑231、刷新逻辑块232、定时块234、页面表236、仲裁器238、纠错码(ECC)检查电路242、ECC生成块244和数据缓冲器246。

[0028] 接口212具有通过外部总线到数据织构125的第一双向连接,并且具有输出。在存储器控制器200中,该外部总线与由ARM Holdings, PLC of Cambridge, England规定的高级可扩展接口版本四(称为AXI4)兼容,但在其他实施方案中可以是其他类型的接口。接口212将存储器访问请求从称为FCLK(或MEMCLK)域的第一时钟域转换到存储器控制器200内部的称为UCLK域的第二时钟域。类似地,存储器接口队列214提供从UCLK域到与DFI接口相关联的DFICLK域的存储器访问。

[0029] 地址生成器222解码通过AXI4总线从数据织构125接收的存储器访问请求的地址。存储器访问请求包括物理地址空间中以归一化格式表示的访问地址。地址生成器222将归一化地址转换成可用于对存储器系统130中的实际存储器装置进行寻址以及高效地调度相关访问的格式。该格式包括将存储器访问请求与特定存储列、行地址、列地址、存储体地址和存储体组相关联的区域标识符。在启动时,系统BIOS查询存储器系统130中的存储器装置以确定它们的大小和配置,并且对与地址生成器222相关联的一组配置寄存器进行编程。地址生成器222使用存储在配置寄存器中的配置来将归一化地址转换成适当格式。命令队列220是从APU 100中的存储器访问代理诸如CPU核心112和114以及图形核心120接收的存储器访问请求的队列。命令队列220存储由地址生成器222解码的地址字段以及允许仲裁器238高效地选择存储器访问的其他地址信息,包括访问类型和服务质量(QoS)标识符。CAM

224包括实施排序规则诸如写后写 (WAW) 以及写后读 (RAW) 排序规则的信息。

[0030] 纠错码 (ECC) 生成块244确定要发送到存储器的写入数据的ECC。ECC检查电路242针对传入ECC检查所接收的ECC。

[0031] 重播队列230是用于存储由仲裁器238选取的所选择的存储器访问的临时队列, 所选择的存储器访问正在等待响应, 诸如地址和命令奇偶响应。重播控制逻辑231访问ECC检查电路242以确定所返回的ECC是正确的还是指示错误。重播控制逻辑231发起并控制恢复序列, 其中在这些循环中的一个循环的奇偶或ECC错误的情况下重播访问。所重播的命令放置在存储器接口队列214中。

[0032] 刷新控制逻辑232包括用于各种下电、刷新和终端电阻 (ZQ) 校准循环的状态机, 这些校准循环与从存储器访问代理接收的正常读取和写入存储器访问请求分开生成。例如, 如果存储器存储列处于预充电下电, 则必须周期性地唤醒该存储器存储列以运行刷新循环。刷新控制逻辑232周期性地并且响应于指定条件而生成刷新命令, 以防止由DRAM芯片中存储器单元的存储电容器的电荷泄漏引起的数据错误。存储区域在一些实施方案中是存储器存储体, 并且在其他实施方案中是存储器子存储体, 如下文进一步讨论。刷新控制逻辑232还生成刷新命令, 这些刷新命令包括刷新 (REF) 命令和刷新管理 (RFM) 命令两者, 其中RFM命令引导存储器执行刷新功能以减轻行锤击问题, 如下文进一步描述。此外, 刷新控制逻辑232周期性地校准ZQ以防止由于系统的热变化而导致的片上终端电阻的失配。

[0033] 仲裁器238双向连接到命令队列220并且是存储通道控制器210的核心。仲裁器238通过智能调度访问来提高效率以提高存储器总线的使用率。仲裁器238使用定时块234通过基于DRAM定时参数确定命令队列220中的某些访问是否有资格发布来实施正确的定时关系。例如, 每个DRAM在激活命令之间具有最小规定时间, 称为“ t_{RC} ”。定时块234维持一组计数器, 该组计数器基于该定时参数和JEDEC规范中规定的其他定时参数来确定资格, 并且定时块双向连接到重播队列230。页面表236维持关于仲裁器238的存储通道的每个存储体和存储列中的活动页面的状态信息, 并且双向连接到重播队列230。仲裁器238包括激活计数器248, 在该实施方案中, 该激活计数器包括用于每个存储区域的计数器, 该计数器对通过存储通道发送到存储区域的激活命令的滚动数进行计数。为了提供滚动计数, 对每个激活命令进行计数, 但是当针对存储区域发布刷新命令或刷新管理命令时, 计数器减小, 如下所述。仲裁器238双向连接到刷新控制逻辑232以监测刷新命令并引导刷新活动。

[0034] 响应于从接口212接收到写入存储器访问请求, ECC生成块244根据写入数据计算ECC。数据缓冲器246存储所接收的存储器访问请求的写入数据和ECC。当仲裁器238选取对应写入访问以供分派到存储通道时, 数据缓冲器将组合写入数据/ECC输出到存储器接口队列214。

[0035] 功率控制器250通常包括到高级可扩展接口版本一 (AXI) 的接口252、高级外围总线 (APB) 接口254和功率引擎260。接口252具有到SMN的第一双向连接, 该第一双向连接包括用于接收图2中单独示出的标记为“EVENT_n”的事件信号的输入, 以及输出。APB接口254具有连接到接口252的输出的输入, 以及用于通过APB连接到PHY的输出。功率引擎260具有连接到接口252的输出的输入, 以及连接到存储器接口队列214的输入的输出。功率引擎260包括一组配置寄存器262、微控制器 (μC) 264、自刷新控制器 (SLFREF/PE) 266和可靠读/写定时引擎 (RRW/TE) 268。配置寄存器262通过AXI总线编程, 并且存储配置信息以控制存储器控制

器200中各种块的操作。因此,配置寄存器262具有连接到这些块的输出,这些块在图2中未详细示出。自刷新控制器266是除了由刷新控制逻辑232自动生成刷新之外还允许手动生成刷新的引擎。可靠读/写定时引擎268向存储器或I/O装置提供连续存储器访问流,用于诸如DDR接口最大读取延迟(MRL)训练和回送测试等目的。

[0036] 存储通道控制器210包括允许仲裁器选取存储器访问以供分派到相关联存储通道的电路系统。为了做出期望的仲裁决定,地址生成器222将地址信息解码成预解码信息,预解码信息包括存储器系统中的存储列、行地址、列地址、存储体地址和存储体组,并且命令队列220存储预解码信息。配置寄存器262存储配置信息以确定地址生成器222解码所接收的地址信息的方式。仲裁器238使用所解码的地址信息、由定时块234指示的定时资格信息以及由页面表236指示的活动页面信息来高效地调度存储器访问,同时遵守诸如服务质量(QoS)要求等其他标准。例如,仲裁器238实现对访问打开页面的优先,以避免改变存储页面所需的预充电和激活命令的开销,并且通过将对于一个存储体的开销访问与对另一个存储体的读和写访问交错来隐藏对一个存储体的开销访问。特别是在正常操作期间,仲裁器238通常保持页面在不同存储体中打开,直到需要对这些页面进行预充电,然后选择不同的页面。在一些实施方案中,仲裁器238至少基于相应命令的目标存储区域的激活计数器248的相应值来确定命令选择的资格。

[0037] 图3是根据一些实施方案的用于处理刷新管理的过程300的流程图。过程300在一些实施方案中由刷新控制逻辑232(图2)执行,并且或者在其他实施方案中由存储器控制器数字逻辑或具有类似功能性的控制器执行。在该实施方案中,刷新控制逻辑232连接到仲裁器238并且可操作以监测激活计数器248,该激活计数器对通过存储通道发送到存储区域的激活命令的滚动数进行计数,如框302处所示。存储区域在一些实施方案中是存储器存储体,但是在其他实施方案中是存储器子存储体,如下文进一步讨论。对每个存储区域重复过程300。在框304处,如果刷新(REF)命令发布到相应的所监测区域,则过程300通过将计数器递减第一指定量来管理计数器。框304考虑了指向特定存储器存储体的“每存储体”REF命令,以及指向特定存储器存储体中的所有存储体的“所有存储体”REF命令。例如,在一个实施方案中,响应于REF命令被发布到存储器存储体,无论它是每存储体REF还是所有存储体REF,都将存储器存储体的激活计数器递减50。因此,对于所有受影响的存储体,所有存储体REF命令致使多个激活计数器递减。如框306处所示,当RFM命令发布到存储区域时,过程300还通过将计数器递减第二指定量来考虑刷新管理(RFM)命令的发布。例如,在一个实施方案中,响应于RFM命令发布到存储器存储体,将存储器存储体的激活计数器递减100。

[0038] 当激活计数器248通过框302、304和306更新时,过程300监测值,如框308-320处所示,除了发布到存储区域的正常REF命令之外,这些框还采取各种刷新管理动作。通常,过程300用于提供某种类型的刷新命令(REF或RFM),同时优选由刷新控制逻辑232(图2)的周期性刷新功能创建的REF命令。这种优先通过以下方式实现:响应于激活计数器高于中间管理阈限值且低于最大管理阈限值,确定针对存储区域的待决刷新(REF)命令当前是否保持在刷新控制电路处,并且如果不是,则致使刷新管理(RFM)命令被发送到存储区域。如果是,则允许发布待决REF命令,而不发布RFM命令。响应于激活计数器等于或高于最大管理阈限,该过程致使为存储区域调度RFM命令,并且防止任何新的激活命令调度到存储区域,直到RFM命令被调度或者待决REF命令被调度。在不同的实施方案中,使用不同的逻辑过程来实现这

一点。

[0039] 在所描绘的过程300中,框308监测激活计数器248的值。如果在框310处,值等于或高于最大管理阈限,则过程300进行到框316,在框316处,过程检查针对存储区域的REF命令是否在仲裁器238处待决。框316检查应用于所考虑的存储体的“每存储体”REF命令和“所有存储体”REF命令。如果任一类型REF命令中覆盖所考虑的存储体的一者待决,则过程进行到框318,在框318处,过程发信号通知仲裁器使待决REF命令优先以要求对它进行调度和发布。如果在框316处不存在待决REF命令,则过程300进行到框320,在框320处,过程创建要由仲裁器调度的新RFM命令。在框318或320中的任一个框之后,过程300进行到框322,在框322处,过程防止任何激活命令在仲裁器238处被调度,直到新创建的RFM命令被调度或者待决REF被调度。在一些另选实施方案中,刷新控制电路进一步可操作以响应于在框310处激活计数器248的指定条件诸如超过最大阈限,致使存储区域的刷新速率增加一倍,直到指定条件得到补救。除了或代替在框320处创建RFM命令,可执行这种速率增加。在一些实施方案中,刷新控制逻辑能够配置为包括速率增加。

[0040] 如果在框310处激活计数器248不高于最大管理阈限,则框314检查激活计数器248是否等于或高于中间管理阈限。如果不是,则框315简单地返回到框308以继续监测激活计数器。如果是,则过程300进行到框324,在框324处,过程检查针对存储区域的REF命令是否在仲裁器238处待决。框316检查应用于所考虑的存储体的“每存储体”REF命令和“所有存储体”REF命令。如果任一类型REF命令中覆盖所考虑的存储体的一者待决,则过程进行到框326,在框326处,过程发信号通知仲裁器使待决REF命令优先以要求对它进行调度和发布。如果不是,则过程300进行到框328,在框328处,过程创建要由仲裁器调度的新RFM命令。

[0041] 虽然按次序示出了所描绘的过程框,但是此次序不是限制性的,并且所描绘的逻辑功能性或其逻辑等同物通常由并行操作的各种数字逻辑电路实现。在各种实施方案中,数字逻辑电路以各种方式执行激活计数器监测,诸如通过对激活计数器的变化作出响应或重复地将激活计数器值与中间阈限值和最大阈限值中的一者或两者进行比较。在逻辑功能的每个所描绘分支完成之后,框308处的监测继续。

[0042] 中间管理阈限和最大管理阈限优选地可调整以允许存储器控制器与来自各种制造商的不同DRAM模块良好合作,对于这些模块,REF命令和RFM命令通常在其实施方式方面有所变化。在一些实施方案中,允许将中间管理阈限和最大管理阈限设置为相同的值以实现监测过程的简化版本。将这两个阈限值设置为相等优选地作用来禁用最大管理阈限逻辑(框310),并且允许实现中间管理阈限比较的逻辑(框314、315、324、326和328)处理计数器超过相等阈限值的情况。由此,此类实施方式用来在存在待决REF命令时优选待决REF命令,而不是创建新RFM命令。这种优先通常提高效率,因为在各种DRAM模块实施方式中,REF命令通常比RFM命令更快。在其他实施方式中,仅使用中间管理阈限。

[0043] 在各种实施方案中,针对其监测激活计数器的存储区域是存储器存储体或子存储体。当存储区域是存储器存储体的子存储体时,刷新控制电路可操作以监测存储器存储体的相应多个子存储体的多个激活计数器,并且在存储体级别应用REF命令和RFM命令。此类命令致使存储体内子存储体的所有子存储体激活计数器更新。类似地,所有存储体REF命令致使相应存储列内的所有子存储体的子存储体激活计数器更新。因此,过程300可操作以在多个子存储体的粒度级别监测激活计数器,并且允许或致使REF命令和RFM命令在所选择的

存储器存储体的粒度级别发布。刷新控制电路可能配置为提供存储器存储体或子存储体的激活计数器,刷新管理过程也可调整以考虑存储体或子存储体。

[0044] 图4以框图形式示出了根据一些实施方案的灵活地址解码器400。对于一些实施方案,灵活地址解码器400包括在地址生成器222中(图2),以便跨多个子存储体扩散连续存储器地址并且提供用于寻址多个子存储体的存储器地址位。灵活地址解码器400接收与所解码的存储器命令相关联的传入逻辑地址ADDR,并且应用散列函数或其他合适的数学扩展函数,该函数通过将传入逻辑地址位映射到DRAM模块中的传出物理地址位来将地址映射到相应DRAM模块中的物理存储器位置。如所描绘的,在该版本中,传出地址位包括选择存储器存储列的一个或多个RANK位、选择存储器存储体的一个或多个BANK位、选择子存储体的一个或多个SUB-BANK位、选择行的一个或多个ROW位以及选择列的一个或多个COL位。

[0045] 图5以图形式示出了使用诸如图4的灵活地址解码器的灵活地址解码器将逻辑存储器地址映射到物理存储器位置的过程500。过程500通过将连续逻辑地址扩散到跨存储器存储体内的不同子存储体的行来帮助减轻“行锤击”问题。如所描绘的,DRAM模块的存储器存储列包括多个存储器存储体,BANK 0至BANK n。在该实施方案中,DRAM模块的每个存储体内使用四个子存储体,SUB-BANK 0、SUB-BANK 1、SUB-BANK 2和SUB-BANK 3。在其他实施方案中,可使用两个子存储体,或者可使用多于四个子存储体。描绘了一系列顺序逻辑存储器位置A至D,这些逻辑存储器位置由箭头示出为根据灵活地址解码被映射到存储体内的不同子存储体。在一些实施方案中,本文所述的刷新管理技术与如图5的过程的地址映射过程结合使用,从而为每个子存储体而不是在存储体级别提供激活计数器。

[0046] 图6以框形式示出了根据一些实施方案的用于执行存储器子存储体的刷新管理的电路600。电路600实现上文相对于图3所讨论的刷新管理技术,并且在子存储体粒度级别提供激活计数。在该示例性实施方案中,针对其进行刷新管理的存储器存储体包括四个子存储体。如所描绘的,利用每个子存储体(SUB-BANK 0至SUB-BANK 3)的相应激活计数器602跟踪针对每个子存储体的激活(ACT)命令。为每个子存储体提供刷新管理电路604以执行刷新管理过程诸如图3的过程。虽然在该实施方案中,为每个子存储体提供单独刷新管理电路604,但是在其他实施方案中,单个刷新管理电路可通过循环通过所有子存储体以检查相关条件来管理所有子存储体。

[0047] 每个刷新管理电路604具有用于相应激活计数器602值的输入,以及用于可调整配置值的另外的输入,诸如所描绘的管理阈限输入“MGMENT THRESHOLD”,通过这些另外的输入,提供了可调整值诸如中间管理阈限和最大管理阈限。四个刷新管理电路604的输出根据所采用的刷新管理过程诸如图3的过程,发信号通知是否应当针对相应子存储体发布RFM命令。这四个输出被馈送到四输入OR门606,该四输入OR门产生输出“BANK RFM”,指示应当针对所监测的存储器存储体发布RFM命令。由此,电路600在子存储体粒度级别提供刷新管理,但是在存储器存储体的粒度级别激活RFM命令。

[0048] 图2的存储器控制器200或其任何部分(诸如仲裁器238和刷新控制电路232)可由呈数据库或可由程序读取并且直接或间接地用于制造集成电路的其他数据结构形式的计算机可访问数据结构描述或表示。例如,该数据结构可以是高级设计语言(HDL)诸如Verilog或VHDL中的硬件功能性的行为级描述或寄存器传送级(RTL)描述。描述可由合成工具读取,合成工具可合成描述以产生包括来自合成馆的门列表的网表。网表包括门集,门集

也表示包括集成电路的硬件的功能性。然后可以放置和路由网表以产生描述待应用于掩模的几何形状的数据集。然后可以在各种半导体制造步骤中使用掩模以产生集成电路。另选地,计算机可访问存储介质上的数据库可以是网表(具有或不具有合成库)或数据集(根据需要)或图形数据系统(GDS) II数据。

[0049] 虽然已描述了特定实施方案,但是对这些实施方案的各种修改对于本领域技术人员将是显而易见的。例如,存储通道控制器210和/或功率引擎250的内部架构在不同实施方案中可有所变化。存储器控制器200可接口连接到除了DDR_x之外的其他类型的存储器,诸如高带宽存储器(HBM)、RAMbus DRAM(RDRAM)等。虽然所示的实施方案示出了对应于单独DIMM或SIMM的每个存储器存储列,但在其他实施方案中,每个模块可支持多个存储列。再其他实施方案可包括其他类型的DRAM模块或特定模块中未包含的DRAM,诸如安装到主机母板的DRAM。因此,所附权利要求书旨在覆盖所公开实施方案的落入所公开实施方案的范围内的所有修改。

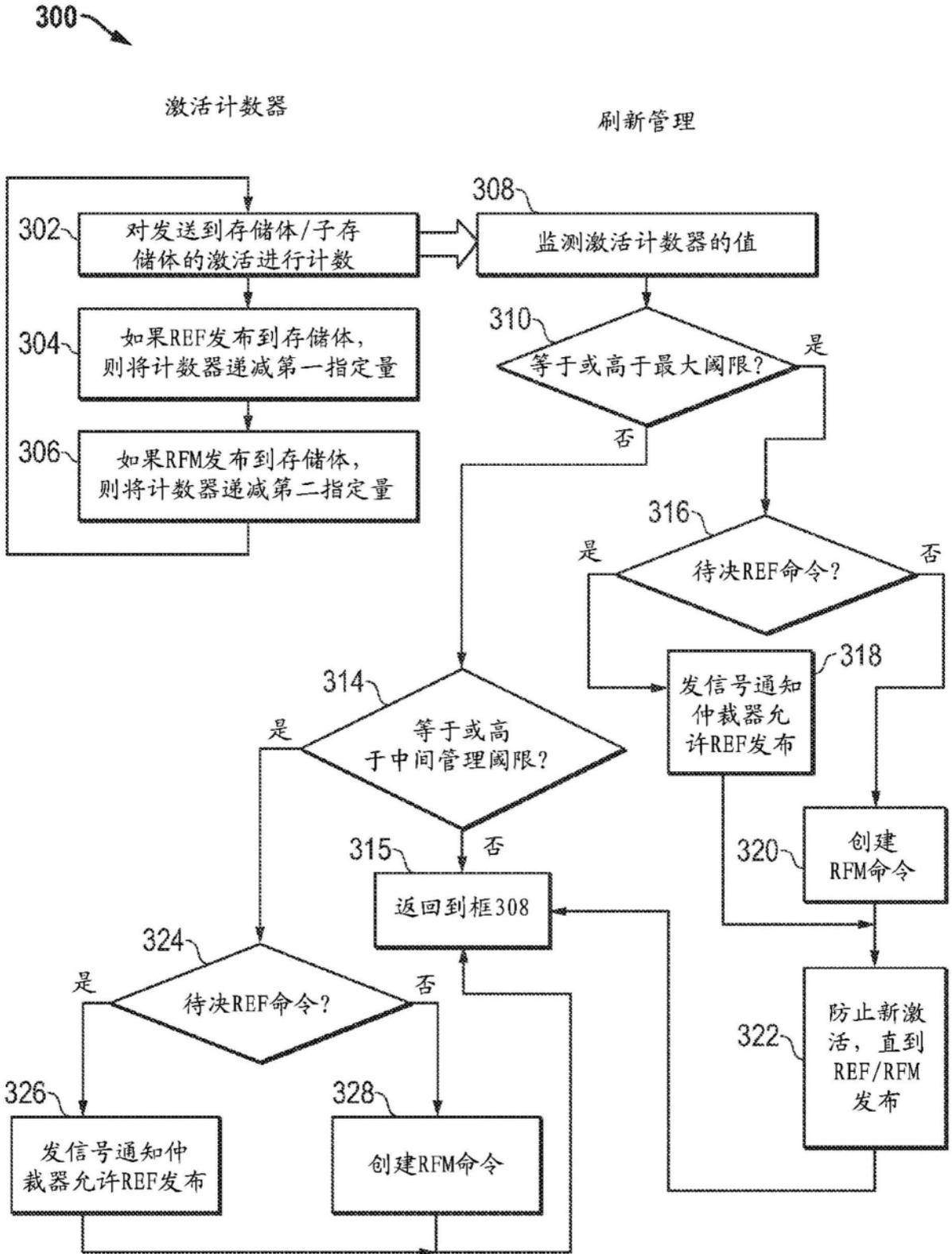


图3

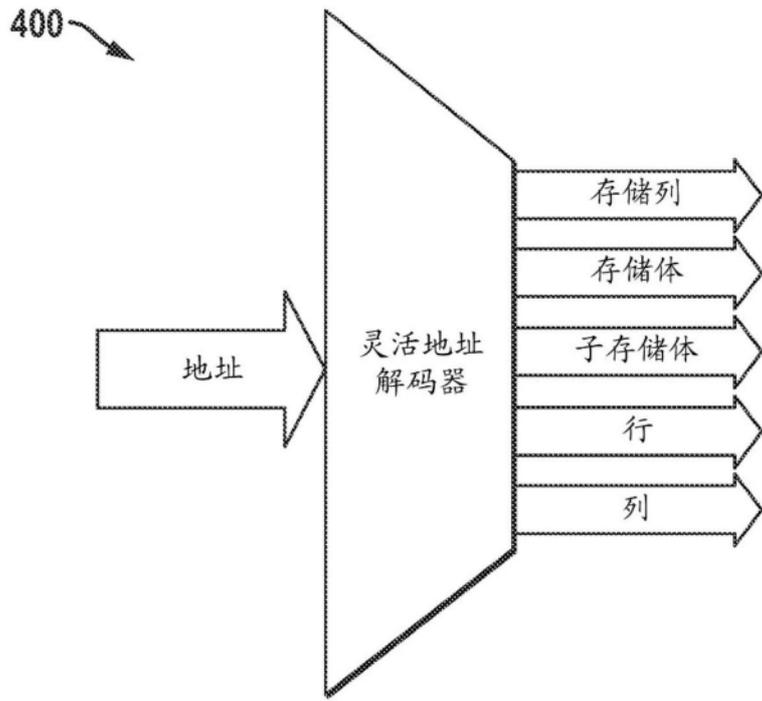


图4

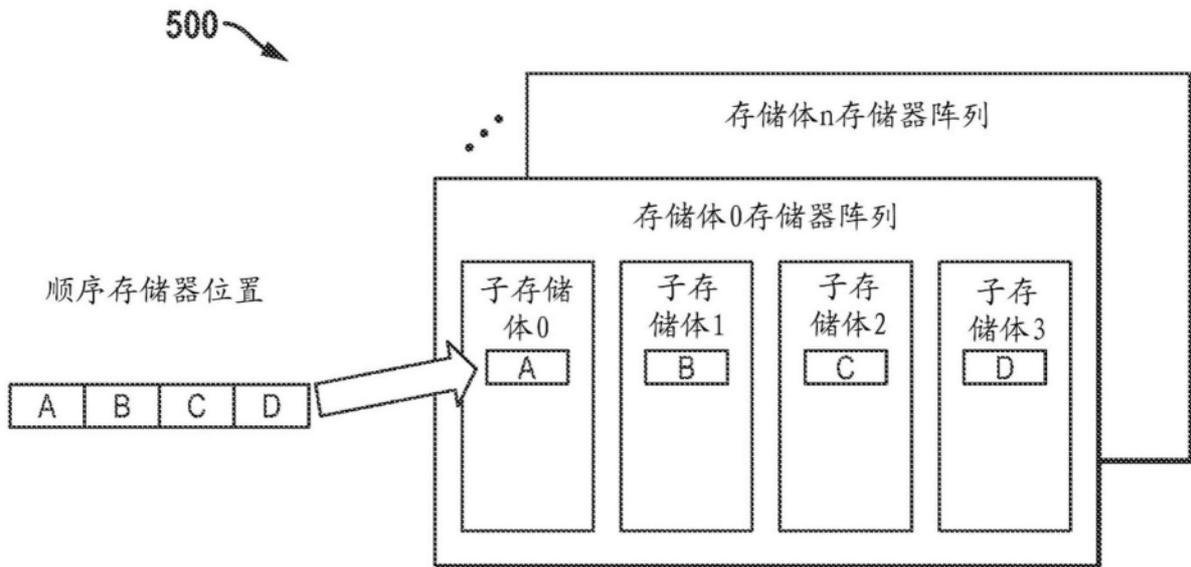


图5

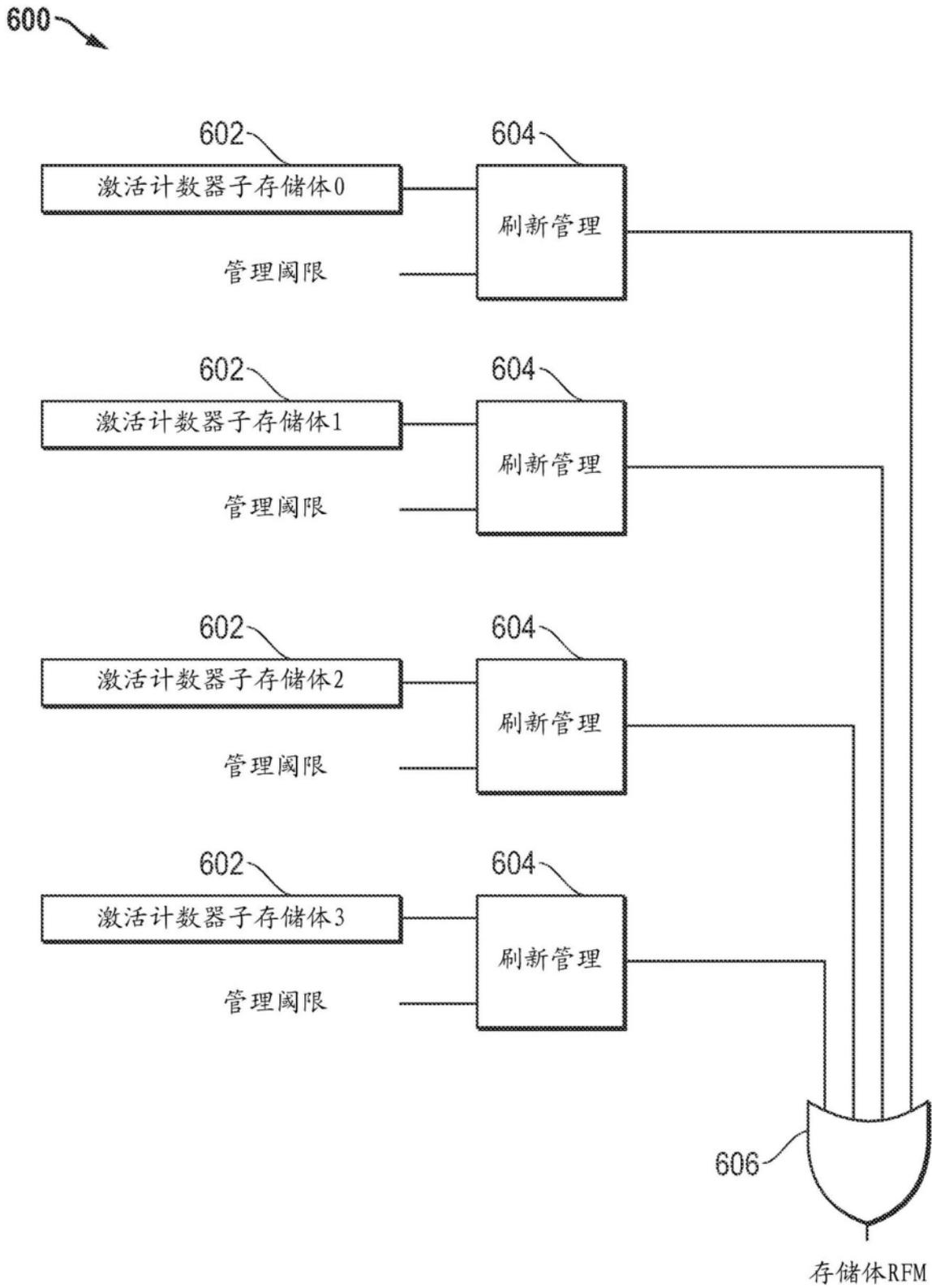


图6