

# 公告本

89年1月28日 修正  
補充 首領

申請日期	88. 9. 13
案 號	88113P86
類 別	H04N/24

A4  
C4

469740

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	用於在影像處理期間隱式轉置數值矩陣之電路和方法
	英 文	CIRCUIT AND METHOD FOR IMPLICITLY TRANSPOSING A MATRIX OF VALUES DURING THE PROCESSING OF AN IMAGE
二、發明 創作人	姓 名	李 武 兵
	國 籍	韓 國
	住、居所	美國.華盛頓州 98037,林伍德,西南地第 181 棟 1420 號
三、申請人	姓 名 (名稱)	赤道科技公司
	國 籍	美 國
	住、居所 (事務所)	美國.華盛頓州 98101,西雅圖,派克街 520 號,900 套房
	代 表 人 姓 名	班哲明 F.卡特勒

裝 訂 線

經濟部智慧財產局員工消費合作社印製

469740

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

美 國(地區) 申請專利，申請日期：1998.08.13 案號：60/096,534 有 無主張優先權

之申請案已受理

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱  
之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明(1)

### 技術之領域

本發明一般有關於影像處理電路及技術，而更特別的是，有關於一種用於在影像處理期間隱式轉置矩陣之方法。例如，相較於從前的電路和方法，如此的電路和方法能夠更為有效地將一個離散餘弦變換(DCT)數值之區塊，轉換成爲一個逆 DCT(IDCT)數值之區塊。

### 本發明之背景

通常期望降低壓縮或解壓縮影像資料的影像處理器之複雜度。由於影像資料通常安排於二維(2-D)的區塊中，因此其處理器通常執行 2-D 的數學函數，藉以處理影像資料。不幸的是，執行這些複雜的影像處理功能，典型地需要一個具有相對複雜結構的處理器。複雜的結構通常會增加處理器的算術單元與其內部的資料匯流排之大小，因而相較於標準的處理器，通常會增加處理器的成本與整體的大小。

一種用來有效地降低影像處理器的結構複雜度之技術將會推翻複雜的影像處理功能，而成爲較爲簡單的結構能夠掌握之一系列較爲簡單的功能。例如，參考合併由 Masaki 等人所提出的論文，其揭示一種用來將 8 點的向量乘法推爲一系列的 4 點向量乘法之技術，藉以簡化二維(2-D)的 DCT 至 IDCT 轉換函數。用於 MPEG2 HDTV 相頻解碼的逆離散餘弦變換器與移動補償器之 VLSI 實現，發表於視頻技術的電路和系統之國際電機工程協會(IEEE)議

(請先閱讀背面之注意事項)

本頁)

裝 · 訂 · 線

## 五、發明說明( > )

事記錄，1995年十月第5號、第5冊。

不幸的是，雖然如此的技術允許處理器具有較為簡單的結構，然而其通常會增加處理器處理影像資料所需的時間。因此，一般的規則乃是：處理器的結構越簡單，則其處理的時間越緩慢；而處理器的結構越複雜，則其處理的時間便會越快速。

爲了幫助讀者了解以上所探討的觀念、以及了解以下在本發明說明書中的探討，下列爲傳統的影像壓縮/解壓縮技術、2-D的DCT函數與2-D和1-D的IDCT函數、以及用來簡化1-D IDCT函數的Masaki技術探討之基本概觀。

### 傳統的影像壓縮解壓縮技術之概觀

爲了在相對較低頻寬的頻道上，電子傳輸相對較高解析度的影像，或者爲了將如此的影像電子儲存於相對較小的記憶體空間中，則通常需要將表示影像的數位資料壓縮。如此的影像壓縮典型地涉及：降低需要用來表示影像資料的位元之數目。例如，將高畫質電視(HDTV)的視訊影像壓縮，藉以允許其於現今的電視頻道上傳輸。沒有壓縮，則HDTV視訊影像所需要的傳輸頻道之頻寬，將要具有比現今的電視頻道更大的頻寬。再者，爲了將資料的傳輸量與傳輸時間降至可接受的位準，則可以在傳送於網際網路之前將其影像壓縮。或者，爲了增加CD-ROM或伺服器的影像儲存容量，則可以在儲存之前，將其影像壓縮。

## 五、發明說明( )

參照圖 1A - 1D，探討廣為使用之區塊基的動畫專家群組(MPEG)壓縮標準之基本觀念，其中的動畫專家群組(MPEG)包含有 MPEG - 1 以及 MPEG - 2。爲了闡述之用，其探討乃是基於使用一種 MPEG 4:2:0 的格式，來壓縮呈現於 Y - C<sub>B</sub> - C<sub>R</sub> 色彩空間中的視訊影像。然而，所探討的觀念同樣也應用於其它的 MPEG 格式、表示於其它的色彩空間中之影像、以及其它的區塊基之壓縮標準，諸如常用來壓縮靜止不動的影像之結合照相專家群組(JPEG)標準。再者，雖然爲了簡潔起見，而省略了 MPEG 標準與 Y - C<sub>B</sub> - C<sub>R</sub> 色彩空間的諸多細節，然而這些細節乃是熟知於並且揭示於許多有效用的參考文獻之中。

參照圖 1A - 1D，MPEG 標準通常用來壓縮影像暫時的段落—用於在此探討的目的而稱爲視訊框—諸如在電視廣播所發現的。每一個視訊框皆分爲許多稱爲巨集區塊的子區域，而其中的每一個巨集區塊則包含一個或多個的映像點。圖 1A 爲一個 16 映像點乘 16 映像點的巨集區塊 10，其具有 256 個映像點 12(不是以同比率繪出)。雖然其它的壓縮標準可以使用具有其它維度的巨集區塊，然而在 MPEG 標準中，一個巨集區塊經常爲 16 \* 16 個映像點。在原来的視訊框中，即是在壓縮之前的視訊框中，每一個映像點 12 具有各自的亮度數值 Y 與各自的一對色彩差異，即色度差異的數值 C<sub>B</sub> 和 C<sub>R</sub>(“B”代表“藍色”，而“R”則代表“紅色”)。

視訊框壓縮之前，從原本視訊框之原来的 Y、C<sub>B</sub> 和 C

(請先閱讀背面之注意事項)

裝 · · · · · 訂 · · · · · 線

## 五、發明說明(4)

$R$  中，產生將要用來壓縮的數位亮度(Y)以及色差( $C_B$  和  $C_R$ )之數值，其即是前置壓縮的數值。在 MPEG 4:2:0 的格式中，前置壓縮的 Y 數值相同於原來的 Y 數值。因此，每一個映像點 12 全然保持其原來的亮度數值 Y。但是，為了降低所要壓縮的資料之數量，對四個映像點 12 的每一群組 14 而言，MPEG 4:2:0 的格式只允許一個前置壓縮的  $C_B$  數值以及一個前置壓縮的  $C_R$  數值。這些前置壓縮的  $C_B$  和  $C_R$  數值每一個皆是從四個映像點 12 個別的群組 14 原來之  $C_B$  和  $C_R$  數值所分別衍生的。例如，前置壓縮的  $C_B$  數值可以等於四個映像點 12 個別的群組 14 原來之  $C_B$  數值之平均值。因此，參照圖 1B - 1D，用於巨集區塊 10 所產生的前置壓縮之 Y、 $C_B$  和  $C_R$  數值安排為一個前置壓縮的 Y 數值(等於映像點 12 原來的 Y 數值)之  $16 * 16$  矩陣 16、一個前置壓縮的  $C_B$  數值(等於四個映像點 12 之每一群組 14 所取得的一個  $C_B$  數值)之  $8 * 8$  矩陣 18、以及一個前置壓縮的  $C_R$  數值(等於四個映像點 12 之每一群組 14 所取得的一個  $C_R$  數值)之  $8 * 8$  矩陣 20。矩陣 16、18 和 20 通常稱為數值的"區塊"。再者，由於在  $8 * 8$  的映像點區塊上，而不是在  $16 * 16$  的映像點區塊上，執行其壓縮變換乃是方便而合宜地，因此將前置壓縮的 Y 數值之區塊 16 劃分為四個  $8 * 8$  的區塊 22a - 22d，分別相應於巨集區塊 10 中的  $8 * 8$  映像點區塊 A - D。因此，參照圖 1A - 1D，產生前置壓縮映像點資料六個  $8 * 8$  區塊用於巨集區塊 10：前置壓縮的 Y 數值之四個  $8 * 8$  區塊 22a - 22d、前置壓縮的  $C_B$  數值之一

(請先閱讀背面之注意事項再  
本頁)

裝  
訂  
線

## 五、發明說明(5)

個  $8 \times 8$  區塊、以及前置壓縮的  $C_R$  數值之一個  $8 \times 8$  區塊。

圖 2 為一個 MPEG 壓縮器 30 的方塊圖，其壓縮器更為通俗的名稱為編碼器。一般而言，編碼器 30 將用於視訊框或連續的視訊框之前置壓縮資料，轉換成為已完成編碼的資料，而已完成編碼的資料係以實質上較少於前置壓縮資料的資料位元代表相同的視訊框或連續的視訊框，。為了執行如此的轉換，編碼器 30 降低或者去除在前置壓縮資料中之冗餘，並且使用有效率的變換及編碼技術，重新將所剩餘的資料格式化。

更為特別的是，編碼器 30 包含一個視訊框重新排序緩衝器 32，接收用於連續的一個或多個視訊框之前置壓縮資料，並且以適當的編碼順序，將其視訊框重新排序。典型地，所重新排序的順序並不相同於視訊框產生並將要顯示的順序。編碼器 30 分配所儲存的每一個視訊框，至個別的群組，稱為圖片的群組(GOP)，並且將每個視訊框標示為內部(I)視訊框或是非內部(非-I)視訊框。例如，對總數為十五個的視訊框而言，每一個 GOP 可以包含三個的 I 視訊框以及十二個的非-I 視訊框。雖然編碼器 30 將一個 I 視訊框的巨集區塊編碼，總是不需參考另一個視訊框，然而將一個非 I 視訊框的巨集區塊編碼，卻能夠並經常地參考 GOP 中一個或多個其它的視訊框。然而，編碼器 30 並不參考不同 GOP 中的視訊框，而將一個非 I 視訊框的巨集區塊編碼。

參照圖 2 和 3，在 I 視訊框的編碼期間中，代表 I 視訊

## 五、發明說明 (b)

框的前置壓縮  $Y$ 、 $C_B$  和  $C_R$  數值之  $8 * 8$  區塊(圖 1B - 1D)，通過加法器 34 至離散餘弦變換器(DCT)36，其將這些區塊的映像點數值變換成爲一個 DC(零頻率)的變換數值  $D_{00}$  以及六十三個 AC(非零頻率)的變換數值  $D_{01} - D_{77}$  之  $8 * 8$  區塊。參照圖 3，這些的 DCT 變換數值排列於一個  $8 * 8$  的變換區塊 37 之中，其  $8 * 8$  的變換區塊 37 乃是相應於一個前置壓縮映像點數值的區塊，而前置壓縮映像點數值的區塊則諸如圖 1B-1D 前置區塊其中的某一個。例如，區塊 37 可以包含亮度變換數值  $D_{Y00} - D_{Y77}$ ，而其  $D_{Y00} - D_{Y77}$  則相應於圖 1B 的前置壓縮區塊 22a 中的前置壓縮亮度數值  $Y_{(0,0)A} - Y_{(7,7)A}$ 。再者，由於編碼器 30 並不使用加法器 34 來編碼 I 視訊框，因此前置壓縮  $Y$ 、 $C_B$  和  $C_R$  數值通過加法器 34，而並無附加任何其它的數值。然而，如同以下所說明的，編碼器 30 使用加法器 34，將一個非 I 視訊框的巨集區塊移動編碼。

參照圖 2 和 4，一個量化器及之字形掃描器 38 限制來自 DCT 36 的每一個變換數值  $D$  之個別最大值，並且在個別的之字形路徑 40 和 42 上，提供已量化的 AC 和 DC 變換數值。圖 4 爲之字形掃描型態 43 的一個範例，其能夠以量化器及之字形掃描器 38 實現之。特別的是，量化器及之字形掃描器 38 在個別的路徑 40 和 41 上，以所指定的順序，提供來自變換區塊 37 的變換數值  $D$  (圖 3)。換言之，在路徑 42 上，量化器及掃描器 38 首先在"0"的位置，即是  $D_{00}$  的位置，提供變換數值  $D$ 。接著，在路徑 40 上，量化

(請先閱讀背面之注意事項)

本頁)

裝 · 訂 · 線



## 五、發明說明( 7 )

器及掃描器 38 在” 1 ”的位置，即是  $D_{01}$  的位置，提供變換數值  $D$ 。之後，在路徑 40 上，量化器及掃描器 38 在” 2 ”的位置，即是  $D_{10}$  的位置，提供變換數值  $D$ ，如此至少一直到路徑 40 上，在” 63 ”的位置，即是  $D_{77}$  的位置，提供變換數值  $D$  為止。如此的之字形掃描型態減少用來表示已完成編碼的影像資料所需要的位元數目，並因而增加編碼器 30 的編碼效率。雖然探討特定的之字形掃描型態，量化器及掃描器 38 仍然可以使用其它的掃描型態，其乃是視編碼技術以及所要編碼的影像之型式而定。

再度參照圖 2，一個預測編碼器 44 預先將 DC 變換數值編碼，以及一個可變長度的編碼器 46，將所量化的 AC 變換數值與所量化及所預先編碼的 DC 變換數值，轉換成為可變長度碼，例如赫夫曼碼(Huffman codes)。這些碼形成已完成編碼的資料，代表已完成編碼的 I 視訊框之映像點數值。

傳輸緩衝器 48 暫時地儲存這些碼，藉以允許已完成編碼的資料同步傳輸至解碼器(結合圖 5 探討於下)。可替代的是，如果已完成編碼的資料是要交付儲存，而不是交付傳輸，則編碼器 46 可以將可變長度碼直接提供給一個儲存媒體，例如一個 CD-ROM。

一個比率控制器 50 確保典型地以一個固定的比率傳輸已完成編碼的視訊框資料之傳輸緩衝器 48 絕對不會溢位或空白，即下溢。如果發生這些狀況的其中一個，則錯誤可能會傳入已完成編碼的資料流之中。例如，如果緩衝器 48

## 五、發明說明(8)

溢位，則會遺失來自編碼器 46 的資料。因此，比率控制器 50 基於傳輸緩衝器 48 所充滿的程度，使用回授來調整量化器及之字形掃描器 38 所用的量化比率因子。特別的是，緩衝器 48 越滿，則控制器 50 促使其比率因子越大，且編碼器 46 所產生的資料位元也越少。相反地，緩衝器 48 越空白，則控制器 50 促使其比率因子越小，且編碼器 46 所產生的資料位元越多。如此持續的調整乃是確保緩衝器 48 既不會溢位也不會下溢。

仍然參照圖 2，編碼器 30 使用一個解量化器及逆之字形掃描器 52、一個逆 DCT 54、一個加法器 56、一個參考視訊框緩衝器 58、以及一個移動預測器 60，用以將非 I 視訊框的巨集區塊移動編碼。

圖 5 為一個傳統的 MPEG 解壓縮器 62 之方塊圖，其通常稱為解碼器，並且能夠將藉由圖 2 的編碼器 30 所編碼的視訊框解碼。

參照圖 5 和 6，對並不是移動預測的 I 視訊框以及非 I 視訊框之巨集區塊而言，可變長度的解碼器 64 對從編碼器 30 所接收的可變長度碼從事解碼。一個預測解碼器 66 將預先編碼的 DC 變換數值解碼，而一個解量化器及逆之字形掃描器 67，相似於或相同於圖 2 的解量化器及逆掃描器 52，其將已完成解碼的 AC 和 DC 變換數值解量化並且重新排列。一個逆 DCT 68，相似於或相同於圖 2 的逆 DCT 54，將已解量化的變換數值，變換成爲逆變換(IDCT)數值，即是復原的映像點數值。圖 6 爲一個逆變換數值  $I_{00} - I$

## 五、發明說明(9)

77 的  $8 * 8$  逆變換區塊 70，其中逆 DCT 68 從變換數值  $D_{00} - D_{77}$  的區塊 37(圖 3)產生逆變換數值  $I_{00} - I_{77}$ 。例如，如果區塊 37 相應於前置壓縮的亮度數值  $Y_A$ (圖 1B)之區塊 22a，則逆變換數值  $I_{00} - I_{77}$  便是用於  $8 * 8$  區塊 A(圖 1)中映像點的已完成解碼之亮度數值。但是，由於量化與解量化所導致的資訊遺失，因此逆變換數值  $I$  通常會不同於他們所代表的個別前置壓縮映像點之數值。幸運的是，這些的遺失典型地太小，以致於不會造成已完成解碼之視訊框可見的降級效應。

仍然參照圖 5，來自逆 DCT 68 已完成編碼的映像點通過一個加法器 72—如下所探討，在非 I 視訊框移動預測的巨集區塊之解碼期間所使用的一而輸入一個視訊框緩衝器 74 中，其儲存已完成解碼的視訊框，並且以適當的順序將其排列，藉以顯示於視訊顯示器單元 76 上。如果已完成解碼的視訊框也用來充當移動解碼所用的參考視訊框，則同樣也將已完成解碼的視訊框儲存於參考視訊框的緩衝器 78 之中。

解碼器 62 使用移動內插器 80、預測編碼器 66、以及參考視訊框緩衝器 78，藉以將非 I 視訊框已移動編碼的巨集區塊解碼。

參照圖 2 和 5，雖然所說明之包含多重功能的電路區塊，仍然能夠以硬體、軟體、或兩者的組合，來實現編碼器 30 以及解碼器 62。例如，設計者通常以執行上述電路區塊功能的個別處理器，來實現編碼器 30 以及解碼器 62。

## 五、發明說明 ( 續 )

圖 2 和 5 的移動編碼與解碼以及 MPEG 標準個別的 MPEG 編碼器 30 與 MPEG 解碼器 62 更為詳細的探討，一般出現於許多的刊物中，包含 1998 年麥克格羅 - 希爾 (McGraw - Hill) 所出版，彼得 D 賽恩斯 (Peter D Symes) 所作的 "視訊壓縮" 一書，其在此合併參考之。再者，對視訊框及靜止的影像之編碼與解碼而言，其它眾所周知的區塊基壓縮技術乃是有所效用的。

### DCT 與 IDCT 函數

由以下的方程式來給定 2 - D DCT 函數  $F(v, u)$ ：

#### 1) 方程式(1)

$$F(v, u) = \frac{2}{N} C(v) C(u) \sum_{y=0}^{N-1} \sum_{x=0}^{N-1} f(y, x) \cos\left(\frac{(2x+1)y\pi}{16}\right) \cos\left(\frac{(2x+1)u\pi}{16}\right)$$

$$C(v) = \frac{1}{\sqrt{2}} \text{ for } v = 0, C(v) = 1 \text{ otherwise}$$

$$C(u) = \frac{1}{\sqrt{2}} \text{ for } u = 0, C(u) = 1 \text{ otherwise}$$

其中的  $v$  為所相應的變換區塊之列，而  $u$  為行。例如，如果  $F(v, u)$  代表變換數值的區塊 37 (圖 3)，則  $F(1, 3) = D_{13}$ 。同樣地， $f(y, x)$  為所相應的前置壓縮區塊列  $y$ 、行  $x$  之映像點數值。例如，如果  $f(y, x)$  代表前置壓縮亮度數值的區塊 22a (圖 1B)，則  $f(0, 0) = Y_{(0,0)A}$ 。因此，每一個變換數值  $F(v, u)$  皆視所相應的前置壓縮區塊之所有映像點數值  $f(y, x)$  決定。

由以下的方程式來給定  $F(v, u)$  的 2 - D 矩陣式：

## 五、發明說明 ( 11 )

## 2) 方程式(2)

$$F(v, u) = f \cdot R_{vu}$$

其中的  $f$  為一個包含映像點數值  $f(y, x)$  的 2-D 矩陣，而  $R_{vu}$  則是一個能夠藉由方程式(1)計算的 2-D 矩陣，且對個別的每一對座標  $v$  和  $u$  而言，其乃是唯一的。

由以下的方程式來給定 IDCT 的函數  $f(y, x)$ ，其全然只是 DCT 函數  $F(v, u)$  的逆變換：

## 3) 方程式(3)

$$f(y, x) = \frac{2}{N} \sum_{v=0}^{N-1} \sum_{u=0}^{N-1} C(v)C(u)F(v, u) \cos\left(\frac{(2y+1)v\pi}{2N}\right) \cos\left(\frac{(2x+1)u\pi}{2N}\right)$$

$$C(u) = \frac{1}{\sqrt{2}} \text{ for } u = 0, C(u) = 1 \text{ otherwise}$$

$$C(v) = \frac{1}{\sqrt{2}} \text{ for } v = 0, C(v) = 1 \text{ otherwise}$$

其中的  $y$  為所相應的逆變換區塊之列，而  $x$  為行。例如，如果  $f(y, x)$  代表逆變換數值的區塊 70(圖 6)，則  $f(7, 4) = I_{74}$ 。對無遺失的壓縮/解壓縮而言，然而，這些函數代表相同的個別映像點數值，但並不相等。例如，假設逆變換區塊 70 相應於前置壓縮亮度數值的區塊 22a(圖 1B)。對無遺失的壓縮/解壓縮而言， $I_{00} = Y_{00}$ 、 $I_{01} = Y_{01A}$ 、等等諸如此類。對遺失的壓縮/解壓縮而言， $I_{00}$  可能等於也可能不等於  $Y_{00}$ ， $I_{01}$  可能等於也可能不等於  $Y_{01A}$ 、等等諸如此類；但在大部分的狀況中，其遺失乃是非常小的，以致於  $I_{00} \approx Y_{00}$ 、 $I_{01} \approx Y_{01A}$ 、等等諸如此類。

## 五、發明說明 (17)

由以下的方程式來給定  $f(y, x)$  的 2-D 矩陣式：

### 4) 方程式(4)

$$f(y, x) = F \cdot R_{yx}$$

其中的  $F$  為一個包含映像點數值  $F(v, u)$  的 2-D 矩陣，而  $R_{yx}$  則是一個能夠藉由方程式(3)所計算的 2-D 矩陣，且對個別的每一對座標  $y$  和  $x$  而言，其乃是唯一的。

爲了簡化方程式(3)和(4)的 2-D IDCT 函數，而能夠以 1-D 的函數來表示  $f(y, x)$  的每一個別之列  $y$ ，並且以一系列的 1-D IDCT 函數來計算  $f(y, x)$ 。以下列的方程式來給定 1-D IDCT：

### 5) 方程式(5)

$$f_y(x) = \sqrt{\frac{2}{N}} \sum_{u=0}^{N-1} C(u) F_v(u) \cos\left(\frac{(2x+1)u\pi}{2N}\right) \left. \begin{array}{l} y = v = \text{row\#} \\ x = 0, \dots, 7 \end{array} \right\}$$

用以範例的目的，探討使用 1-D IDCT 方程式(5)來計算區塊 70(圖 6)的逆變換數值  $I_{00} - I_{77}$ ；其中區塊 70(圖 6)的逆變換數值  $I_{00} - I_{77}$  乃是來自區塊 37(圖 3)的變換數值  $D_{00} - D_{77}$ 。以下列的方程式給定分別以數學式來表示的 8 \* 8 區塊 37 和 70 之 8 \* 8 矩陣  $F$  和  $f$ ：

### 6) 方程式(6)

(請先閱讀背面之注意事項)

本頁)

裝 · 訂 · 線



## 五、發明說明(14)

$R_{yv}$  則是一個能夠藉由方程式(5)所計算的 2-D 矩陣，且對個別的每一對座標  $y$  和  $v$  而言，其乃是唯一的。因此，以下列的方程式來給定其中間矩陣  $f'$ ：

9) 方程式(9)

$$f' = f'v(x) = \begin{bmatrix} I'_{07} \cdots I'_{01} I'_{00} \\ I'_{17} \cdots I'_{11} I'_{10} \\ I'_{27} \cdots I'_{21} I'_{20} \\ I'_{37} \cdots I'_{31} I'_{30} \\ I'_{47} \cdots I'_{41} I'_{40} \\ I'_{57} \cdots I'_{51} I'_{50} \\ I'_{67} \cdots I'_{61} I'_{60} \\ I'_{77} \cdots I'_{71} I'_{70} \end{bmatrix}$$

爲了計算區塊 70(圖 6)的逆變換數值  $I_{00} - I_{77}$  最終之矩陣  $f$ ，而將中間矩陣  $f'$  轉置以得到  $f'^T$ ，並以  $f'^T$  的列  $f'^T 0(x) - f'^T 7(x)$  來替代方程式(8)中的變換列  $F0(u) - F7(u)$ ，且之後重新計算方程式(8)。以下列的方程式來給定  $f'^T$ ：

10) 方程式(10)  $f'^T = f'^T(v, x) = \begin{bmatrix} I'_{70} \cdots I'_{10} I'_{00} \\ I'_{71} \cdots I'_{11} I'_{01} \\ I'_{72} \cdots I'_{12} I'_{02} \\ I'_{73} \cdots I'_{13} I'_{03} \\ I'_{74} \cdots I'_{14} I'_{04} \\ I'_{75} \cdots I'_{15} I'_{05} \\ I'_{76} \cdots I'_{16} I'_{06} \\ I'_{77} \cdots I'_{17} I'_{07} \end{bmatrix}$



五、發明說明 (15)

方程式(10)中的逆變換數值  $I'$  之下標座標相同於方程式(9)之中的，藉以清楚地顯示其轉置行爲。換言之，方程式(10)的  $I'_{10}$  相等於方程式(9)的  $I'_{10}$ 。因此，轉置一個矩陣，全然只是在矩陣中將列與個別的行交換。例如， $f'$  的第一列變成爲  $f'^T$  的第一行， $f'$  的第二列變成爲  $f'^T$  的第二行，等等諸如此類。以下的方程式顯示逆變換矩陣  $f$  的計算式子：

11) 方程式(11)

$$f0(x) = R_{yv} \cdot f'^T 0(x) \begin{bmatrix} R_{07} & R_{06} & R_{05} & R_{04} & R_{03} & R_{02} & R_{01} & R_{00} \\ R_{17} & R_{16} & R_{15} & R_{14} & R_{13} & R_{12} & R_{11} & R_{10} \\ \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\ R_{77} & R_{76} & R_{75} & R_{74} & R_{73} & R_{72} & R_{71} & R_{70} \end{bmatrix} \cdot \begin{bmatrix} I'_{00} \\ I'_{10} \\ I'_{20} \\ I'_{30} \\ I'_{40} \\ I'_{50} \\ I'_{60} \\ I'_{70} \end{bmatrix}$$

$$\begin{aligned} f1(x) &= R_{yv} \cdot f'^T 1(x) \\ &\vdots \\ f7(x) &= R_{yv} \cdot f'^T 7(x) \end{aligned}$$

因此，方程式(11)給定區塊 70(圖 6)的逆變換數值  $I_{00}$  -  $I_{77}$ 。

參照方程式(8) - (11)，雖然將 2 - D IDCT 函數劃分爲一系列的兩個 1 - D IDCT 函數，藉以簡化其數學運算，然而對將變換數值的 8 \* 8 區塊(圖 3)轉換成爲逆變換數值的 8 \* 8 區塊 70 而言，這些方程式仍含有大數目的 8 點向量對

(請先閱讀背面之注意事項)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明 (續)

8 點向量之乘積。例如，一 8 個數值的矩陣列乘以一 8 個數值的矩陣行(即是，方程式(11))，則是一個 8 點向量的乘積。不幸的是，要處置如此大小的向量乘積，處理器典型地需要相對複雜的結構。

### Masaki 之演算法

如同在其論文中所說明的，藉由推翻 8 點向量乘積成爲 4 點向量乘積，Masaki 進一步地簡化 1-D 的 IDCT 方程式(8) - (11)。如此則允許具有相對簡單結構的處理器，將變換數值的區塊 37(圖 3)轉換成爲逆變換數值的區塊 70(圖 6)。

以下的方程式給予偶數與奇數的 Masaki 數值  $de$  以及  $do$ ，並且經由其方程式便能夠計算方程式(9)的中間逆變換數值  $I'$ ：

12) 方程式(12)

$$QD_e = \begin{bmatrix} de_{00} \\ de_{01} \\ de_{02} \\ de_{03} \end{bmatrix} = \begin{bmatrix} Me_3 & Me_2 & Me_1 & Me_0 \\ Me_7 & Me_6 & Me_5 & Me_4 \\ Me_b & Me_a & Me_9 & Me_8 \\ Me_f & Me_e & Me_d & Me_c \end{bmatrix} \cdot \begin{bmatrix} Do_0 \\ Do_2 \\ Do_4 \\ Do_6 \end{bmatrix}$$

$$PD_o = \begin{bmatrix} do_{00} \\ do_{01} \\ do_{02} \\ do_{03} \end{bmatrix} = \begin{bmatrix} Mo_3 & Mo_2 & Mo_1 & Mo_0 \\ Mo_7 & Mo_6 & Mo_5 & Mo_4 \\ Mo_b & Mo_a & Mo_9 & Mo_8 \\ Me_f & Me_e & Me_d & Me_c \end{bmatrix} \cdot \begin{bmatrix} Do_1 \\ Do_3 \\ Do_5 \\ Do_7 \end{bmatrix}$$

$D_{00} - D_{07}$  爲變換區塊 37 中的第一列數值， $Me_0 - Me_{ef}$  爲偶數的 Masaki 係數，而  $Mo_0 - Mo_{of}$  則爲奇數的 Masaki 係

## 五、發明說明 (11)

數。Masaki 係數的偶數與奇數數值乃是在 Masaki 的論文中所給定的，其文章至此合併參考之。

因此，以下的方程式顯示如何計算方程式 9 的矩陣所示的中間數值  $I'$  之第一列：

13) 方程式(13)

$$\begin{bmatrix} I'_{00} \\ I'_{01} \\ I'_{02} \\ I'_{03} \end{bmatrix} = \frac{1}{2} PD_0 + \frac{1}{2} QD_e$$

$$\begin{bmatrix} I'_{07} \\ I'_{06} \\ I'_{05} \\ I'_{04} \end{bmatrix} = \frac{1}{2} PD_0 - \frac{1}{2} QD_e$$

圖 7 顯示這些中間 IDCT 數值  $I'$  的區塊，其乃是依照執行方程式 13 的加法和減法所排列的。然而，可以發現每一列中的最後四個數值，即  $I'_{y4} - I'_{y7}$ ，乃是以相反的順序排列。假設圖 7 的區塊每一列皆儲存於記憶暫存器中，之後參照圖 8，處理器以適當的順序來設置其中間的 IDCT 數值。當然，如此會花費實質的處理時間，藉以將每一列的最後四個數值重新寫入暫存器適當的位置中。

再者，以相似於結合方程式 9 和 10 所說明的方式，藉由將圖 8 區塊所代表的矩陣轉置，來計算最終的 IDCT 數值  $I_{y,x}$ ，並且之後則使用此一轉置矩陣之列，來代替方程式 12 中的 DCT 數值  $D$ 。此乃是藉由以下的方程式所顯示的：

## 五、發明說明 ( 8 )

## 14) 方程式(14)

$$\begin{bmatrix} I_{00} \\ I_{01} \\ I_{02} \\ I_{03} \end{bmatrix} = \frac{1}{2} P' D_0 + \frac{1}{2} Q' D_e$$

$$\begin{bmatrix} I_{07} \\ I_{06} \\ I_{05} \\ I_{04} \end{bmatrix} = \frac{1}{2} P' D_0 - \frac{1}{2} Q' D_e$$

其中的  $P'D_0$  和  $Q'D_e$  代表使用圖 9 區塊這些中間數值  $I'$  所推導的方程式 12 之結果。

但是參照方程式 12，則能夠發現 Masaki 方程式需要將 DCT 數值  $D$  劃分為偶數和奇數群組的。換言之它們必須劃分為一個 4 點的向量  $D_{00}$ 、 $D_{02}$ 、 $D_{04}$ 、和  $D_{06}$ ，以及一個不同的奇數之 4 點向量  $D_{01}$ 、 $D_{03}$ 、 $D_{05}$ 、和  $D_{07}$ 。因此，參照圖 11，圖 9 區塊的列重新排序為如此的奇偶分離型態。

圖 12 為方程式 14 所給定的最終 IDCT 數值  $I$  之區塊。再一次地，可以發現每一列中的最後四個數值，即  $I'_{y4} - I'_{y7}$ ，乃是以相反的順序排列。因此，參照圖 13，處理器將這些數值重新排序，藉以產生 IDCT 數值的最終區塊，代表一個影像所解壓縮的映像點數值。

因此，雖然 Masaki 之演算法藉由將 8 點向量的乘積推翻成爲 4 點向量的乘積，來簡化處理器的結構，然而相較於方程式 8-11 的二維變一維之演算法，由於額外的加法

## 五、發明說明(19)

和減法以及矩陣的重新排序動作，而通常會增加其處理的時間。

### 本發明之概要

在本發明的一個觀點中，一個影像解碼器包含一個記憶體和一個連接到其記憶體的處理器。處理器用來將一行的中間數值儲存於記憶體中，用以當作一系列的中間數值，處理器並且用來組合在所儲存的列中之中間數值藉以產生一行的結果數值，以及用來將其結果數值儲存於記憶體中，用以當作一系列的結果數值。

因此，如此的影像解碼器能夠用來儲存方程式 12 之中間的 Masaki 數值  $D_e$  以及  $D_o$  於記憶體之一列中，以使得當處理器組合這些數值時，必然產生圖 9 區塊已完成轉置的結果中間數值。因此，如此的一種影像解碼器去除將圖 7 的中間 Masaki 矩陣重新排序、藉以得到圖 8 區塊之動作，以及之後再將圖 8 的區塊轉置，藉以得到圖 9 區塊之額外步驟。換言之，當執行方程式 13 時，如此的影像解碼器將會直接得到圖 9 的區塊。

在本發明相關的觀點中，其中間數值包含第一偶數位置的偶數中間數值、一個奇數位置的偶數中間數值、第二偶數位置的偶數中間數值、第一偶數位置的奇數中間數值、一個奇數位置的奇數中間數值、以及第二偶數位置的奇數中間數值。處理器將第一偶數位置的偶數中間數值與第一偶數位置的奇數中間數值儲存於第一對相鄰接的儲存位

(請先閱讀背面之注意事項)

裝訂線

## 五、發明說明 (7)

置，並且將第二偶數位置的偶數中間數值與第二偶數位置的奇數中間數值儲存於第二對相鄰接的儲存位置，而其中第二對儲存位置則是相鄰於第一對儲存位置。因此，如此的一種影像解碼器能夠直接從方程式 13，產生已完成轉置並且已奇偶分離的圖 10 之區塊，以此方式則去除了圖 7-9 所闡述的重新排序以及轉置之步驟，而更為節省處理的時間。

### 附圖之簡略說明

圖 1A 為一影像中映像點的傳統巨集區塊之概示圖。

圖 1B 為前置壓縮亮度數值的傳統區塊之概示圖，其分別相應於圖 1A 的巨集區塊中之映像點。

圖 1C 和 1D 為前置壓縮色度數值的傳統區塊之概示圖，其分別相應於圖 1A 之巨集區塊中個別的映像點群組。

圖 2 為一個傳統的 MPEG 編碼器之方塊圖。

圖 3 為一個變換數值的方塊，其中的變換數值乃是由圖 2 的編碼器所產生的，並且分別相應於圖 1B - 1D 的前置壓縮映像點數值之其中一個區塊。

圖 4 為一個傳統的之字形取樣型態，其能夠以圖 2 的量化器及之字形掃描器來實現。

圖 5 為一個傳統的 MPEG 解碼器之方塊圖。

圖 6 為一個逆變換數值的區塊，其乃是由圖 5 的解碼器所產生的，並且相應於圖 1B - 1C 的前置壓縮映像點數值之其中一個區塊。

## 五、發明說明 ( >/ )

圖 7 為一個由 Masaki 方程式所產生的中間逆變換數值之區塊。

圖 8 為圖 7 的一個區塊，其具有使用連續的方式所重新排序之中間逆變換數值。

圖 9 為一個區塊，其乃是圖 8 的逆區塊。

圖 10 為圖 9 的一個區塊，其具有劃分為偶數群組和奇數群組的中間逆變換數值。

圖 11 為一個藉由 Masaki 技術所產生的最終逆變換數值之區塊。

圖 12 為圖 11 的一個區塊，其具有以列方向之連續順序而重新排列的結果逆變換數值。

圖 13 為根據本發明實施例的一個 MPEG 解碼器之方塊圖。

圖 14 為根據本發明實施例的圖 13 處理器之方塊圖。

圖 15 根據本發明的一個實施例，闡述圖 14 的處理器之加法和減法功能對。

圖 16 根據本發明的一個實施例，闡述圖 14 的處理器之映射功能。

圖 17 根據本發明的一個實施例，闡述圖 14 的處理器每一個叢集同時執行兩個 4 點向量乘積以及將結果儲存於相鄰的記憶體位置之能力。

圖 18 根據本發明的一個實施例，闡述暫存器的內容，其內容則是用於執行隱式矩陣轉置。

圖 19 根據本發明的一個實施例，闡述暫存器的內容，

## 五、發明說明 (ㄨㄨ)

其中的內容則是用於執行具有奇偶分離的隱式矩陣之轉置。

### 本發明之細節說明

圖 13 為根據本發明實施例的 MPEG 解碼器 100 之方塊圖。根據本發明的一個實施例，解碼器 100 包含一個輸入緩衝器 102、一個處理器單元 104、以及一個視訊框重新排序的緩衝器 110，其中的輸入緩衝器 102 接收並且儲存諸如視訊框的已完成編碼影像，處理器單元 104 包含一個用來將已完成編碼的影像解碼之處理器 106 與一個有效的記憶體 108，而視訊框重新排序的緩衝器 110 則接收已解碼的影像區塊，並且以用於顯示或儲存的適當順序來排列它們。在本發明的一個觀點中，藉由 Masaki 的演算法以及第一和第二的一維 IDCT 順序之間的隱式矩陣轉置，處理器 106 大大地降低了 DCT 置 IDCT 的解碼時間。在另一個觀點中，藉由執行具有第一和第二的一維 IDCT 順序之間的奇偶分離之隱式矩陣轉置，處理器 106 進一步地減少其處理時間。

圖 14 根據本發明的實施例，為處理器 106 之計算單元 112 的方塊圖。單元 112 包含兩個相類似的計算叢集 114a 和 114b，其典型地以並聯的方式運作。每一個叢集皆包含一個整數的處理子單元 116，以及一個整數、浮點、製圖的處理子單元 118。整數單元 116 乃是設計來執行記憶體之載入和儲存操作，以及執行一些整數資料上的簡單的算術運算。整數單元 116 運作的資料寬度為 32 位元。因



## 五、發明說明 (>3)

此，整數單元 116 在一對 32 位元寬的資料路徑 120 和 122 上接收資料，並且在 32 位元寬的資料路徑 124 上輸出資料。

IFG 單元 118 設計來處理更為複雜的數學運算，而其複雜的數學運算則是為了多媒體與三維製圖的應用所訂做的。IFG 118 所運作的資料為 64 位元寬的。因此，單元 118 用來在 64 位元的路徑 126a、128a、和 130a 上接收資料，並且在 64 位元的路徑 132a 上輸出資料。

叢集 114a 同樣也包含一個暫存器文件夾 132a，暫存器文件夾 132a 則包含一些 64 位元的暫存器 134a。暫存器文件夾 132a 提供資料給予整數單元 116a 和 IFG 單元 118a 兩者，並且接收來自這兩個單元的資料。由於整數單元 116a 為 32 位元寬的，而 IFG 單元則在 64 位元的資料上運作，因此設計暫存器文件夾 132a，以允許整數單元和 IFG 單元 116a 和 118a 兩者將每一個 64 位元的暫存器 134a 當作一對 32 位元的暫存器來存取之。例如，IFG 單元 118 能夠存取如同 64 位元的暫存器，而整數單元 116a 則如同一個暫存器，存取上 32 位元的半個暫存器，以及如同另一個分離的暫存器，存取下 32 位元的半個暫存器。

仍然參照圖 14，在另一個實施例中，叢集 114a 包含一個分割長度常數(PLC)暫存器 136a 以及一個分割長度變數(PLV)暫存器 138a，其兩者皆是 128 個位元寬的。這些的暫存器改善叢集 114a 的計算量，而不致增加叢集的大小。暫存器 136a 與 138a 兩者皆接收來自匯流排 128a 和

## 五、發明說明 (24)

130a 的資料。暫存器 136a 在 128 位元寬的匯流排 140a 上，提供資料給 IFG 單元 118a，而暫存器 136a 則在 128 位元寬的匯流排 142a 上，提供資料給 IFG 單元 118a。典型地，乃是以 IFG 單元 118a 特定的多媒體指令，來使用儲存於暫存器 136a 和 138a 中的資料，使得單元 118a 產生一個 32 或 64 位元的輸出結果。單元 118a 將此一結果傳送給在暫存器文件夾 132a 中一個或者多個的暫存器。此外，這些特定的指令其中的一些同樣也可以致使暫存器文件夾 132a 修改 PLV 暫存器 138a 的內容。

由於記憶體 108(圖 130)與暫存器 136a 和 138a 之間並無直接的路徑，因此暫存器文件夾 132a 在 IFG 單元 118a 使用這些暫存器的內容之前，將它們初始化。初始化這些暫存器所需要的額外之一個或多個週期可能似乎是無效率的。但將不同的資料載入 PLC 和 PLV 暫存器 136a 和 138a 中之前，由於經常多次地使用儲存在 PLC 和 PLV 暫存器 136a 和 138a 中的資料，因而許多多媒體的應用簡化了如此的經常使用率。再者，隨著執行另一個運算，由於在一些指令中的叢集 114a 能夠更新 PLV 暫存器 138a，因此而去除了用來重新載入 PLV 暫存器 138a 的額外時脈週期之需要。

圖 15A 闡述成對的加法運算，根據本發明的一個實施例，圖 14 的叢集 114a 能夠執行其加法運算。暫存器文件夾 132a 的第一暫存器 134a 儲存四個 16 位元的數值 a - d，而暫存器文件夾 132a 的第二暫存器 134a 則是儲存四個 16

## 五、發明說明 (5)

位元的數值  $e-h$ 。IFG 單元 118a 同時相加這些暫存器各個分割部份的內容。特別的是，單元 118a 將每個暫存器相鄰的分割部份之內容相加在一起，並且將其相加結果載入暫存器文件夾 132a 的第三暫存器 134a 各個 16 位元之分割部份中。例如，單元 118a 將  $a$  和  $b$  相加，並且將  $a+b$  的結果載入第三暫存器的第一 16 位元之分割部份中。同樣地，單元 118a 將  $c$  和  $d$ 、 $e$  和  $f$ 、以及  $g$  和  $h$  相加，並且將  $c+d$ 、 $e+f$ 、以及  $g+h$  的相加結果分別載入第三暫存器的第二、第三、以及第四 16 位元之分割部份中。因此，第三暫存器的第一分割部份容納有  $a+b$ 、第二分割部份容納有  $c+d$ 、第三分割部份容納有  $e+f$ 、以及第四分割部份容納有  $g+h$ 。再者，在將  $a+b$ 、 $c+d$ 、 $e+f$ 、以及  $g+h$  的每一個相加結果儲存於第三暫存器的各個分割部份之前，單元 118 可以先將其每一個相加結果除以二。藉由將每一個相加結果右移一個位元，單元 118a 便能夠執行如此的除法。

圖 15B 闡述成對的減法運算，根據本發明的一個實施例，圖 14 的叢集 114a 能夠執行其加法運算。暫存器文件夾 132a 的第一暫存器 134a 儲存四個 16 位元的數值  $a-d$ ，而暫存器文件夾 132a 的第二暫存器 134a 則是儲存四個 16 位元的數值  $e-h$ 。IFG 單元 118a 同時擷取這些暫存器各個相鄰分割部份的內容之間的差值。特別的是，單元 118a 將一個分割部份的內容減去其相鄰分割部份的內容，並且將其差值結果載入暫存器文件夾 132a 的第三暫存器 134a 各個 16 位元之分割部份中。例如，單元 118a 將  $a$  減去  $b$ ，

## 五、發明說明 (56)

並且將  $a - b$  的結果載入第三暫存器的第一 16 位元之分割部份中。同樣地，單元 118a 將  $c$  減去  $d$ 、 $e$  減去  $f$ 、以及  $g$  減去  $h$ ，並且將  $a - b$ 、 $c - d$ 、 $e - f$ 、以及  $g - h$  的相減結果分別載入第三暫存器的第一、第二、第三、以及第四 16 位元之分割部份中。因此，第三暫存器的第一分割部份容納有  $a - b$ 、第二分割部份容納有  $c - d$ 、第三分割部份容納有  $e - f$ 、以及第四分割部份容納有  $g - h$ 。再者，在將  $a - b$ 、 $c - d$ 、 $e - f$ 、以及  $g - h$  的每一個相減結果儲存於第三暫存器的各個分割部份之前，單元 118 可以將其每一個相減結果除以二。藉由將每一個相減結果右移一個位元，單元 118a 便能夠執行如此的除法。

參照圖 15A 和 15B，儘管顯示其暫存器劃分為 16 位元的分割部份，然而在其它的實施例中，單元 118a 仍可使用具有不同位元寬的分割部份之暫存器，來執行成對的加法和減法運算。例如，其暫存器可以具有八個 8 位元的分割部份、兩個 32 位元的分割部份、或者十六個 4 位元的分割部份。

如同下列所探討的，成對的加法和減法一起除以二的特性允許單元 118a 從方程式(13)和(14)所示的 Masaki 數值，計算中間和最終的逆變換數值。

圖 16 闡述一種映射作用，根據本發明的一個實施例，圖 14 的叢集 114a 和 114b 能夠執行其作用。使用暫存器文件夾 132a 的三個暫存器或部份暫存器，來執行其映射作用。一個來源暫存器 160 包含叢集 114a 所要重新映射的內容

(請先閱讀背面之注意事項，本頁)

裝 訂 線

## 五、發明說明(續)

。在此一範例中，來源暫存器 160 乃是 64 位元的，並且包含八個 8 位元的分割部份 0 - 7。一個目的暫存器 162 在叢集 114a 執行映射指令之後，將會包含來源暫存器 160 重新排序的內容。一個控制暫存器 164 控制來源暫存器 160 的內容如何映射至目的暫存器 162。控制暫存器 164 乃是 32 位元的，並且包含八個 4 位元的分割部份 0 - 7。每個分割部份皆是相應於目的暫存器個別的分割部份，並且識別來源暫存器 160 的分割部份，而其中的來源暫存器 160 分割部份之內容則將會映射至目的暫存器 162 相應的分割部份。例如，暫存器 164 的零分割部份相應於目的暫存器 162 的零分割部份。例如，如果控制暫存器 164 的零分割部份含有數值 2，如此則是確認來源暫存器 160 數字 2 的分割部份，並因而控制其叢集 114a 將來源暫存器 160 二的分割部份之內容載入目的暫存器 162 的零分割部份。同樣地，如果控制暫存器的分割部份 1 含有數值 5，則其叢集將來源暫存器 160 的分割部份 5 中所儲存之數值載入目的暫存器 162 的分割部份 1。此外，叢集可將來源分割部分其中之一的內容載入一個以上的目的分割部分。例如，參照控制暫存器 164 的分割部份 3 和 4，叢集 114a 將來源暫存器 160 的分割部份 6 之內容載入目的暫存器 162 的分割部份 3 和 4 兩者之中。此外，叢集 114a 可以不將一些來源分割部份的內容載入任何一個的目的分割部份之中。例如，由於控制暫存器 164 沒有任何的分割部份確認來源暫存器 160 的分割部份 7，因而叢集 114a 並不將該分割部份 7 載入任

(請先閱讀背面之注意事項)

裝  
訂  
線

## 五、發明說明 (>8)

何一個的目的分割部份之中。

如同以下所探討的，對重新排序圖 11 的 IDCT 數值 I 之區塊，藉以獲得圖 12 中的 IDCT 數值 I 之區塊而言，映射指令乃是有用的。

圖 17 闡述每個叢集 114a 和 114b 同時執行兩個 4 點向量乘積的能力。因此，並列的兩個叢集能夠同時執行四個 4 點向量乘積的計算。典型地，暫存器文件夾 132a 將兩個 4 點向量載入 PLC 暫存器 136a 之中，並且將兩個不同的 4 點向量載入暫存器 138a 之中。由於這些暫存器為 128 位元寬的，因此它們每個能夠儲存八個 16 位元的數值。為了範例的目的，探討方程式 12 的第一列 Masaki 偶數常數與圖 3 區塊的偶數成份  $D_{00}$ 、 $D_{02}$ 、 $D_{04}$ 、和  $D_{06}$  之乘積，以及第一列的奇數 Masaki 常數與圖 3 區塊第一列的奇數位置數值  $D_{01}$ 、 $D_{03}$ 、 $D_{05}$ 、和  $D_{07}$  之同時乘積。暫存器文件夾 132a 將其數值載入如圖 17 所示的暫存器 136a 和 138a 之中。接著，在其四個週期的每一個期間中，IFG 單元將個別兩對的暫存器 136a 和 138a 之分割部份相乘。例如，在第一週期的期間中，單元 118a 將  $D_{00}$  與  $M_{e3}$  相乘在一起，並且也將  $D_{07}$  與  $M_{o0}$  相乘在一起。在下一個週期的期間中，單元 118a 將  $D_{02}$  與  $M_{e2}$  相乘，並且將  $D_{01}$  與  $M_{o3}$  相乘。在四個週期的最後一個期間中，單元 118a 則將  $D_{06}$  與  $M_{e0}$  相乘，並且將  $D_{01}$  與  $M_{o3}$  相乘，以及之後將四個乘積的各組相加，藉以產生各個偶數位置的偶數 Masaki 數值  $De_{00}$  與偶數位置的奇數 Masaki 數值  $Do_{00}$ 。單元 118a 將這些所

(請先閱讀背面之注意事項，本頁)

裝 · 訂 · 線

## 五、發明說明 (>9)

產生的 16 位元數值載入暫存器文件夾 132a 中的一個暫存器各個 16 位元之分割部份。再者，參照圖 12，叢集 114b 能夠同時地計算其中間的 Masaki 數值  $De_{01}$  和  $Do_{01}$ 。

因此，藉由在兩個叢集上實現如此的技術，圖 13 的處理器 106 在總共五個的時脈週期中，便能夠計算  $QD_e$  和  $PD_e$ 。特別的是，在第一時脈週期的期間中，暫存器文件夾 132a 將圖 3 區塊第一偶數/奇數分離之列，載入 PLC 暫存器 136a 和 136b。在下一個週期的期間中，暫存器 132a 將圖 12 的偶數和奇數 Masaki 陣列之第一列，載入 PLV 暫存器 138a。在相同的第二週期之期間中，暫存器文件夾 132b 將方程式 12 的偶數和奇數 Masaki 常數陣列之第二列，載入 PLV 暫存器 138b 之中。在第三週期的期間中，叢集 114a 計算  $De_{00}$  和  $Do_{00}$ ，而叢集 114b 則計算  $De_{01}$  和  $Do_{01}$ 。在第四週期的期間中，暫存器文件夾 132a 將方程式 12 的偶數和奇數 Masaki 常數陣列之第三列，載入 PLV 暫存器 138a 之中，而暫存器文件夾 132b 則是將方程式 12 的偶數和奇數 Masaki 常數陣列之第四列，載入 PLV 暫存器 138b 之中。在第五週期的期間中，叢集 114a 計算  $De_{02}$  和  $Do_{02}$ ，而叢集 114b 則計算  $De_{03}$  和  $Do_{03}$ 。如此則是表示一有意義的節省作用，超越於諸如 Masaki 參考中所說明的習知技術。

在叢集 114a 和 114b 不包含 PLC 暫存器 136a 和 136b 以及 PLV 暫存器 138a 和 138b 的一個實施例中，於每個週期的期間中，IFG 單元 118a 和 118b 每一個皆是直接從暫

(請先閱讀背面之注意事項)

本頁)

裝 · 訂 · 線

## 五、發明說明 (續)

存器文件夾 132a 中的暫存器，執行一個 4 點的向量乘積運算。因此，在如此的一個實施例中，處理器 106 需要八個週期來計算圖 3 區塊的  $QD_e$  和  $PD_e$ 。

參照圖 15 - 17，在處理器計算 Masaki 數值之後，便將它們儲存於暫存器文件夾 132a 內的暫存器相鄰接之分割部份中。因此， $De_{00}$  和  $Do_{00}$  儲存於相鄰的分割部份之中，以使得單元 118a 能夠使用成對的加法和減法以及除以 2 的指令，藉以根據方程式 13，來產生中間數值  $I'$ 。由於諸如每對  $De_{00}$  和  $Do_{00}$  第一次的相加，用以產生一個中間數值  $I'_{00}$ ，並且之後由彼此相減，藉以產生另一個中間數值  $I'_{07}$ ，因此處理器 106 需要兩個的週期來執行方程式 13 所有的加法和減法。參照圖 7，此時中間數值  $I'$  區塊之列乃是位於錯誤的次序上。因此，使用結合圖 16 所說明的映射作用，在儲存圖 8 重新排序的區塊於記憶體 108 之前，於一個週期中，叢集 114a 和 114b 便能夠將所有的各列重新排序。因此，根據本發明此一實施例，其處理器 106 需要  $5 + 2 + 1$  等於八個的週期，來計算圖 8 所示的區塊每一列之中間數值。

在本發明的另一個實施例中，由於如同圖 9 和 10 的區塊所示的，無論如何需要將圖 8 的區塊轉置以及奇偶分離，而既然在圖 7 區塊的轉置期間中，其能夠隱式地執行，因此能夠省略重新排序的步驟。然而，在計算最終數值以得到圖 11 區塊的期間中，必需執行重新排序的動作，藉以給定適當的最終數值，如圖 12 所示。因此，使用以上所說



## 五、發明說明(7/)

明的技術，在  $7 * 8 \div 2 (+8 * 8 \div 2)$  等於 60 個週期中，處理器 106 便能夠執行 DCT 數值  $8 * 8$  區塊對 IDCT 數值  $8 * 8$  區塊的完整轉換。除以 2 則是表示叢集 114a 和 114b 兩者的平行處理。這是週期理論上最小的數目，但是如果不以逆之字形來執行之，則實際上會有更多的週期用來處理矩陣的轉置以及 DCT 的奇偶分離。

參照圖 3 和方程式 12，能夠察知：為了實現 Masaki 的演算法，圖 3 區塊的各列必需從事奇偶分離，即是如同方程式 12 所示的  $D_{00}$ 、 $D_{02}$ 、 $D_{04}$ 、 $D_{06}$  與  $D_{01}$ 、 $D_{03}$ 、 $D_{05}$ 、和  $D_{07}$  之分離動作。使用如同結合圖 16 所說明的映射作用，處理器 106 便能夠執行如此的奇偶分離。但是為了減少處理的時間，在逆之字形的掃描期間中，處理器全然只是執行如此的奇偶分離。換言之，處理器 106 以適當的奇偶分離次序產生 DCT 數值  $D$  的區塊，來實現逆之字形掃描。由於然而必需執行這種逆之字形掃描，因而不以額外的處理時間來執行其奇偶分離。

圖 18 闡述一種隱式的矩陣轉置，根據本發明的一個實施例，處理器 106 能夠執行其隱式矩陣轉置。這種轉置功能允許處理器 106 直接由執行方程式 12 - 14，來產生圖 9 的已轉置之中間區塊。

圖 18 闡述一種由圖 13 的處理器 106 所執行之隱式矩陣轉置。在此一圖示中，方括號代表暫存器文件夾 132a 的 64 位元暫存器，而圓括弧則代表這些暫存器 32 位元的分割部份。一般而言，藉由儲存如同圖 17 中所闡述的方程式

## 五、發明說明 ( )

12 之 4 點向量運算，處理器 106 便能夠直接從方程式 13，產生圖 9 的已轉置之中間區塊。再者，中間 Masaki 數值  $d$  的雙下標表示它們在它們自己的列中之位置，並且與它們所相應的 DCT 數值  $d$  之列一致。例如，在此一特定的  $De$  列中， $De_{00}$  為第一  $De$  數值，並且相應於圖 3 區塊的第一列數值  $D_{00} - D_{07}$ 。同樣地， $De_{10}$  為  $QD$  的第一  $De$  數值，並且相應於圖 3 區塊的第二列數值  $D_{10} - D_{17}$ 。

參照圖 18，藉由以適當的組合來儲存  $De$  和  $Do$ ，處理器 106 所執行的成對之加法和減法功能則能以所轉置的次序來放置中間數值  $I'$ 。例如，參照暫存器 170，如同以上結合圖 17 所說明的，在暫存器相鄰的分割部份中，叢集 114a 和 114b 產生奇數和偶數對的 Masaki 數值，以使得它們能夠根據方程式 13 相加以及相減，藉以產生適當的中間數值  $I'$ 。在此一範例中， $De_{00}$  和  $Do_{00}$  儲存於暫存器 170 的第一 32 位元的分割部份中。因此，它們的相加的總和產生  $I'_{00}$ ，而相減的差值則產生  $I'_{07}$ 。因此，參照圖 8，這些即為區塊 8 第一列的第一元素和最後元素。但是這些數值並不儲存於所示的相同之暫存器。特別的是， $I'_{00}$  儲存於暫存器 176 的一個分割部份 174 之中，而  $I'_{07}$  則是儲存於暫存器 180 的一個分割部份 178 之中。

處理器 106 將  $De_{10}$  和  $Do_{10}$  儲存於暫存器 170 的第二分割部份 182 之中。因此，在成對的加法和減法作用的期間中，處理器 106 將  $I'_{10}$  儲存於分割部份 174 之中，並且將  $I'_{17}$  儲存於分割部份 178 之中。參照圖 8， $I'_{10}$  為區塊 8

## 五、發明說明(續)

第二列的第一元素，而  $I'_{17}$  為其列的最後元素。因此， $I'_{00}$  和  $I'_{10}$  儲存於相同暫存器的相同之分割部份 174 中。因此，由圖 18 能夠察知：以相似的方式儲存其它的元素，以使得圖 8 區塊行的部份儲存於暫存器之中。例如，圖 8 第一行的前半部，即數值  $I'_{00} - I'_{30}$ ，儲存於相同的暫存器 176 之中。同樣地，圖 8 第一行的後半部，即數值  $I'_{40} - I'_{70}$ ，則儲存於另一個的暫存器 184 之中。同樣地，圖 8 區塊其餘的行便儲存於暫存器文件夾 132a 的暫存器之中。因此，藉由將這些行儲存於暫存器之中，處理器 106 已經有效地轉置了圖 8 的區塊，藉以獲得圖 9 的區塊。例如，暫存器 176 和 184 同時容納有圖 9 區塊的第一列。由於處理器無論如何必須計算中間數值  $I'$  的數值並且將它們儲存，因此，如圖 18 所示的儲存安排，並不需要額外的時脈週期。因此，替代以圖 8 區塊的安排來計算與儲存中間數值，以及替代之後使用額外的時脈週期來轉置其區塊以獲得圖 9 的區塊，其處理器 106 計算並儲存這些數值，藉以直接獲得圖 9 的區塊。如此，在處理的時間中，提供有意義的保留作用。接著，處理器重新排列圖 9 的區塊，藉以獲得圖 10 的奇偶分離之區塊。此外，一旦以特定的數值  $I'$  載入暫存器文件夾 132a 或 132b 的一個暫存器中，則這些數值可以轉移至用於較長項儲存的記憶體 108 之中。但是即使如此，這些暫存器的內容全然地轉移至記憶體 108 其它的暫存器之中，致使最後記憶體 108 包含圖 8 區塊的行及暫存器，因而有效地儲存圖 9 的已轉置之區塊。

(請先閱讀背面之注意事項)

本頁)

裝 · 訂 · 線

## 五、發明說明 (74)

圖 19 根據本發明的一個實施例，闡述一種由處理器 106 所執行的隱式矩陣轉置以及奇偶分離。一般而言，進一步地藉由直接從方程式 13 和 14，直接產生圖 10 轉置奇偶分離的區塊，處理器 106 此一實施例用掉結合圖 18 所說明的實施例一個步驟。因此，由於此一實施例不考慮奇偶分離圖 9 的區塊所需用來產生圖 10 區塊的時脈週期，所以此一實施例相較於結合圖 18 所說明的實施例，節省甚多的處理時間。

特別的是，除了以不同於圖 18 的次序來儲存 Masaki 數值之外，結合圖 19 所說明的技術相似於之前結合圖 18 所說明的技術。例如，Masaki 數值  $De_{00}$  和  $Do_{00}$  儲存於暫存器 192 的第一分割部份 190，而  $De_{20}$  和  $Do_{20}$  則是儲存於暫存器 192 的第二分割部份 194。藉由在分割部份 190 上執行成對的加法和除以二，處理器 106 產生  $I'_{00}$ ，並且將其儲存於暫存器 198 一個分割部份 196 的第一位置上。同樣地，藉由在分割部份 194 的內容上執行成對的加法和除以二，處理器 106 產生  $I'_{20}$ ，並且將其儲存於分割部份 196 的第二位置上。參照圖 10，藉由使用相似的形式，來儲存其它的  $d$  數值，以及使用相似的形式儲存  $I'$  數值，則能夠察知處理器 106 以奇偶分離的格式，將圖 8 區塊的行儲存於暫存器中，以使得圖 10 每一列的前半部，即是  $I'_{00} - I'_{60}$ ，儲存於諸如暫存器 198 的一個暫存器之中，而奇數的後半部，即是  $I'_{10} - I'_{70}$ ，則是儲存於另一個暫存器之中。因此，藉由去除各個的轉置和奇偶分離的步驟，處理

(請先閱讀背面之注意事項)

裝 · 訂 · 線

## 五、發明說明 ( 75 )

器便能夠執行逆 DCT 轉換，而甚快於使用結合圖 18 所說明的技術。

由前面所敘述的，將會察知：儘管爲了闡述的目的，已經在此說明了本發明特定的實施例，然而不脫離本發明的精神和範圍，仍然可以從事各種的修改變體。

(請先閱讀背面之注意事項)

裝  
訂  
線

四、中文發明摘要(發明之名稱： )

用於在影像處理期間隱式轉置數值矩陣之電路和方法

在本發明的一個觀點中，一種影像解碼器包含一個記憶體與一個連接到記憶體的處理器。處理器用來將一行的中間數值儲存於記憶體之中，以充當一列的中間數值，並用來組合所儲存的列內之中間數值，藉以產生一行的結果數值，且用來將其所產生的結果數值儲存於記憶體之中，用以充當一列的結果數值。

因此，如此的一種影像解碼器能夠用來將方程式 12 的中間 Masaki 數值  $D_e$  和  $D_o$  儲存於一列的記憶體中，以使得當處理器組合這些數值之時，隱式產生圖 9 區塊已經完

英文發明摘要(發明之名稱：CIRCUIT AND METHOD FOR IMPLICITLY  
TRANSPOSING A MATRIX OF VALUES DURING  
THE PROCESSING OF AN IMAGE )

In one aspect of the invention, an image decoder includes a memory and a processor coupled to the memory. The processor is operable to store a column of intermediate values in the memory as a row of intermediate values, combine the intermediate values within the stored row to generate a column of resulting values, and store the resulting values in the memory as a row of resulting values.

Therefore, such an image decoder can be used to store the intermediate Masaki values  $D_e$  and  $D_o$  of equation 12 in a row of memory such that when the processor combines these values it implicitly generates the transposed resulting

## 四、中文發明摘要(發明之名稱: )

成轉置的結果中間數值。因此，如此的一種影像解碼器去除將圖 7 的中間 Masaki 矩陣重新排序以得到圖 8 區塊，並且之後轉置圖 8 的區塊以得到圖 9 區塊的額外步驟。換言之，當執行方程式 13 時，如此的一種影像解碼便會得到圖 9 的區塊。

在本發明一個相關的觀點中，其中間數值包含第一偶數位置的偶數中間數值、一個奇數位置的偶數中間數值、第二偶數位置的偶數中間數值、第一偶數位置的奇數中間數值、一個奇數位置的奇數中間數值、和 second 偶數位置的奇數中間數值。處理器將第一偶數位置的偶數中間數值與第一偶數位置的奇數中間數值儲存於第一對的相鄰接之儲

## 英文發明摘要(發明之名稱: )

intermediate values of the block of Figure 9. Thus, such an image decoder eliminates the extra step of reordering the intermediate Masaki matrix of Figure 7 to obtain the block of Figure 8 and then transposing the block of Figure 8 to obtain the block of Figure 9. That is, such an image decoder obtains the block of Figure 9 directly when executing the equation 13.

In a related aspect of the invention, the intermediate values include a first even-position even intermediate value, an odd-position even intermediate value, a second even-position even intermediate value, a first even-position odd intermediate value, an odd-position odd intermediate value, and a second even-position odd intermediate value. The processor stores the first even-position even intermediate value and the first even-position odd intermediate value in a first pair of adjacent

(請先閱讀背面之注意事項再

頁各欄)

裝

訂

線

## 四、中文發明摘要(發明之名稱: )

存位置中，並且將第二偶數位置的偶數中間數值與第二偶數位置的奇數中間數值儲存於第二對的相鄰接之儲存位置中，而其中第二對的相鄰接之儲存位置則是相鄰於第一對的相鄰接之儲存位置。因此，如此的一種影像解碼器能夠直接從方程式 13 產生已經完成轉置並且奇偶分離的圖 10 之區塊，故藉由去除圖 7-9 所闡述之重新排序與轉置的步驟，而節省了甚多的處理時間。

## 英文發明摘要(發明之名稱: )

storage locations, and stores the second even-position even intermediate value and the second even-position odd intermediate value in a second pair of second pair of adjacent storage locations, the second pair of storage locations being adjacent to the first pair of storage locations. Thus, such an image decoder can generate the transposed and even-odd separated block of Figure 10 directly from the equation 13, thus saving even more processing time by eliminating the reordering and transposing steps illustrated in Figures 7 - 9.

(請先閱讀背面之注意事項再  
裝  
訂  
線  
各頁各欄)



## 六、申請專利範圍

1. 一種影像解碼器，包含：  
 一個記憶體；以及  
 一個處理器，連接於其記憶體，並且用來將一行的中間數值儲存於其記憶體中，以充當一系列的中間數值，組合所儲存的列之中的中間數值，藉以產生一行的結果數值，以及

將其結果數值儲存於記憶體之中，以充當一系列的结果數值。

2. 如申請專利範圍第 1 項之影像解碼器，其中的中間數值包含 Masaki 數值。

3. 如申請專利範圍第 1 項之影像解碼器，其中：  
 記憶體包含第一和第二列的儲存位置，並且處理器用來將中間數值儲存於第一列的儲存位置中，以及將結果數值儲存於第二列的儲存位置中。

4. 如申請專利範圍第 1 項之影像解碼器，其中的處理器乃是用來產生中間數值之行。

5. 如申請專利範圍第 1 項之影像解碼器，其中：  
 中間數值包含一個偶數位置的偶數中間數值、一個奇數位置的偶數中間數值、一個偶數位置的奇數中間數值、和一個奇數位置的奇數中間數值；

列具有儲存位置，以及處理器用來將偶數位置的偶數中間數值與偶數位置的奇數中間數值儲存於各個相鄰接的儲存位置之中，以及

將奇數位置的偶數中間數值與奇數位置的奇數中間數

(請先閱讀背面之注意事項再填寫本頁)

訂 線

煩請委員明示 90年7月18日所提之修正本有無變更實質內容是否准予修正。

經濟部智慧財產局員工消費合作社印製

## 六、申請專利範圍

值儲存於各個相鄰接的儲存位置之中。

6.如申請專利範圍第1項之影像解碼器，其中：

中間數值包含一個偶數位置的偶數中間數值、一個奇數位置的偶數中間數值、一個偶數位置的奇數中間數值、和一個奇數位置的奇數中間數值；

列具有儲存位置，以及處理器用來將偶數位置的偶數中間數值與偶數位置的奇數中間數值儲存於第一對的相鄰接儲存位置之中，以及

將奇數位置的偶數中間數值與奇數位置的奇數中間數值儲存於第二對的相鄰接儲存位置之中，而第二對的相鄰接儲存位置則是相鄰於第一對的相鄰接儲存位置。

7.如申請專利範圍第1項之影像解碼器，其中：

中間數值包含第一偶數位置的偶數中間數值、一個奇數位置的偶數中間數值、第二偶數位置的偶數中間數值、第一偶數位置的奇數中間數值、一個奇數位置的奇數中間數值、和第二偶數位置的奇數中間數值；列具有儲存位置，以及

處理器用來將第一偶數位置的偶數中間數值與第一偶數位置的奇數中間數值儲存於第一對的相鄰接之儲存位置中，將第二偶數位置的偶數中間數值與第二偶數位置的奇數中間數值儲存於第二對的相鄰接之儲存位置中，而第二對的相鄰接儲存位置則是相鄰於第一對的相鄰接之儲存位置，以及

將奇數位置的偶數中間數值與奇數位置的奇數中間數

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

值儲存於第三對的相鄰接之儲存位置中。

8.如申請專利範圍第 1 項之影像解碼器，其中的結果數值包含各個部份的逆變換數值。

9.一種影像解碼器，包含：

第一記憶體暫存器，以及

一個處理器，連接於其暫存器，並且用來組合第一行的第一中間數值與第二行的第二中間數值，藉以產生一組的結果數值；以及

將此組的結果數值儲存於第一記憶體暫存器之中。

10.如申請專利範圍第 9 項之影像解碼器，其中：

第一中間數值包含偶數的 Masaki 數值；而第二中間數值則包含奇數的 Masaki 數值。

11.如申請專利範圍第 9 項之影像解碼器，進一步地包含：

第二記憶體暫存器；並且

其中的處理器用來將第一和第二行的第一和第二中間數值儲存於第二記憶體之中。

12.如申請專利範圍第 9 項之影像解碼器，其中的處理器藉由加總第一中間數值和第二中間數值，用來組合第一行的第一中間數值與第二行的第二中間數值。

13.如申請專利範圍第 9 項之影像解碼器，其中的處理器藉由第二中間數值減去第一中間數值，用來組合第一行的第一中間數值與第二行的第二中間數值。

14.如申請專利範圍第 9 項之影像解碼器，其中的處理

(請先閱讀背面之注意事項再填寫本頁)

訂 線

## 六、申請專利範圍

器用來產生第一行的第一中間數值與第二行的第二中間數值。

15. 一種影像解碼器，包含：

第一和第二記憶體暫存器，具有各個儲存位置；以及一個處理器，連接於其暫存器，並且用來將每一組第一中間數值儲存於第一記憶體暫存器每隔一個的各個儲存位置之中，其第一中間數值組則是相應於一組初始數值，

將每一組第二中間數值儲存於第一記憶體暫存器所剩餘的儲存位置之中，其第二中間數值組則是相應於該組初始數值，組合佔居各個相鄰的儲存位置之每個第一中間數值與第二中間數值，藉以產生各個的結果數值；以及

將每個所產生的結果數值儲存於第二記憶體暫存器的各個儲存位置之中。

16. 如申請專利範圍第 15 項之影像解碼器，其中：

第一中間數值包含偶數的 Masaki 數值；而第二中間數值則包含奇數的 Masaki 數值。

17. 如申請專利範圍第 15 項之影像解碼器，其中的初始數值組包含離散餘弦變換係數的區塊。

18. 如申請專利範圍第 15 項之影像解碼器，其中：

第一中間數值組相應於初始數值組的第一子組；而第二中間數值組則相應於初始數值組的第二子組。

19. 如申請專利範圍第 15 項之影像解碼器，其中：

初始數值組包含離散餘弦變換係數之列；

每個第一中間數值皆是相應於佔居各列的偶數位置之

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

離散餘弦變換係數；以及

每個第二中間數值皆是相應於佔居各列的奇數位置之離散餘弦變換係數。

20.如申請專利範圍第 15 項之影像解碼器，其中：

初始數值組包含離散餘弦變換係數之列，每列皆具有各個的偶數和奇數位置；

處理器從佔居各列的偶數位置之離散餘弦變換係數，用來產生每個第一中間數值；以及

處理器從佔居各列的奇數位置之離散餘弦變換係數，用來產生每個第二中間數值。

21.如申請專利範圍第 15 項之影像解碼器，其中的處理器藉由加總佔居各個相鄰儲存位置的每個第一中間數值和第二中間數值，用來組合每個第一中間數值與第二中間數值。

22.如申請專利範圍第 15 項之影像解碼器，其中的處理器藉由佔居各個相鄰儲存位置的每個第二中間數值減去第一中間數值，用來組合每個第一中間數值與第二中間數值。

23.如申請專利範圍第 15 項之影像解碼器，其中的處理器用來：

藉由分別將第一中間數值的第一數值和第二數值儲存於第一記憶體暫存器的第一和第三儲存位置之中，來儲存每組第一中間數值組；

藉由分別將第二中間數值的第一數值和第二數值儲存

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

於第一記憶體暫存器的第二和第四儲存位置之中，來儲存每組第二中間數值組；

藉由分別組合第一中間數值的第一數值和第二數值以及第二中間數值的第一數值和第二數值，來組合每個第一中間數值與第二中間數值，以產生各個的第一和第二結果數值；以及

藉由分別將所產生的第一和第二結果數值儲存於第二記憶體暫存器第一和第二位置之中，來儲存所產生的每個結果數值。

24.如申請專利範圍第 15 項之影像解碼器，其中的處理器用來：

藉由分別將第一中間數值的第一數值和第三數值儲存於第一記憶體暫存器的第一和第三儲存位置之中，來儲存每組第一中間數值組；

藉由分別將第二中間數值的第一數值和第三數值儲存於第一記憶體暫存器的第二和第四儲存位置之中，來儲存每組第二中間數值組；

藉由分別組合第一中間數值的第一數值和第三數值以及第二中間數值的第一數值和第三數值，來組合每個第一中間數值與第二中間數值，以產生各個的第一和第二結果數值；以及

藉由分別將所產生的第一和第二結果數值儲存於第二記憶體暫存器第一和第二位置之中，來儲存所產生的每個結果數值。

(請先閱讀背面之注意事項再填寫本頁)

訂 線

## 六、申請專利範圍

25. 一種影像解碼器，包含：

一個處理器，用來：

接收映像點數值，每個映像點數值皆佔居映像點數值原來的列中之各個位置，

將佔居列每隔一個的位置之映像點數值儲存於一個暫存器的第一連續區段中，以及

將佔居列所剩餘的位置之映像點數值儲存於其暫存器的第二連續區段中。

26. 如申請專利範圍第 25 項之影像解碼器，其中：

每隔一個的列位置包含其列中的偶數位置；而所剩餘的位置則包含其列中的奇數位置。

27. 如申請專利範圍第 25 項之影像解碼器，其中的映像點數值每個皆包含各個已經完成編碼的映像點數值。

28. 如申請專利範圍第 25 項之影像解碼器，其中的映像點數值每個皆包含各個離散餘弦變換之係數。

29. 如申請專利範圍第 25 項之影像解碼器，其中的處理器進一步地用來接收映像點的區塊，其區塊則包含映像點數值之列，而映像點數值則是以之字形的形式排列。

30. 一種方法，包含：

儲存一行的中間數值，以充當一列的中間數值；

藉由組合所儲存之列內的中間數值，產生一行的結果數值；以及

儲存其結果數值，以充當一列的結果數值。

31. 如申請專利範圍第 30 項之方法，其中的中間數值

## 六、申請專利範圍

包含 Masaki 數值。

32.如申請專利範圍第 30 項之方法，其中：

儲存其中間數值行包含將其中間數值儲存於一系列的儲存位置之中；以及儲存其結果數值包含將其結果數值儲存於另一列的儲存位置之中。

33.如申請專利範圍第 30 項之方法，進一步地包含產生其中間數值行。

34.如申請專利範圍第 30 項之方法，其中：

中間數值包含一個偶數位置的偶數中間數值、一個奇數位置的偶數中間數值、一個偶數位置的奇數中間數值、和一個奇數位置的奇數中間數值；以及

儲存其中間數值行，包含

將偶數位置的偶數中間數值與偶數位置的奇數中間數值儲存於一系列各個相鄰接的儲存位置之中，以及

將奇數位置的偶數中間數值與奇數位置的奇數中間數值儲存於一系列各個相鄰接的儲存位置之中。

35.如申請專利範圍第 30 項之方法，其中：

中間數值包含一個偶數位置的偶數中間數值、一個奇數位置的偶數中間數值、一個偶數位置的奇數中間數值、和一個奇數位置的奇數中間數值；以及

儲存其中間數值行，包含

將偶數位置的偶數中間數值與偶數位置的奇數中間數值儲存於第一對的相鄰接之儲存位置中，以及

將奇數位置的偶數中間數值與奇數位置的奇數中間數

(請先閱讀背面之注意事項再填寫本頁)

訂 線



## 六、申請專利範圍

值儲存於第二對的相鄰接之儲存位置中，而第二對的相鄰接之位置則是相鄰於第一對的相鄰接之位置。

36.如申請專利範圍第 30 項之方法，其中：

中間數值包含第一偶數位置的偶數中間數值、一個奇數位置的偶數中間數值、第二偶數位置的偶數中間數值、第一偶數位置的奇數中間數值、一個奇數位置的奇數中間數值、和第二偶數位置的奇數中間數值；以及

儲存其中間數值行，包含

將第一偶數位置的偶數中間數值與第一偶數位置的奇數中間數值儲存於第一對的相鄰接之儲存位置中，

將第二偶數位置的偶數中間數值與第二偶數位置的奇數中間數值儲存於第二對的相鄰接之儲存位置中，而第二對的相鄰接之儲存位置則是相鄰於第一對的相鄰接之儲存位置，以及將奇數位置的偶數中間數值與奇數位置的奇數中間數值儲存於第三對的相鄰接之儲存位置中。

37.一種方法，包含：

組合第一行的第一中間數值與第二行的第二中間數值，用以產生一組結果數值；以及

將其結果數值組儲存於第一記憶體暫存器之中。

38.如申請專利範圍第 37 項之方法，其中：

第一中間數值包含偶數的 Masaki 數值；而第二中間數值則包含奇數的 Masaki 數值。

39.如申請專利範圍第 37 項之方法，進一步地包含將第一和第二中間數值的第一和第二行儲存於第二記憶體暫

(請先閱讀背面之注意事項再填寫本頁)

訂 線

## 六、申請專利範圍

存器之中。

40.如申請專利範圍第 37 項之方法，其中的組合行為包含加總第一中間數值與第二中間數值。

41.如申請專利範圍第 37 項之方法，其中的組合行為包含第二中間數值減去第一中間數值。

42.如申請專利範圍第 37 項之方法，進一步地包含：  
產生第一中間數值的第一行；以及  
產生第二中間數值的第二行。

43.一種方法，包含：

將每一組第一中間數值儲存於第一記憶體暫存器每隔一個的各儲存位置之中，其第一中間數值組則是相應於一組初始數值；

將每一組第二中間數值儲存於第一記憶體暫存器所剩餘的儲存位置之中，其第二中間數值組則是相應於該組初始數值，

藉由組合每個第一中間數值與佔居第一記憶體暫存器各個相鄰儲存位置的第二中間數值，來產生各個結果數值；以及

將每個所產生的結果數值儲存於第二記憶體暫存器的各個儲存位置之中。

44.如申請專利範圍第 43 項之方法，其中：  
第一中間數值包含偶數的 Masaki 數值；而  
第二中間數值則包含奇數的 Masaki 數值。

45.如申請專利範圍第 43 項之方法，其中的初始數值

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

組包含離散餘弦變換係數的區塊。

46.如申請專利範圍第 43 項之方法，其中：

第一中間數值組相應於初始數值組的第一子組；而  
第二中間數值組則相應於初始數值組的第二子組。

47.如申請專利範圍第 43 項之方法，其中：

初始數值組包含離散餘弦變換係數之列；

每個第一中間數值皆是相應於佔居各列的偶數位置之  
離散餘弦變換係數；以及

每個第二中間數值皆是相應於佔居各列的奇數位置之  
離散餘弦變換係數。

48.如申請專利範圍第 43 項之方法，進一步地包含：

其中的初始數值組包含離散餘弦變換係數之列，每一  
列皆具有各個偶數和奇數的位置；

從佔居各列的偶數位置之離散餘弦變換係數，產生每  
個第一中間數值；以及

從佔居各列的奇數位置之離散餘弦變換係數，產生每  
個第二中間數值。

49.如申請專利範圍第 43 項之方法，其中的產生行為  
包含加總第一中間數值與佔居第一記憶體暫存器各個相鄰  
儲存位置的第二中間數值。

50.如申請專利範圍第 43 項之方法，其中的產生行為  
包含佔居第一記憶體暫存器各個相鄰儲存位置的第二中間  
數值減去第一中間數值。

51.如申請專利範圍第 43 項之方法，其中：

## 六、申請專利範圍

儲存第一中間數值包含分別將第一中間數值的第一數值和第二數值儲存於第一記憶體暫存器的第一和第三儲存位置之中；

儲存第二中間數值包含分別將第二中間數值的第一數值和第二數值儲存於第一記憶體暫存器的第二和第四儲存位置之中；

產生行為包含分別組合第一中間數值的第一數值和第二數值以及第二中間數值的第一數值和第二數值，來產生各個第一和第二結果數值；以及

儲存其結果數值包含分別將所產生的第一和第二結果數值儲存於第二記憶體暫存器的第一和第二位置之中。

52.如申請專利範圍第43項之方法，其中：

儲存第一中間數值包含分別將第一中間數值的第一數值和第三數值儲存於第一記憶體暫存器的第一和第三儲存位置之中；

儲存第二中間數值包含分別將第二中間數值的第一數值和第三數值儲存於第一記憶體暫存器的第二和第四儲存位置之中；

產生行為包含分別組合第一中間數值的第一數值和第三數值以及第二中間數值的第一數值和第三數值，來產生各個第一和第二結果數值；以及

儲存其結果數值包含分別將所產生的第一和第二結果數值儲存於第二記憶體暫存器的第一和第二位置之中。

53.一種方法，包含：

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

將佔居映像點數值列每隔一個的位置之映像點數值儲存於一個暫存器的第一連續區段之中，以及

將佔居其列所剩餘的位置之映像點數值儲存於其暫存器的第二連續區段中。

54.如申請專利範圍第 53 項之方法，其中：

每隔一個的列位置包含其列內的偶數位置；而所剩餘的位置則包含其列內的奇數位置。

55.如申請專利範圍第 53 項之方法，其中的映像點數值每一個皆包含各個已經完成編碼的映像點數值。

56.如申請專利範圍第 53 項之方法，其中的映像點數值每一個皆包含各個的離散餘弦變換之係數。

57.如申請專利範圍第 53 項之方法，進一步地包含從映像點數值的之字形編碼區塊中，取出映像點數值列。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

90.7月18日 修正補充

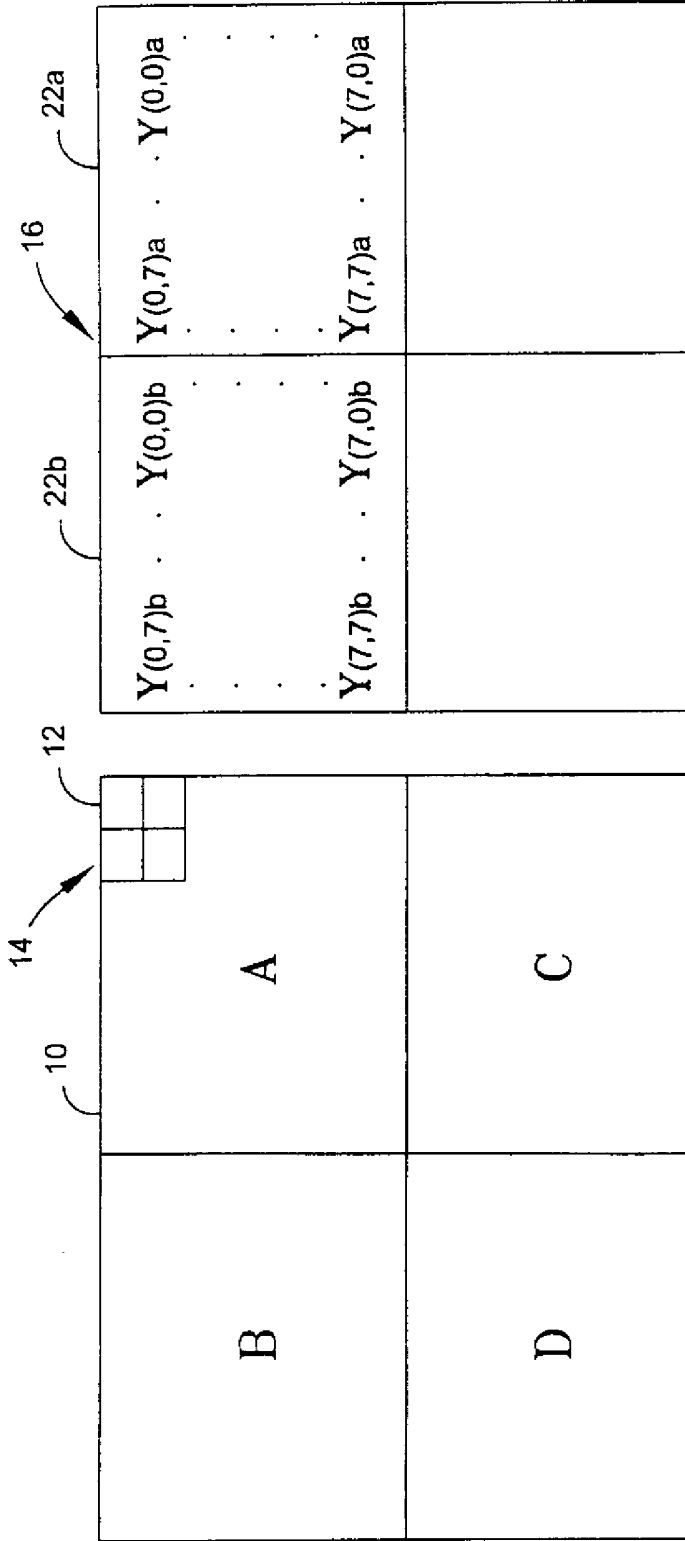


圖 1A  
(習知技術)

圖 1B  
(習知技術)

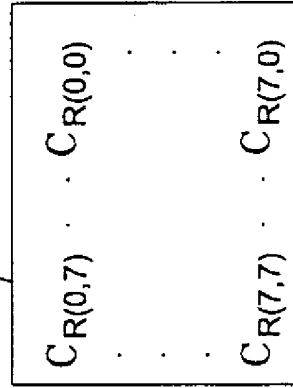
數值

20

22d

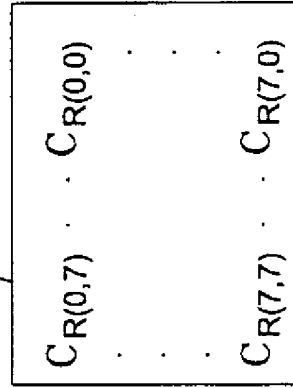
18

22c



$C_B$  數值

圖 1C  
(習知技術)



$C_R$  數值

圖 1D  
(習知技術)

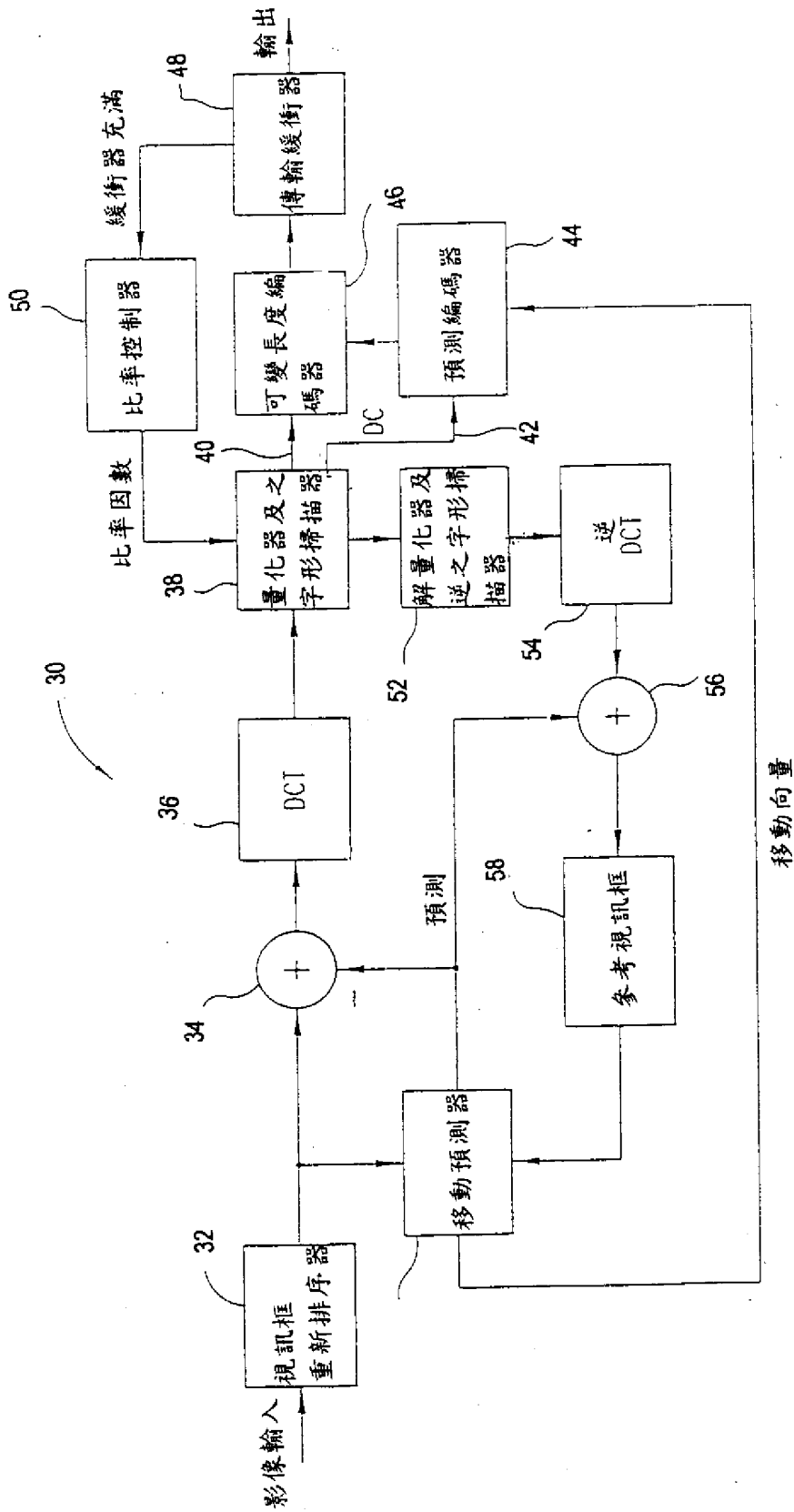


圖 2  
(習知技術)

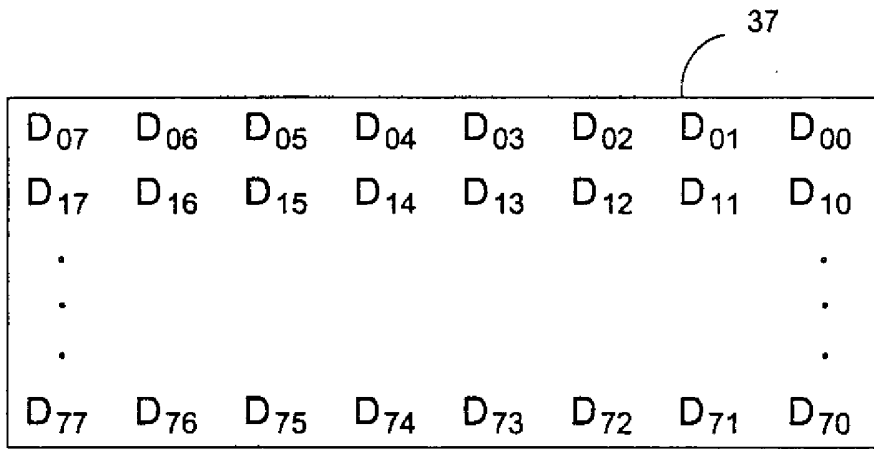


圖 3

(習知技術)

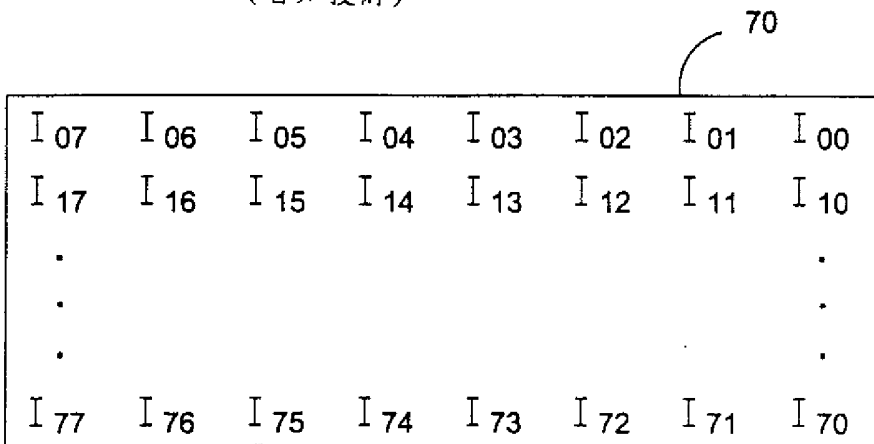


圖 6

(習知技術)



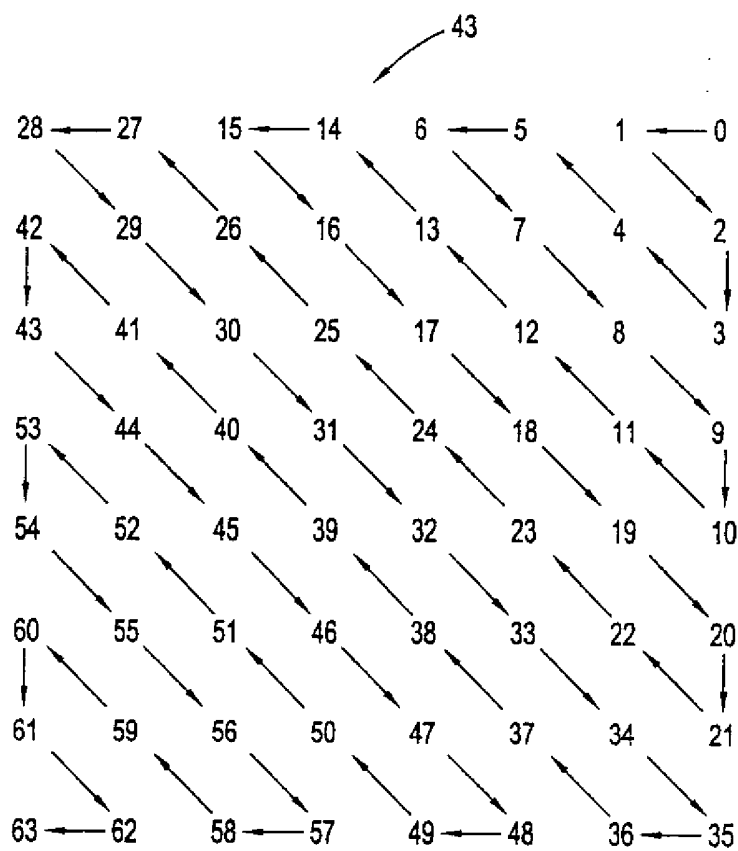


圖 4

(習知技術)

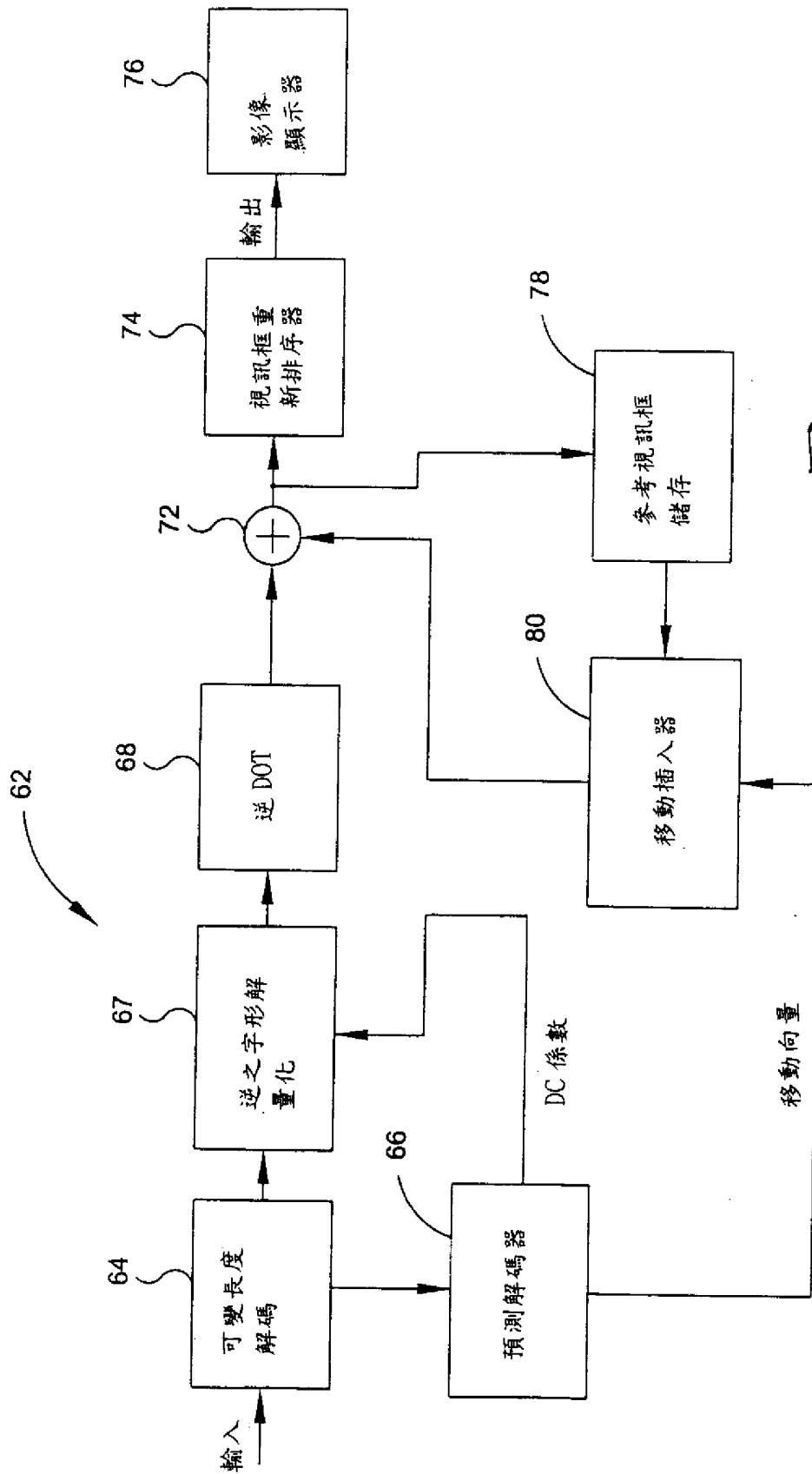


圖 5  
(習知技術)

82

I'04	I'05	I'06	I'07	I'03	I'02	I'01	I'00
I'14	I'15	I'16	I'17	I'13	I'12	I'11	I'10
.	.	.	.	.	.	.	.
I'74	I'75	I'76	I'77	I'73	I'72	I'71	I'70

圖 7 (習知技術)

84

I'07	I'06	I'05	I'04	I'03	I'02	I'01	I'00
I'17	I'16	I'15	I'14	I'13	I'12	I'11	I'10
.	.	.	.	.	.	.	.
I'77	I'76	I'75	I'74	I'73	I'72	I'71	I'70

圖 8 (習知技術)

86

I' 70	I' 60	I' 50	I' 40	I' 30	I' 20	I' 10	I' 00
I' 71	I' 61	I' 51	I' 41	I' 31	I' 21	I' 11	I' 01
.	.	.	.	.	.	.	.
I' 77	I' 67	I' 57	I' 47	I' 37	I' 27	I' 17	I' 07

圖 9 (習知技術)

88

I' 70	I' 50	I' 30	I' 10	I' 60	I' 40	I' 20	I' 00
I' 71	I' 51	I' 31	I' 11	I' 61	I' 41	I' 21	I' 01
.	.	.	.	.	.	.	.
I' 77	I' 57	I' 37	I' 17	I' 67	I' 47	I' 27	I' 07

圖 10 (習知技術)

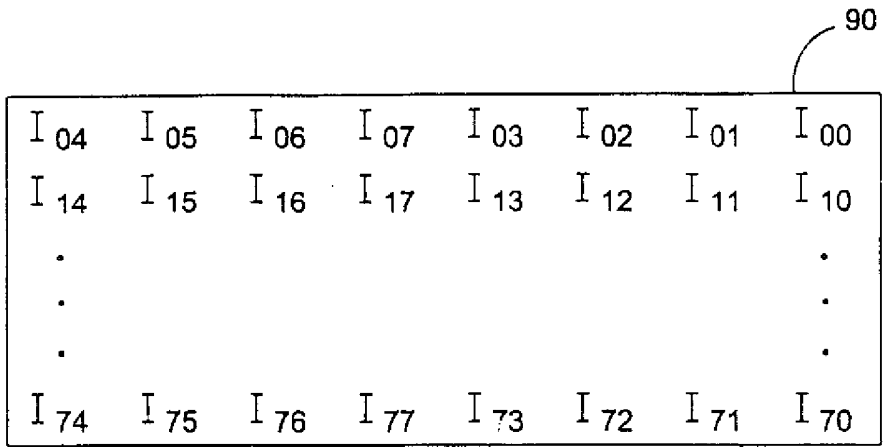


圖 11  
(習知技術)

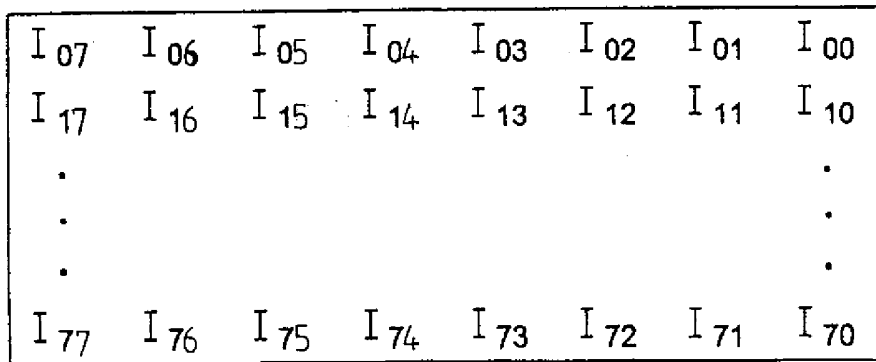


圖 12  
(習知技術)

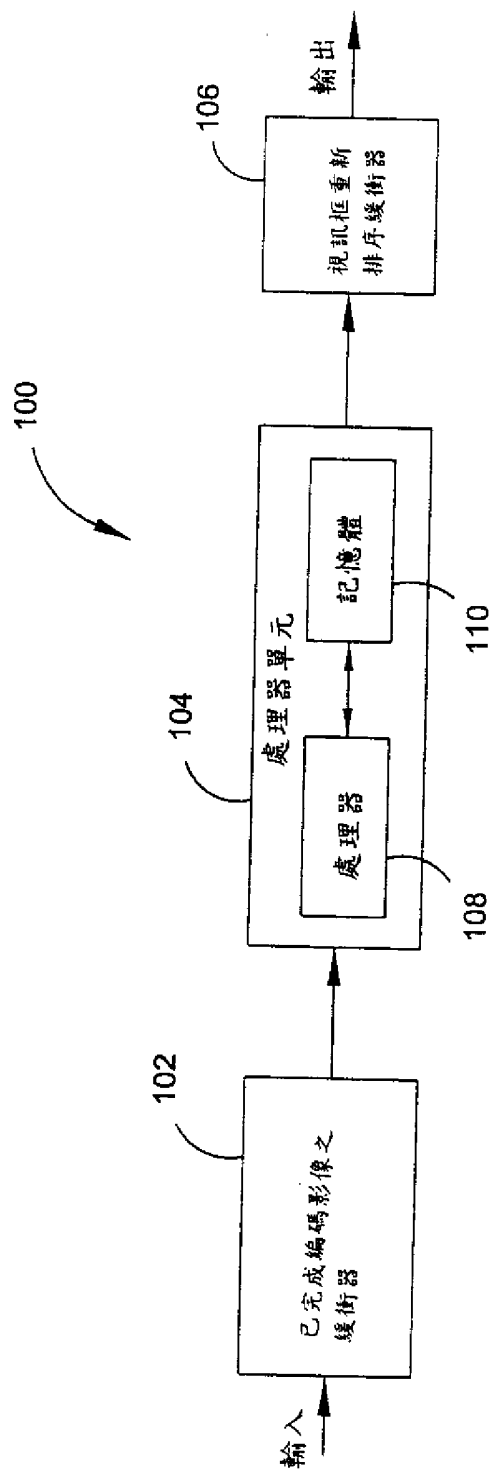


圖13

112

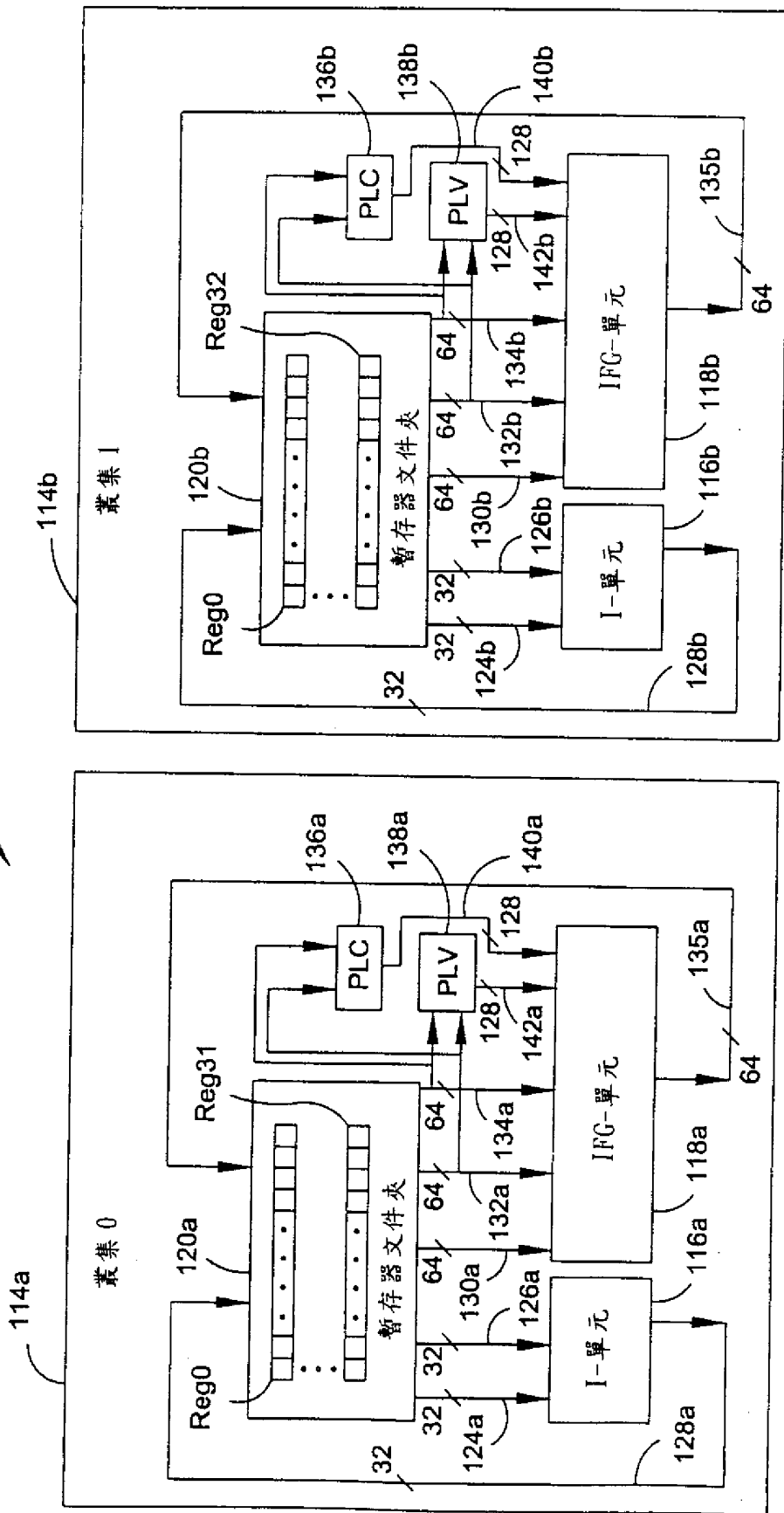


圖 14

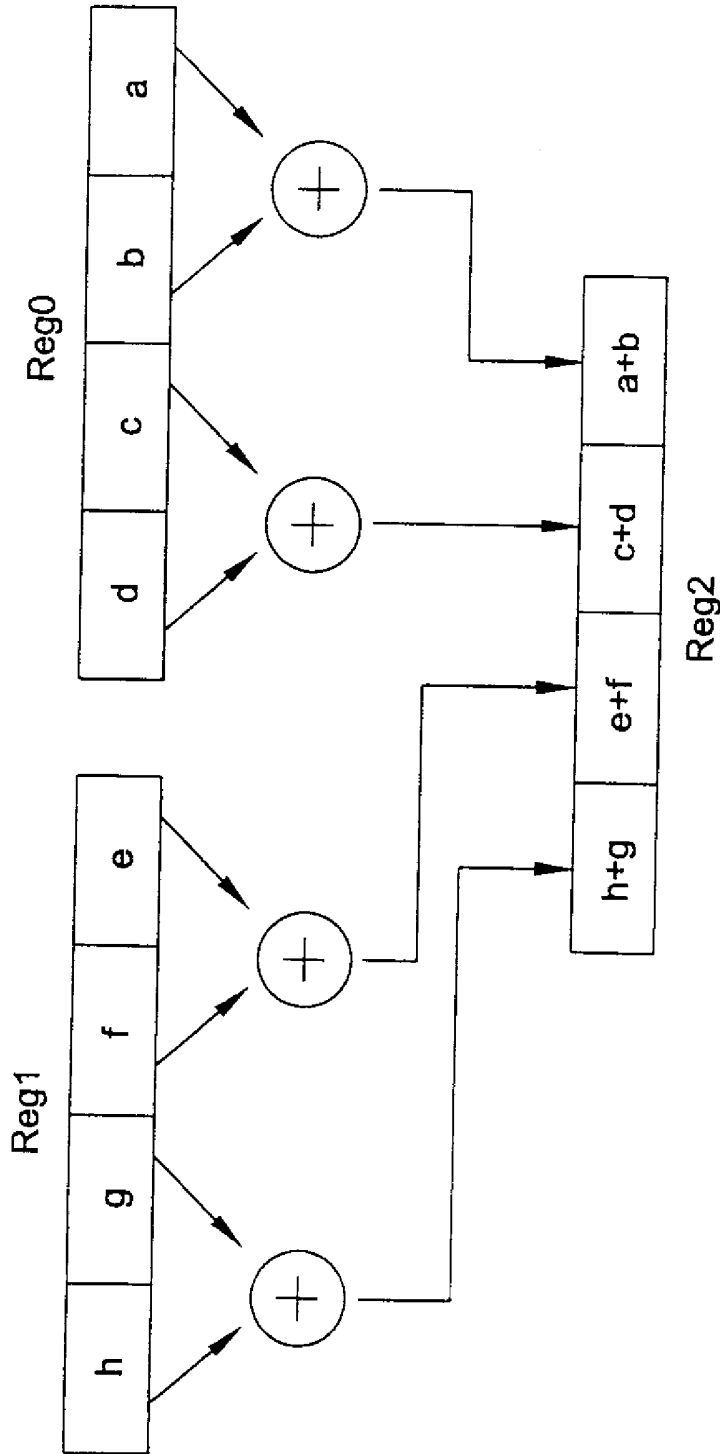


圖 15A



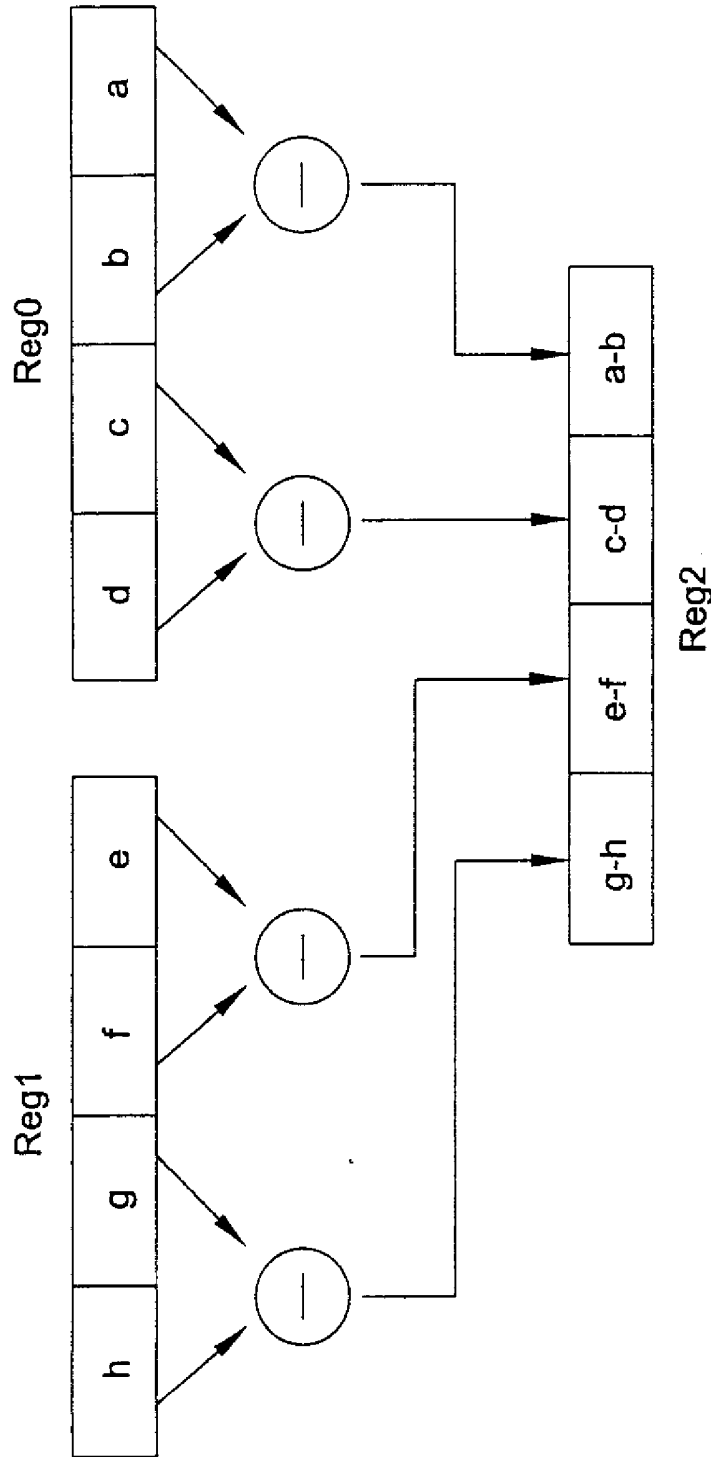


圖 15 B

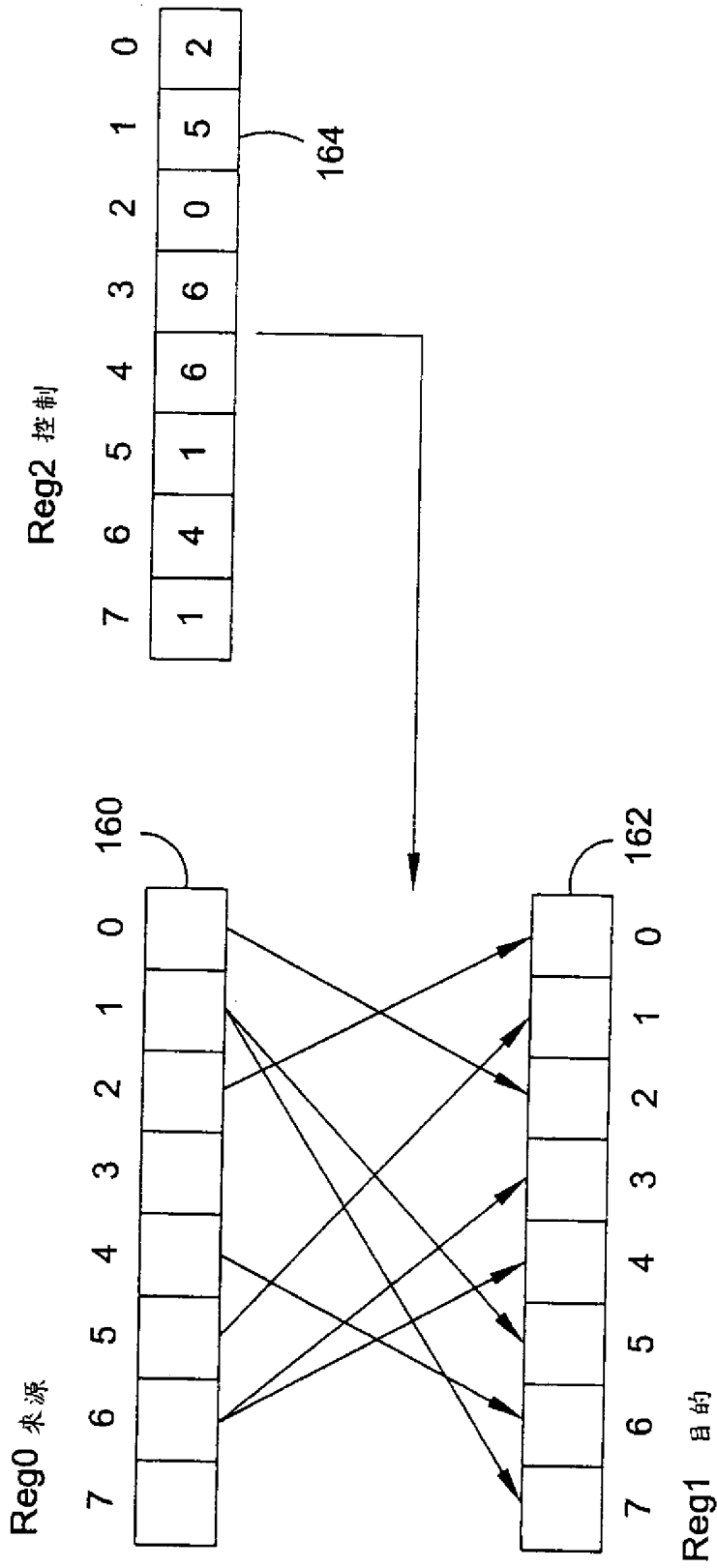


圖 16

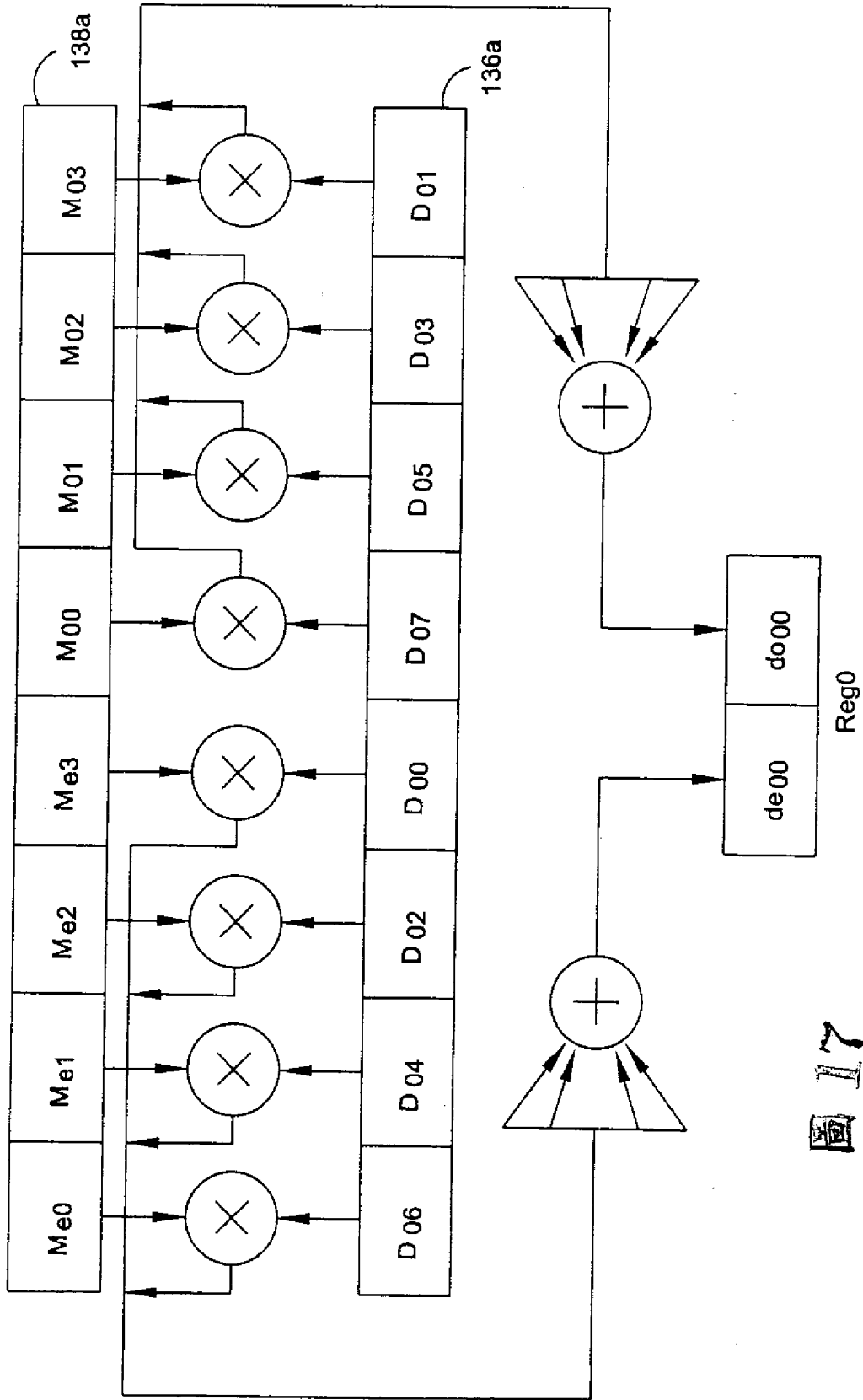
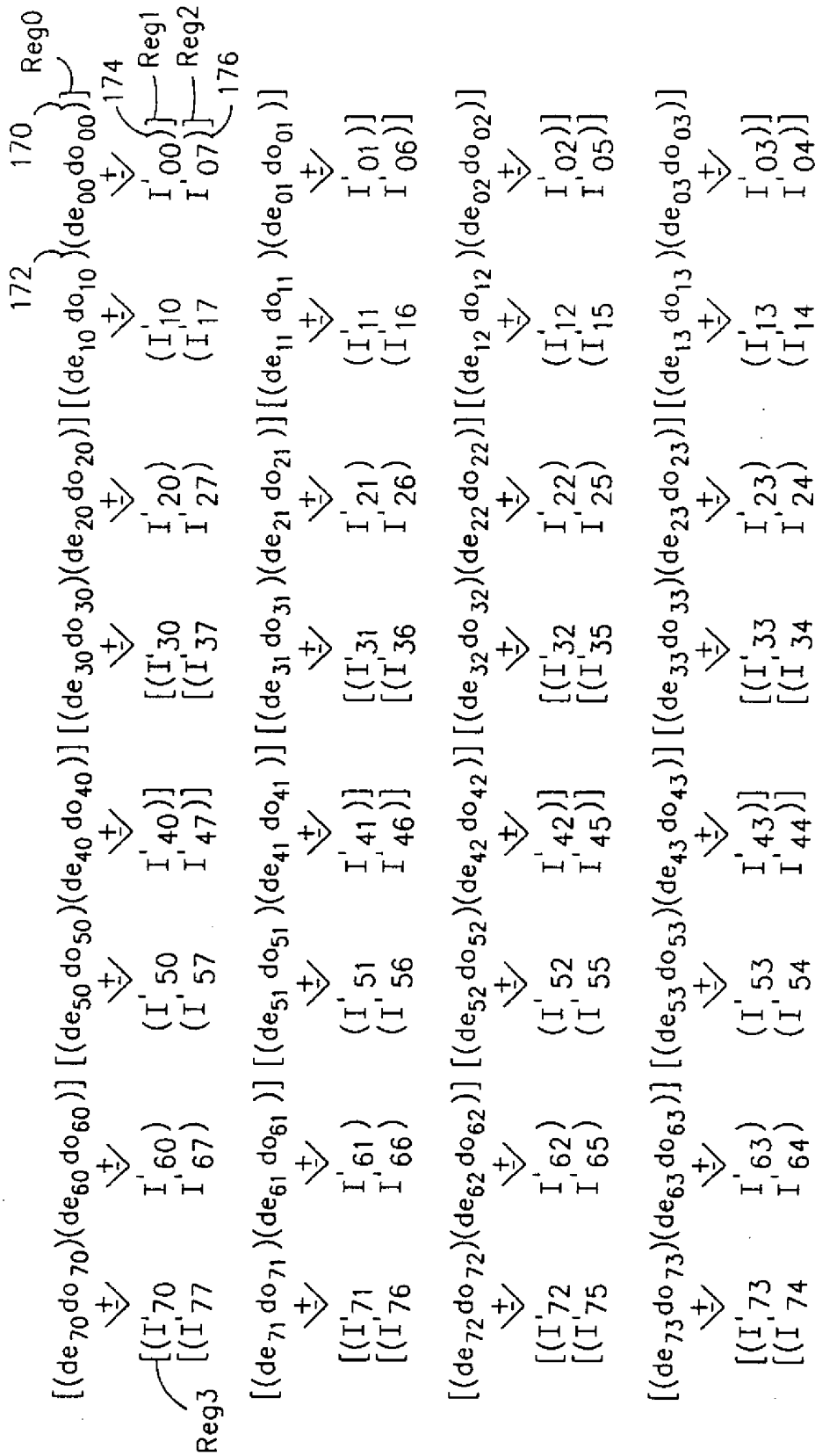


圖 17



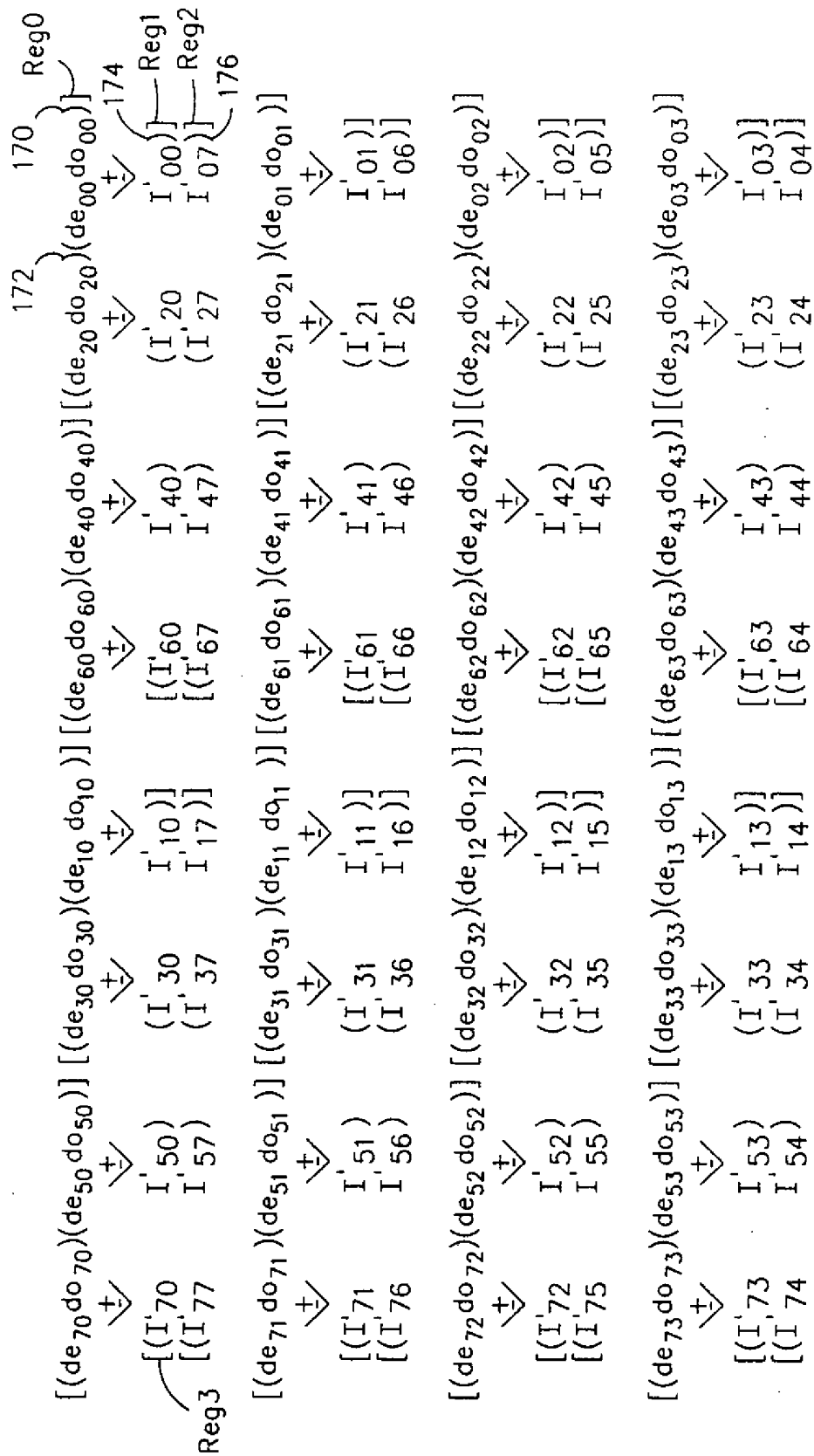


圖 19

# 公告本

89年1月28日 修正  
補充 首領

申請日期	88. 8. 13
案 號	88113P86
類 別	H04N/24

A4  
C4

469740

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	用於在影像處理期間隱式轉置數值矩陣之電路和方法
	英 文	CIRCUIT AND METHOD FOR IMPLICITLY TRANSPOSING A MATRIX OF VALUES DURING THE PROCESSING OF AN IMAGE
二、發明 創作人	姓 名	李 武 兵
	國 籍	韓 國
	住、居所	美國.華盛頓州 98037,林伍德,西南地第 181 棟 1420 號
三、申請人	姓 名 (名稱)	赤道科技公司
	國 籍	美 國
	住、居所 (事務所)	美國.華盛頓州 98101,西雅圖,派克街 520 號,900 套房
	代 表 人 姓 名	班哲明 F.卡特勒

裝 訂 線

經濟部智慧財產局員工消費合作社印製

## 六、申請專利範圍

1.一種影像解碼器，包含：  
 一個記憶體；以及  
 一個處理器，連接於其記憶體，並且用來將一行的中間數值儲存於其記憶體中，以充當一系列的中間數值，組合所儲存的列之中的中間數值，藉以產生一行的結果數值，以及

將其結果數值儲存於記憶體之中，以充當一系列的結果數值。

2.如申請專利範圍第 1 項之影像解碼器，其中的中間數值包含 Masaki 數值。

3.如申請專利範圍第 1 項之影像解碼器，其中：  
 記憶體包含第一和第二列的儲存位置，並且處理器用來將中間數值儲存於第一列的儲存位置中，以及將結果數值儲存於第二列的儲存位置中。

4.如申請專利範圍第 1 項之影像解碼器，其中的處理器乃是用來產生中間數值之行。

5.如申請專利範圍第 1 項之影像解碼器，其中：  
 中間數值包含一個偶數位置的偶數中間數值、一個奇數位置的偶數中間數值、一個偶數位置的奇數中間數值、和一個奇數位置的奇數中間數值；

列具有儲存位置，以及處理器用來將偶數位置的偶數中間數值與偶數位置的奇數中間數值儲存於各個相鄰接的儲存位置之中，以及

將奇數位置的偶數中間數值與奇數位置的奇數中間數

(請先閱讀背面之注意事項再填寫本頁)

訂 線

煩請委員明示 90年7月18日所提之修正本有無變更實質內容是否准予修正。

經濟部智慧財產局員工消費合作社印製

## 六、申請專利範圍

值儲存於各個相鄰接的儲存位置之中。

6.如申請專利範圍第1項之影像解碼器，其中：

中間數值包含一個偶數位置的偶數中間數值、一個奇數位置的偶數中間數值、一個偶數位置的奇數中間數值、和一個奇數位置的奇數中間數值；

列具有儲存位置，以及處理器用來將偶數位置的偶數中間數值與偶數位置的奇數中間數值儲存於第一對的相鄰接儲存位置之中，以及

將奇數位置的偶數中間數值與奇數位置的奇數中間數值儲存於第二對的相鄰接儲存位置之中，而第二對的相鄰接儲存位置則是相鄰於第一對的相鄰接儲存位置。

7.如申請專利範圍第1項之影像解碼器，其中：

中間數值包含第一偶數位置的偶數中間數值、一個奇數位置的偶數中間數值、第二偶數位置的偶數中間數值、第一偶數位置的奇數中間數值、一個奇數位置的奇數中間數值、和第二偶數位置的奇數中間數值；列具有儲存位置，以及

處理器用來將第一偶數位置的偶數中間數值與第一偶數位置的奇數中間數值儲存於第一對的相鄰接之儲存位置中，將第二偶數位置的偶數中間數值與第二偶數位置的奇數中間數值儲存於第二對的相鄰接之儲存位置中，而第二對的相鄰接儲存位置則是相鄰於第一對的相鄰接之儲存位置，以及

將奇數位置的偶數中間數值與奇數位置的奇數中間數

(請先閱讀背面之注意事項再填寫本頁)

訂  
線



## 六、申請專利範圍

值儲存於第三對的相鄰接之儲存位置中。

8.如申請專利範圍第 1 項之影像解碼器，其中的結果數值包含各個部份的逆變換數值。

9.一種影像解碼器，包含：

第一記憶體暫存器，以及

一個處理器，連接於其暫存器，並且用來組合第一行的第一中間數值與第二行的第二中間數值，藉以產生一組的結果數值；以及

將此組的結果數值儲存於第一記憶體暫存器之中。

10.如申請專利範圍第 9 項之影像解碼器，其中：

第一中間數值包含偶數的 Masaki 數值；而第二中間數值則包含奇數的 Masaki 數值。

11.如申請專利範圍第 9 項之影像解碼器，進一步地包含：

第二記憶體暫存器；並且

其中的處理器用來將第一和第二行的第一和第二中間數值儲存於第二記憶體之中。

12.如申請專利範圍第 9 項之影像解碼器，其中的處理器藉由加總第一中間數值和第二中間數值，用來組合第一行的第一中間數值與第二行的第二中間數值。

13.如申請專利範圍第 9 項之影像解碼器，其中的處理器藉由第二中間數值減去第一中間數值，用來組合第一行的第一中間數值與第二行的第二中間數值。

14.如申請專利範圍第 9 項之影像解碼器，其中的處理

(請先閱讀背面之注意事項再填寫本頁)

訂 線

## 六、申請專利範圍

器用來產生第一行的第一中間數值與第二行的第二中間數值。

15. 一種影像解碼器，包含：

第一和第二記憶體暫存器，具有各個儲存位置；以及一個處理器，連接於其暫存器，並且用來將每一組第一中間數值儲存於第一記憶體暫存器每隔一個的各個儲存位置之中，其第一中間數值組則是相應於一組初始數值，

將每一組第二中間數值儲存於第一記憶體暫存器所剩餘的儲存位置之中，其第二中間數值組則是相應於該組初始數值，組合佔居各個相鄰的儲存位置之每個第一中間數值與第二中間數值，藉以產生各個的結果數值；以及

將每個所產生的結果數值儲存於第二記憶體暫存器的各個儲存位置之中。

16. 如申請專利範圍第 15 項之影像解碼器，其中：

第一中間數值包含偶數的 Masaki 數值；而第二中間數值則包含奇數的 Masaki 數值。

17. 如申請專利範圍第 15 項之影像解碼器，其中的初始數值組包含離散餘弦變換係數的區塊。

18. 如申請專利範圍第 15 項之影像解碼器，其中：

第一中間數值組相應於初始數值組的第一子組；而第二中間數值組則相應於初始數值組的第二子組。

19. 如申請專利範圍第 15 項之影像解碼器，其中：

初始數值組包含離散餘弦變換係數之列；

每個第一中間數值皆是相應於佔居各列的偶數位置之

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

離散餘弦變換係數；以及

每個第二中間數值皆是相應於佔居各列的奇數位置之離散餘弦變換係數。

20.如申請專利範圍第 15 項之影像解碼器，其中：

初始數值組包含離散餘弦變換係數之列，每列皆具有各個的偶數和奇數位置；

處理器從佔居各列的偶數位置之離散餘弦變換係數，用來產生每個第一中間數值；以及

處理器從佔居各列的奇數位置之離散餘弦變換係數，用來產生每個第二中間數值。

21.如申請專利範圍第 15 項之影像解碼器，其中的處理器藉由加總佔居各個相鄰儲存位置的每個第一中間數值和第二中間數值，用來組合每個第一中間數值與第二中間數值。

22.如申請專利範圍第 15 項之影像解碼器，其中的處理器藉由佔居各個相鄰儲存位置的每個第二中間數值減去第一中間數值，用來組合每個第一中間數值與第二中間數值。

23.如申請專利範圍第 15 項之影像解碼器，其中的處理器用來：

藉由分別將第一中間數值的第一數值和第二數值儲存於第一記憶體暫存器的第一和第三儲存位置之中，來儲存每組第一中間數值組；

藉由分別將第二中間數值的第一數值和第二數值儲存

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

於第一記憶體暫存器的第二和第四儲存位置之中，來儲存每組第二中間數值組；

藉由分別組合第一中間數值的第一數值和第二數值以及第二中間數值的第一數值和第二數值，來組合每個第一中間數值與第二中間數值，以產生各個的第一和第二結果數值；以及

藉由分別將所產生的第一和第二結果數值儲存於第二記憶體暫存器第一和第二位置之中，來儲存所產生的每個結果數值。

24.如申請專利範圍第 15 項之影像解碼器，其中的處理器用來：

藉由分別將第一中間數值的第一數值和第三數值儲存於第一記憶體暫存器的第一和第三儲存位置之中，來儲存每組第一中間數值組；

藉由分別將第二中間數值的第一數值和第三數值儲存於第一記憶體暫存器的第二和第四儲存位置之中，來儲存每組第二中間數值組；

藉由分別組合第一中間數值的第一數值和第三數值以及第二中間數值的第一數值和第三數值，來組合每個第一中間數值與第二中間數值，以產生各個的第一和第二結果數值；以及

藉由分別將所產生的第一和第二結果數值儲存於第二記憶體暫存器第一和第二位置之中，來儲存所產生的每個結果數值。

(請先閱讀背面之注意事項再填寫本頁)

訂 線

## 六、申請專利範圍

25.一種影像解碼器，包含：

一個處理器，用來：

接收映像點數值，每個映像點數值皆佔居映像點數值原來的列中之各個位置，

將佔居列每隔一個的位置之映像點數值儲存於一個暫存器的第一連續區段中，以及

將佔居列所剩餘的位置之映像點數值儲存於其暫存器的第二連續區段中。

26.如申請專利範圍第 25 項之影像解碼器，其中：

每隔一個的列位置包含其列中的偶數位置；而所剩餘的位置則包含其列中的奇數位置。

27.如申請專利範圍第 25 項之影像解碼器，其中的映像點數值每個皆包含各個已經完成編碼的映像點數值。

28.如申請專利範圍第 25 項之影像解碼器，其中的映像點數值每個皆包含各個離散餘弦變換之係數。

29.如申請專利範圍第 25 項之影像解碼器，其中的處理器進一步地用來接收映像點的區塊，其區塊則包含映像點數值之列，而映像點數值則是以之字形的形式排列。

30.一種方法，包含：

儲存一行的中間數值，以充當一列的中間數值；

藉由組合所儲存之列內的中間數值，產生一行的結果數值；以及

儲存其結果數值，以充當一列的結果數值。

31.如申請專利範圍第 30 項之方法，其中的中間數值

## 六、申請專利範圍

包含 Masaki 數值。

32.如申請專利範圍第 30 項之方法，其中：

儲存其中間數值行包含將其中間數值儲存於一系列的儲存位置之中；以及儲存其結果數值包含將其結果數值儲存於另一列的儲存位置之中。

33.如申請專利範圍第 30 項之方法，進一步地包含產生其中間數值行。

34.如申請專利範圍第 30 項之方法，其中：

中間數值包含一個偶數位置的偶數中間數值、一個奇數位置的偶數中間數值、一個偶數位置的奇數中間數值、和一個奇數位置的奇數中間數值；以及

儲存其中間數值行，包含

將偶數位置的偶數中間數值與偶數位置的奇數中間數值儲存於一系列各個相鄰接的儲存位置之中，以及

將奇數位置的偶數中間數值與奇數位置的奇數中間數值儲存於一系列各個相鄰接的儲存位置之中。

35.如申請專利範圍第 30 項之方法，其中：

中間數值包含一個偶數位置的偶數中間數值、一個奇數位置的偶數中間數值、一個偶數位置的奇數中間數值、和一個奇數位置的奇數中間數值；以及

儲存其中間數值行，包含

將偶數位置的偶數中間數值與偶數位置的奇數中間數值儲存於第一對的相鄰接之儲存位置中，以及

將奇數位置的偶數中間數值與奇數位置的奇數中間數

(請先閱讀背面之注意事項再填寫本頁)

訂 線

## 六、申請專利範圍

值儲存於第二對的相鄰接之儲存位置中，而第二對的相鄰接之位置則是相鄰於第一對的相鄰接之位置。

36.如申請專利範圍第 30 項之方法，其中：

中間數值包含第一偶數位置的偶數中間數值、一個奇數位置的偶數中間數值、第二偶數位置的偶數中間數值、第一偶數位置的奇數中間數值、一個奇數位置的奇數中間數值、和第二偶數位置的奇數中間數值；以及

儲存其中間數值行，包含

將第一偶數位置的偶數中間數值與第一偶數位置的奇數中間數值儲存於第一對的相鄰接之儲存位置中，

將第二偶數位置的偶數中間數值與第二偶數位置的奇數中間數值儲存於第二對的相鄰接之儲存位置中，而第二對的相鄰接之儲存位置則是相鄰於第一對的相鄰接之儲存位置，以及將奇數位置的偶數中間數值與奇數位置的奇數中間數值儲存於第三對的相鄰接之儲存位置中。

37.一種方法，包含：

組合第一行的第一中間數值與第二行的第二中間數值，用以產生一組結果數值；以及

將其結果數值組儲存於第一記憶體暫存器之中。

38.如申請專利範圍第 37 項之方法，其中：

第一中間數值包含偶數的 Masaki 數值；而第二中間數值則包含奇數的 Masaki 數值。

39.如申請專利範圍第 37 項之方法，進一步地包含將第一和第二中間數值的第一和第二行儲存於第二記憶體暫

(請先閱讀背面之注意事項再填寫本頁)

訂 線

## 六、申請專利範圍

存器之中。

40.如申請專利範圍第 37 項之方法，其中的組合行為包含加總第一中間數值與第二中間數值。

41.如申請專利範圍第 37 項之方法，其中的組合行為包含第二中間數值減去第一中間數值。

42.如申請專利範圍第 37 項之方法，進一步地包含：  
產生第一中間數值的第一行；以及  
產生第二中間數值的第二行。

43.一種方法，包含：

將每一組第一中間數值儲存於第一記憶體暫存器每隔一個的各儲存位置之中，其第一中間數值組則是相應於一組初始數值；

將每一組第二中間數值儲存於第一記憶體暫存器所剩餘的儲存位置之中，其第二中間數值組則是相應於該組初始數值，

藉由組合每個第一中間數值與佔居第一記憶體暫存器各個相鄰儲存位置的第二中間數值，來產生各個結果數值；以及

將每個所產生的結果數值儲存於第二記憶體暫存器的各個儲存位置之中。

44.如申請專利範圍第 43 項之方法，其中：  
第一中間數值包含偶數的 Masaki 數值；而  
第二中間數值則包含奇數的 Masaki 數值。

45.如申請專利範圍第 43 項之方法，其中的初始數值

(請先閱讀背面之注意事項再填寫本頁)

訂  
線



## 六、申請專利範圍

組包含離散餘弦變換係數的區塊。

46.如申請專利範圍第 43 項之方法，其中：

第一中間數值組相應於初始數值組的第一子組；而  
第二中間數值組則相應於初始數值組的第二子組。

47.如申請專利範圍第 43 項之方法，其中：

初始數值組包含離散餘弦變換係數之列；

每個第一中間數值皆是相應於佔居各列的偶數位置之  
離散餘弦變換係數；以及

每個第二中間數值皆是相應於佔居各列的奇數位置之  
離散餘弦變換係數。

48.如申請專利範圍第 43 項之方法，進一步地包含：

其中的初始數值組包含離散餘弦變換係數之列，每一  
列皆具有各個偶數和奇數的位置；

從佔居各列的偶數位置之離散餘弦變換係數，產生每  
個第一中間數值；以及

從佔居各列的奇數位置之離散餘弦變換係數，產生每  
個第二中間數值。

49.如申請專利範圍第 43 項之方法，其中的產生行為  
包含加總第一中間數值與佔居第一記憶體暫存器各個相鄰  
儲存位置的第二中間數值。

50.如申請專利範圍第 43 項之方法，其中的產生行為  
包含佔居第一記憶體暫存器各個相鄰儲存位置的第二中間  
數值減去第一中間數值。

51.如申請專利範圍第 43 項之方法，其中：

## 六、申請專利範圍

儲存第一中間數值包含分別將第一中間數值的第一數值和第二數值儲存於第一記憶體暫存器的第一和第三儲存位置之中；

儲存第二中間數值包含分別將第二中間數值的第一數值和第二數值儲存於第一記憶體暫存器的第二和第四儲存位置之中；

產生行為包含分別組合第一中間數值的第一數值和第二數值以及第二中間數值的第一數值和第二數值，來產生各個第一和第二結果數值；以及

儲存其結果數值包含分別將所產生的第一和第二結果數值儲存於第二記憶體暫存器的第一和第二位置之中。

52.如申請專利範圍第43項之方法，其中：

儲存第一中間數值包含分別將第一中間數值的第一數值和第三數值儲存於第一記憶體暫存器的第一和第三儲存位置之中；

儲存第二中間數值包含分別將第二中間數值的第一數值和第三數值儲存於第一記憶體暫存器的第二和第四儲存位置之中；

產生行為包含分別組合第一中間數值的第一數值和第三數值以及第二中間數值的第一數值和第三數值，來產生各個第一和第二結果數值；以及

儲存其結果數值包含分別將所產生的第一和第二結果數值儲存於第二記憶體暫存器的第一和第二位置之中。

53.一種方法，包含：

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

將佔居映像點數值列每隔一個的位置之映像點數值儲存於一個暫存器的第一連續區段之中，以及

將佔居其列所剩餘的位置之映像點數值儲存於其暫存器的第二連續區段中。

54.如申請專利範圍第 53 項之方法，其中：

每隔一個的列位置包含其列內的偶數位置；而所剩餘的位置則包含其列內的奇數位置。

55.如申請專利範圍第 53 項之方法，其中的映像點數值每一個皆包含各個已經完成編碼的映像點數值。

56.如申請專利範圍第 53 項之方法，其中的映像點數值每一個皆包含各個的離散餘弦變換之係數。

57.如申請專利範圍第 53 項之方法，進一步地包含從映像點數值的之字形編碼區塊中，取出映像點數值列。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

90.7月18日 修正補充

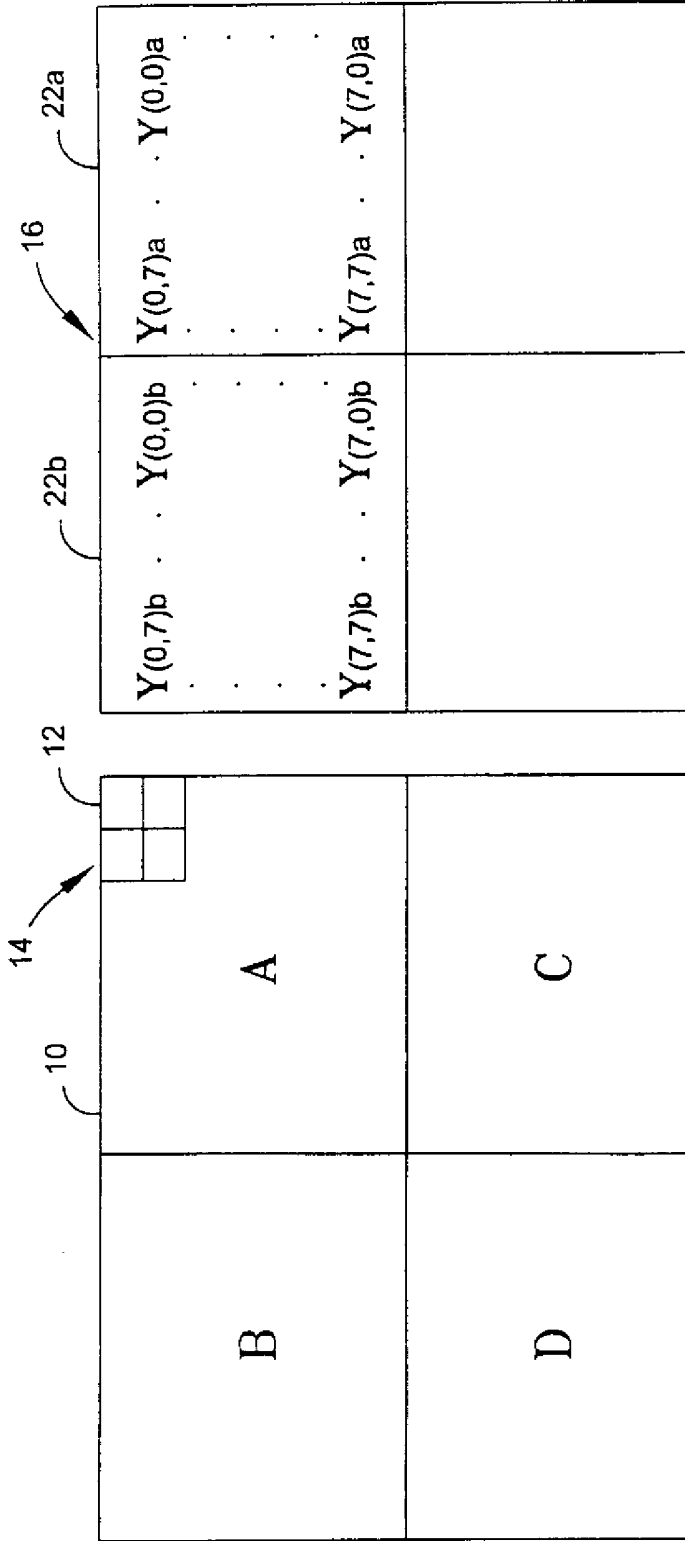


圖 1A  
(習知技術)

圖 1B  
(習知技術)

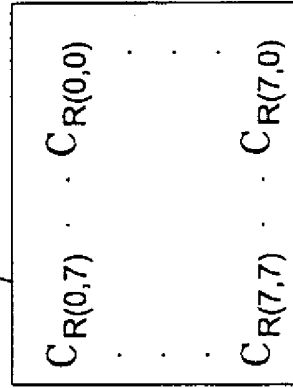
數值

20

22d

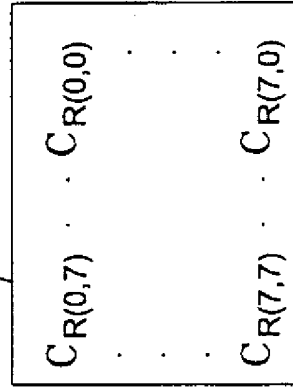
18

22c



$C_B$  數值

圖 1C  
(習知技術)



$C_R$  數值

圖 1D  
(習知技術)

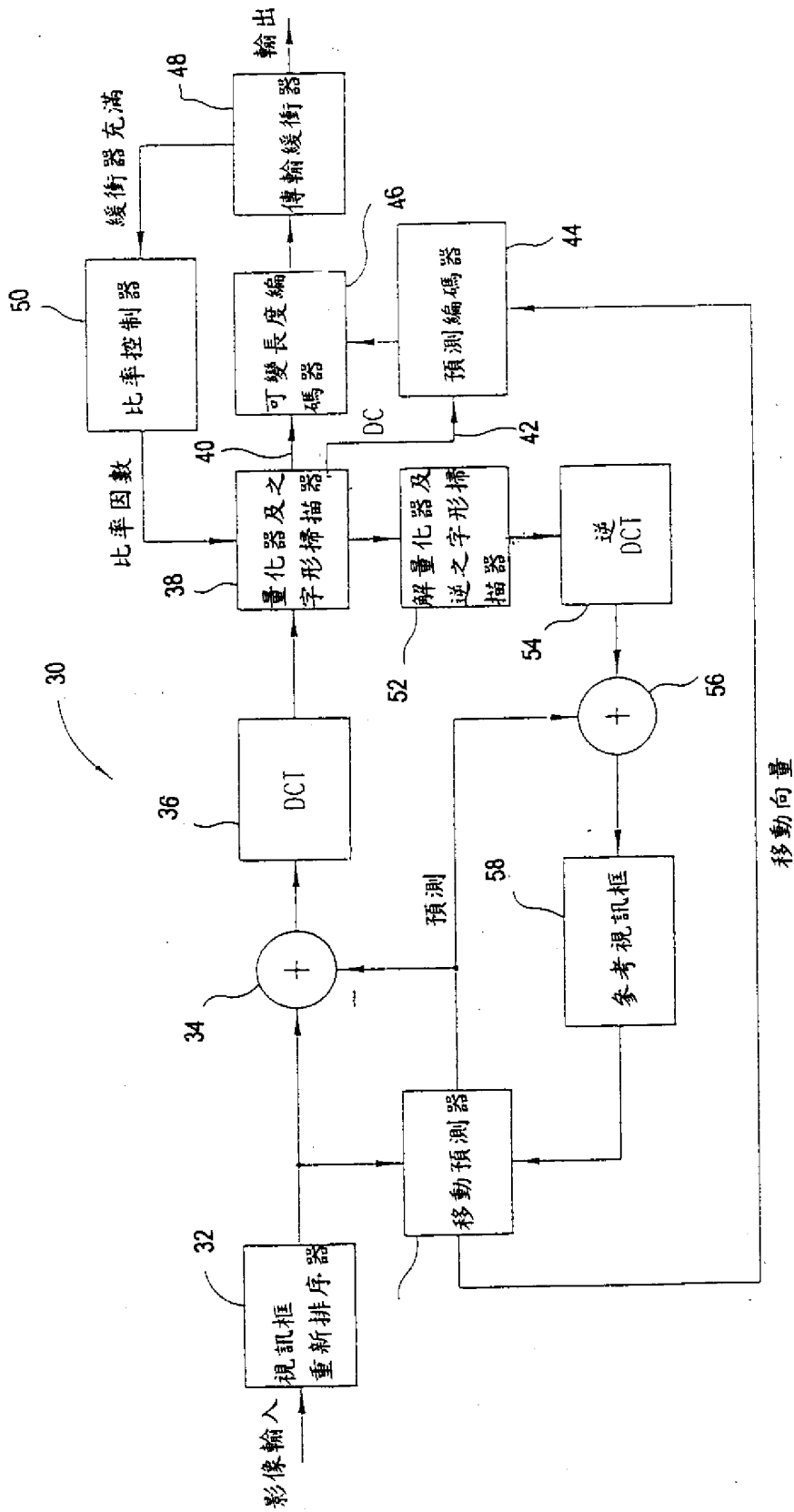


圖2  
(習知技術)

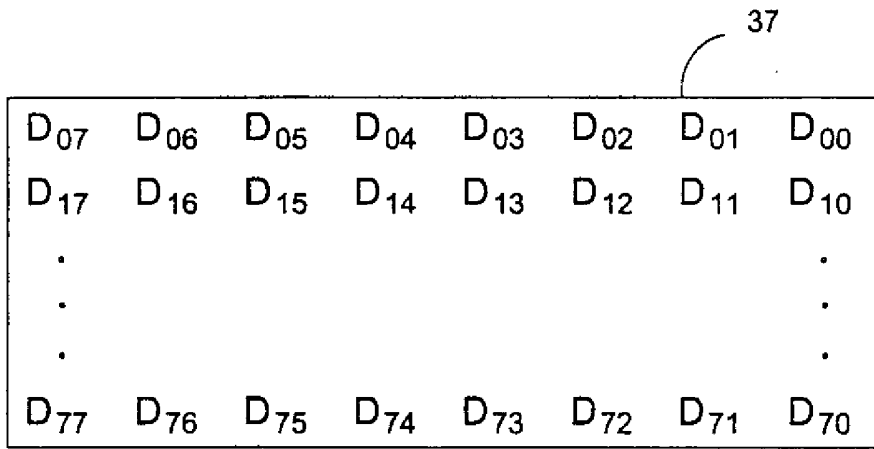


圖 3

(習知技術)

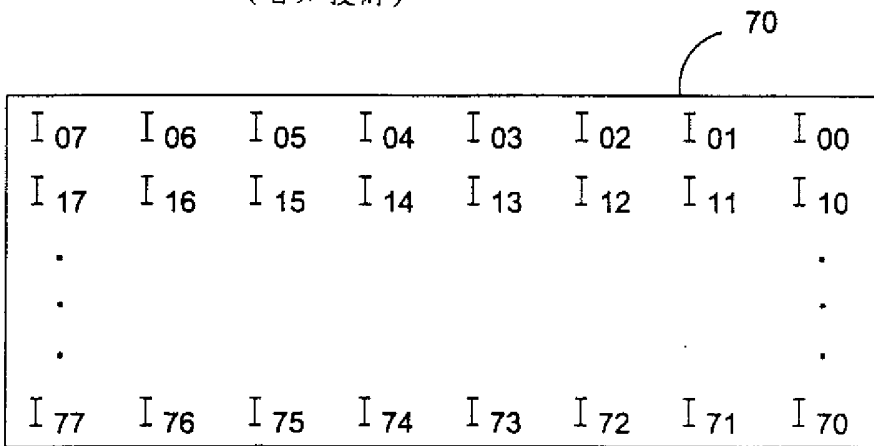


圖 6

(習知技術)

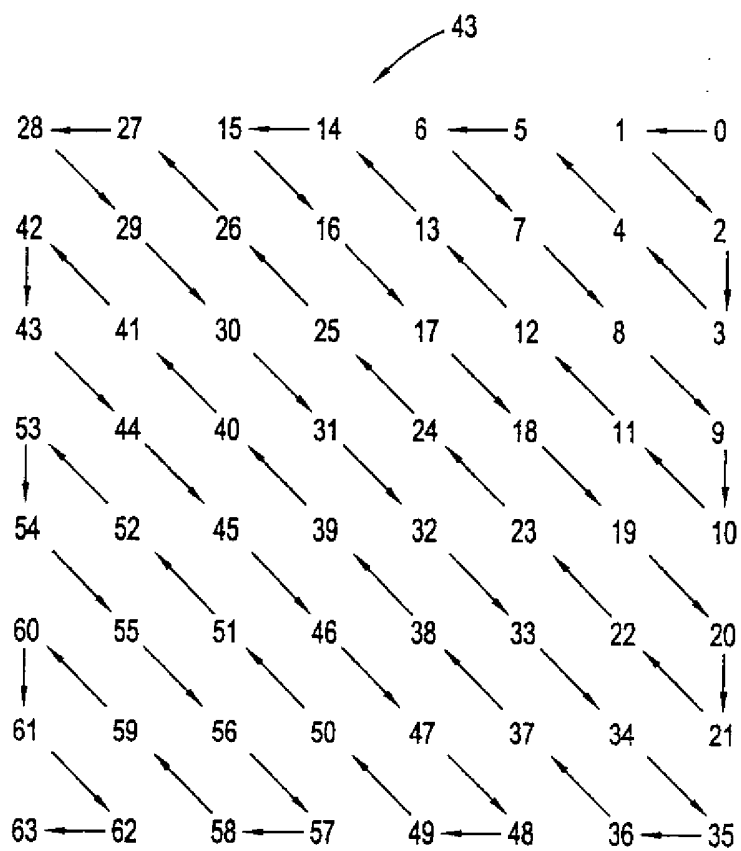


圖 4

(習知技術)

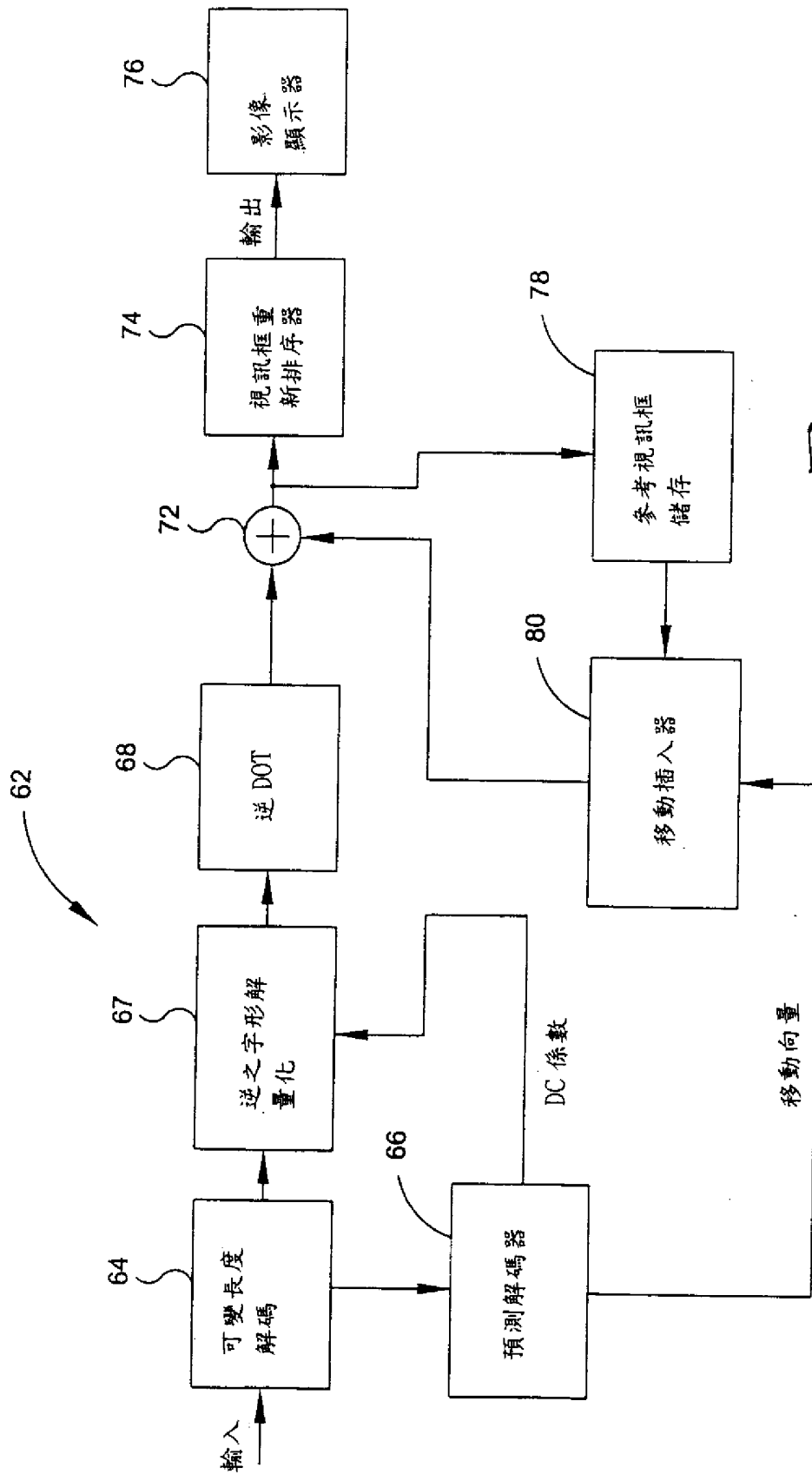


圖5  
(習知技術)



82

I'04	I'05	I'06	I'07	I'03	I'02	I'01	I'00
I'14	I'15	I'16	I'17	I'13	I'12	I'11	I'10
.	.	.	.	.	.	.	.
I'74	I'75	I'76	I'77	I'73	I'72	I'71	I'70

圖 7 (習知技術)

84

I'07	I'06	I'05	I'04	I'03	I'02	I'01	I'00
I'17	I'16	I'15	I'14	I'13	I'12	I'11	I'10
.	.	.	.	.	.	.	.
I'77	I'76	I'75	I'74	I'73	I'72	I'71	I'70

圖 8 (習知技術)

86

I'70	I'60	I'50	I'40	I'30	I'20	I'10	I'00
I'71	I'61	I'51	I'41	I'31	I'21	I'11	I'01
.	.	.	.	.	.	.	.
I'77	I'67	I'57	I'47	I'37	I'27	I'17	I'07

圖 9 (習知技術)

88

I'70	I'50	I'30	I'10	I'60	I'40	I'20	I'00
I'71	I'51	I'31	I'11	I'61	I'41	I'21	I'01
.	.	.	.	.	.	.	.
I'77	I'57	I'37	I'17	I'67	I'47	I'27	I'07

圖 10 (習知技術)

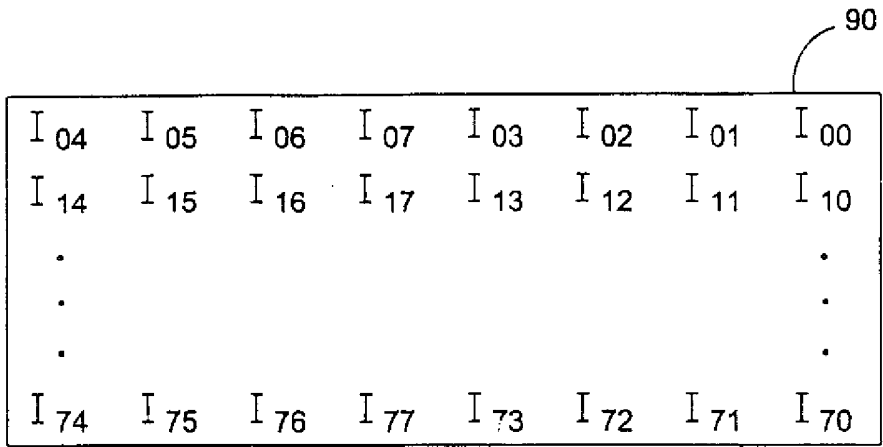


圖 11  
(習知技術)

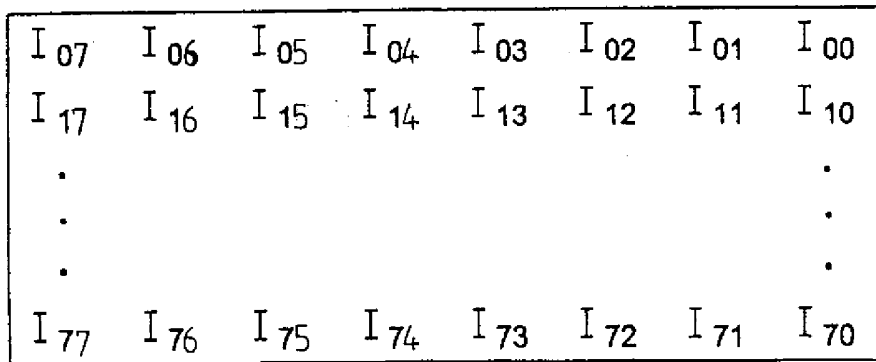


圖 12  
(習知技術)

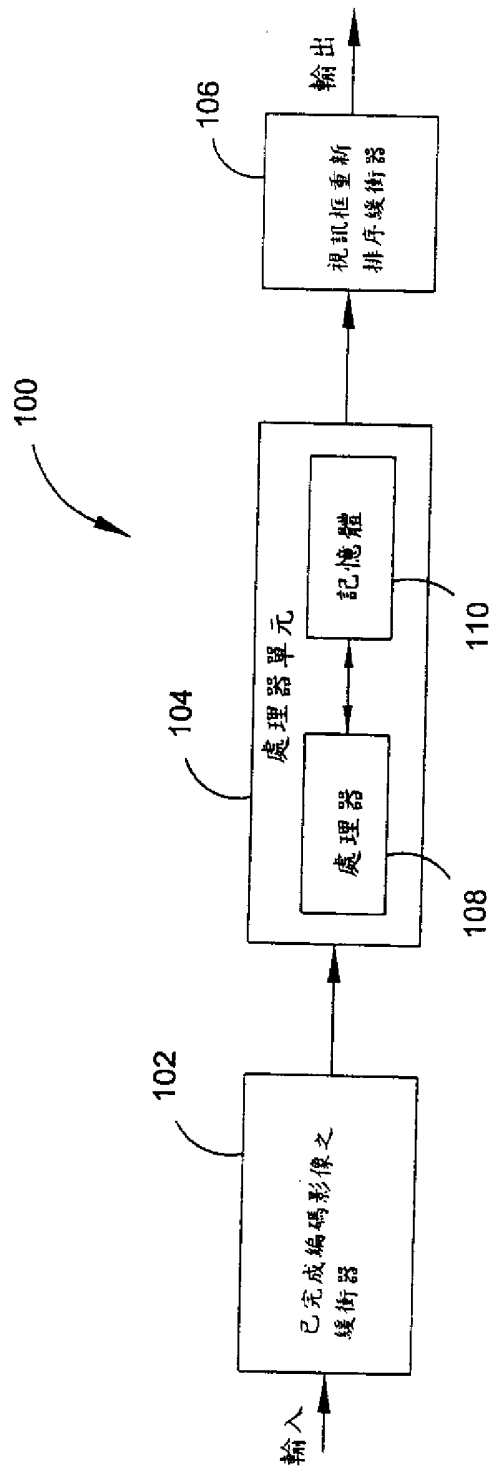


圖13

112

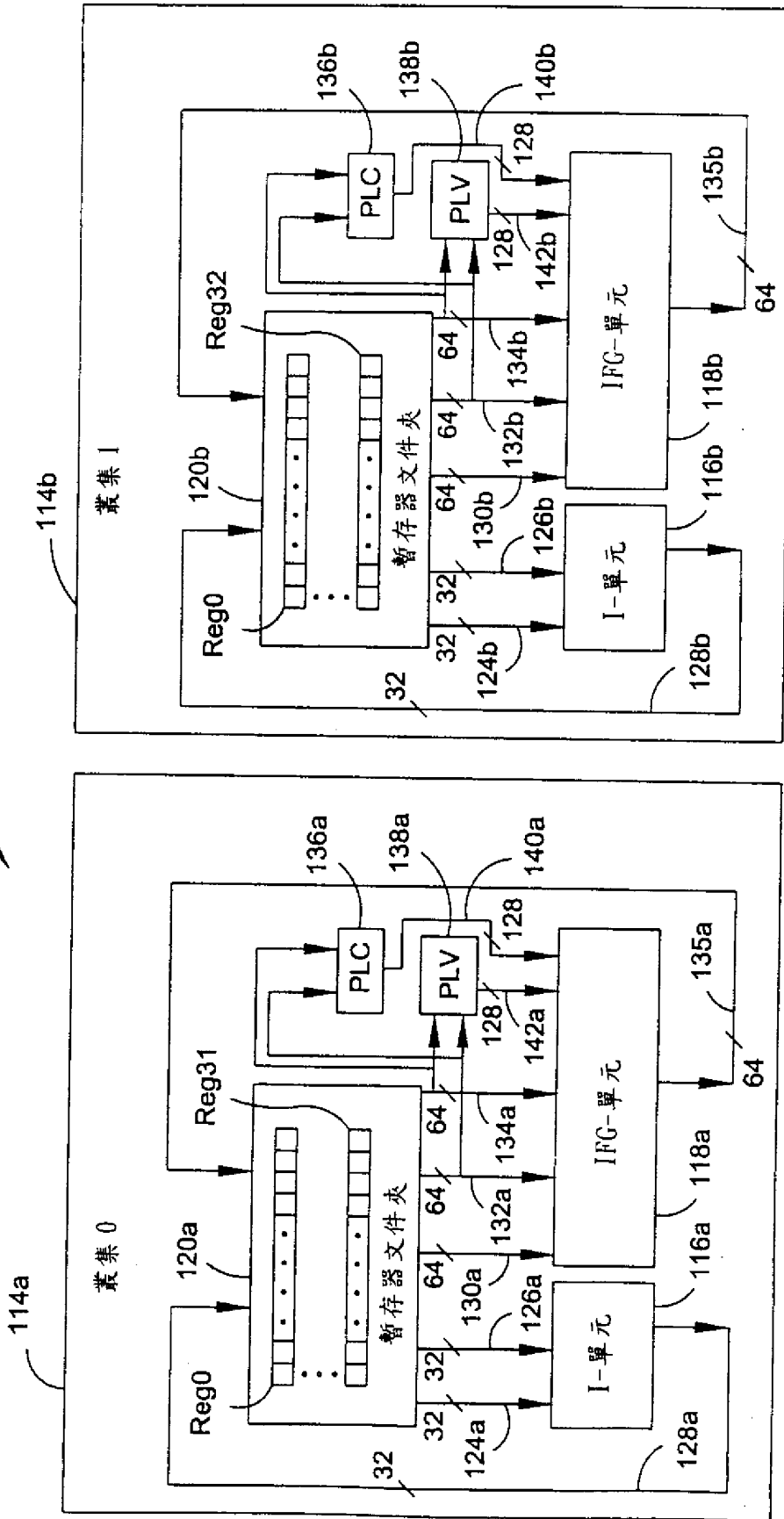


圖 14

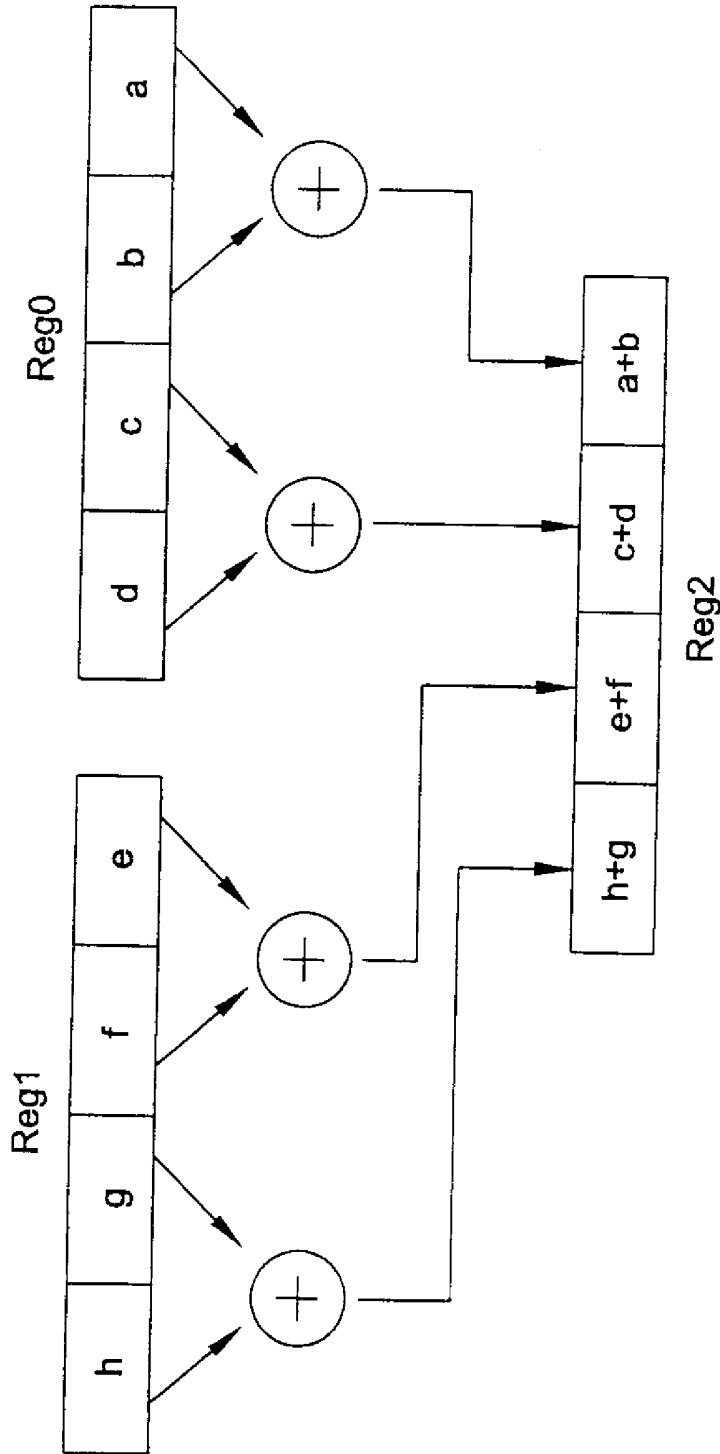


圖 15A

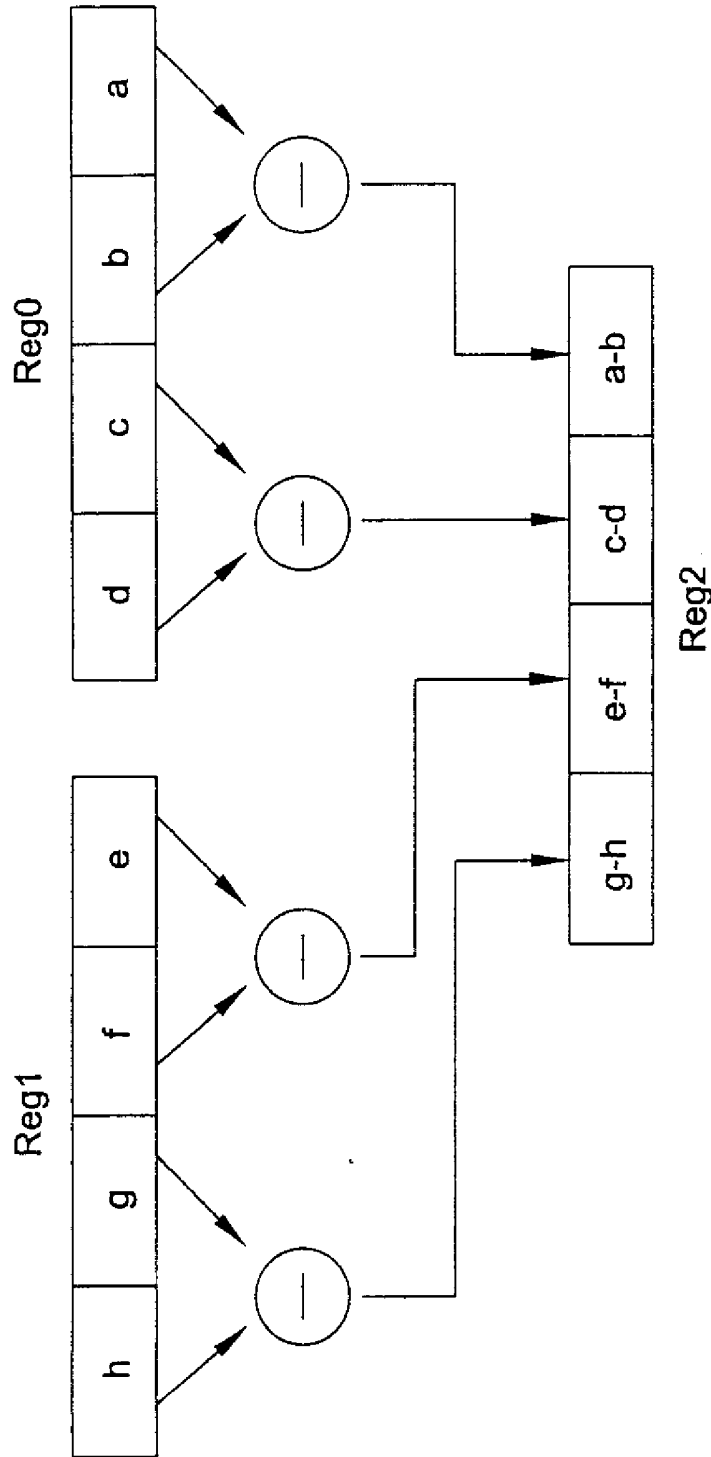


圖 15 B

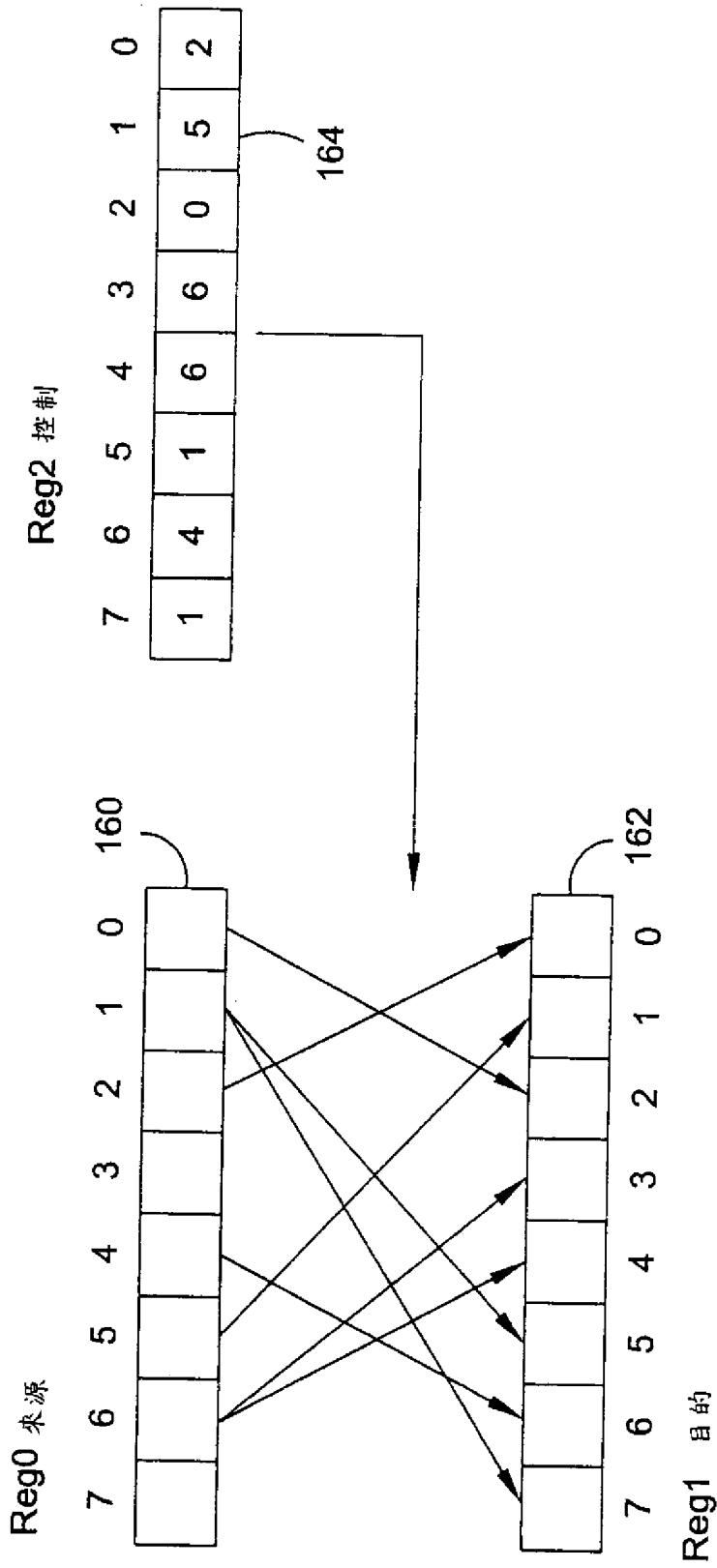


圖 16



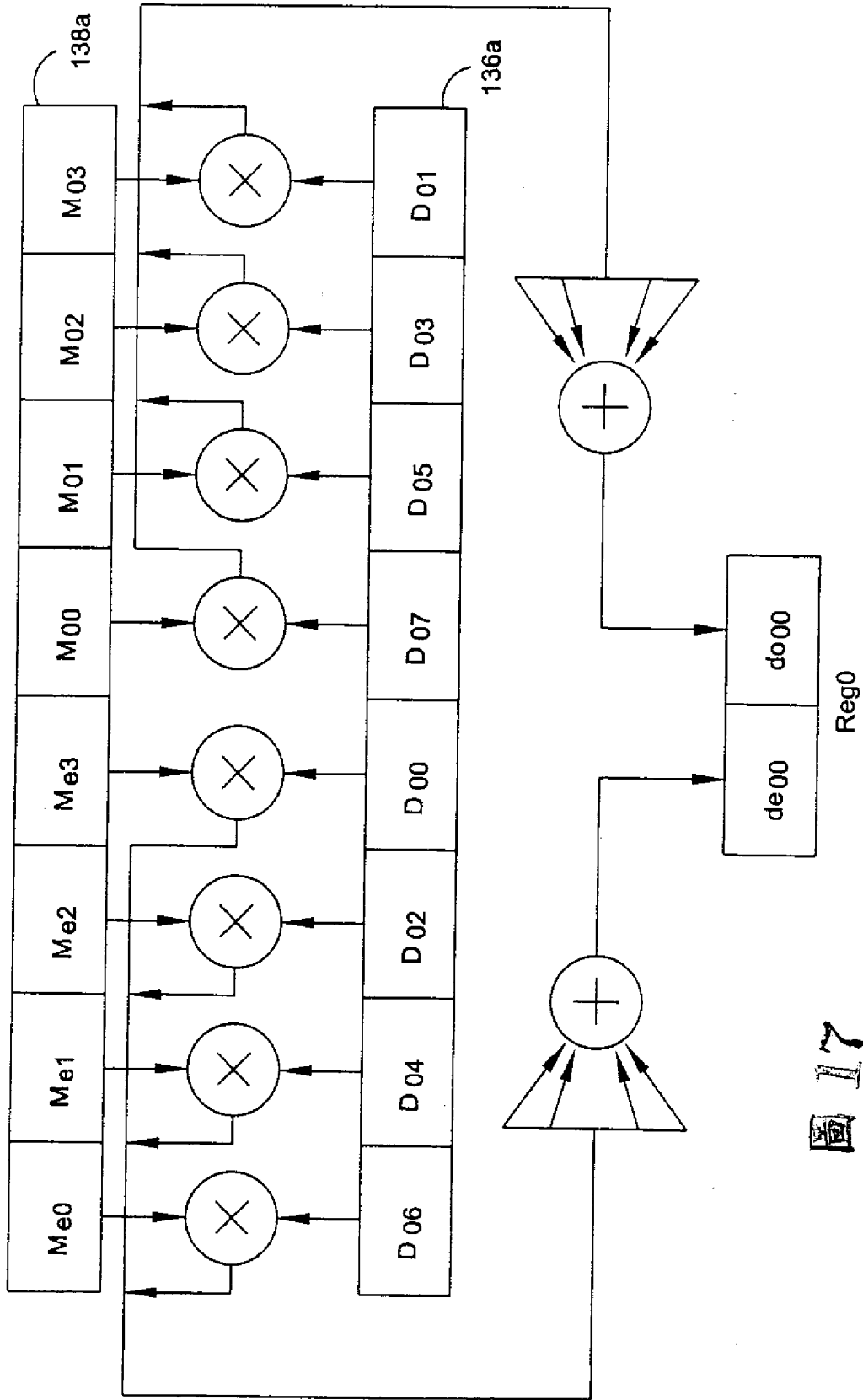
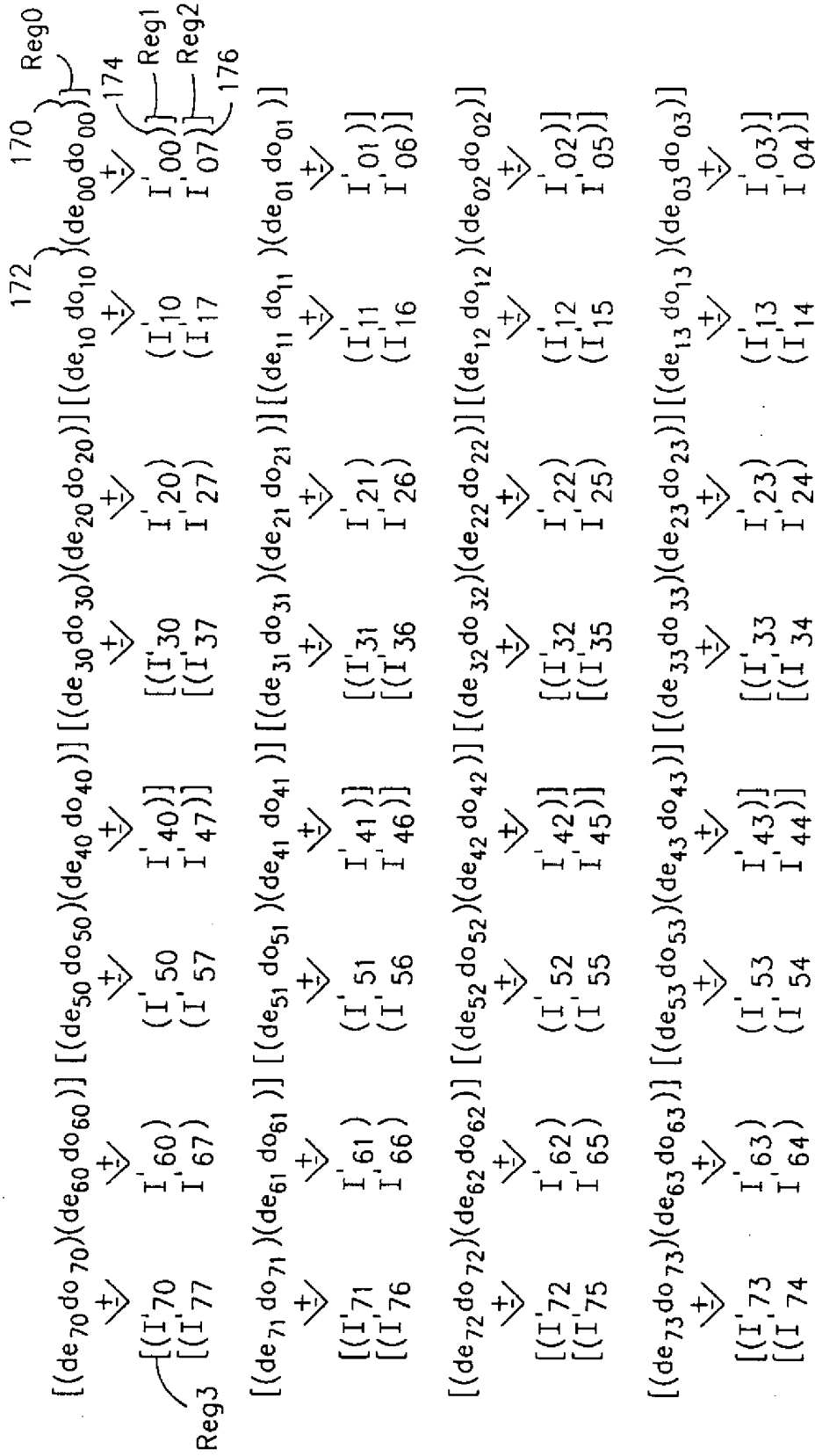


圖 17



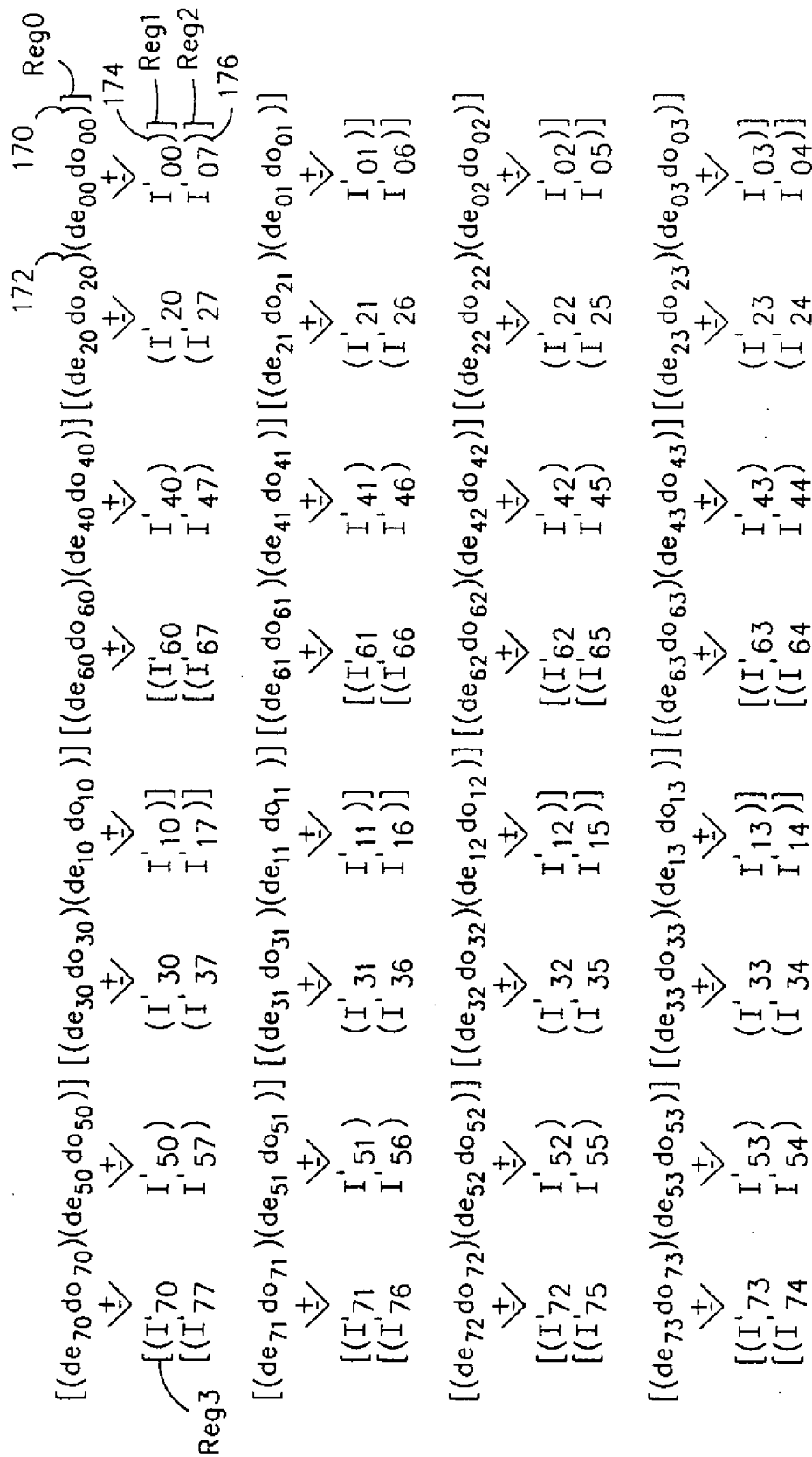


圖 19