

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5042663号  
(P5042663)

(45) 発行日 平成24年10月3日(2012.10.3)

(24) 登録日 平成24年7月20日(2012.7.20)

(51) Int.Cl.		F I			
<b>H03H</b>	<b>9/54</b>	<b>(2006.01)</b>	H03H	9/54	Z
<b>H03H</b>	<b>9/17</b>	<b>(2006.01)</b>	H03H	9/17	F
<b>H03H</b>	<b>9/64</b>	<b>(2006.01)</b>	H03H	9/64	Z

請求項の数 3 (全 11 頁)

(21) 出願番号	特願2007-41167 (P2007-41167)	(73) 特許権者	000004064
(22) 出願日	平成19年2月21日(2007.2.21)		日本碍子株式会社
(65) 公開番号	特開2008-205947 (P2008-205947A)		愛知県名古屋市瑞穂区須田町2番56号
(43) 公開日	平成20年9月4日(2008.9.4)	(74) 代理人	100088672
審査請求日	平成21年11月19日(2009.11.19)		弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	水野 和幸
			愛知県名古屋市瑞穂区須田町2番56号
			日本碍子株式会社内
		(72) 発明者	鈴木 健司
			愛知県名古屋市瑞穂区須田町2番56号
			日本碍子株式会社内
		審査官	畑中 博幸

最終頁に続く

(54) 【発明の名称】 ラダー型圧電フィルタ

(57) 【特許請求の範囲】

【請求項1】

並列共振子を含む並列腕と、  
直列共振子を含む直列腕と、  
を備え、  
全部又は一部の前記並列腕において、  
前記並列共振子の各々ごとに前記並列共振子の各々に対応する素子網が設けられ、前記素子網が対応する前記並列共振子に直列接続され、

前記素子網は、

直列接続された前記並列共振子の共振周波数において誘導性となり、高周波数側の阻止帯域内における新たな前記並列共振子及び前記素子網の直列共振点の形成に寄与する容量性素子を含むラダー型圧電フィルタ。

【請求項2】

前記素子網は、インダクタとキャパシタとを組み合わせる構成される請求項1に記載のラダー型圧電フィルタ。

【請求項3】

前記キャパシタの寄与により形成された新たな直列共振点異なる複数の前記素子網を備える請求項1又は請求項2に記載のラダー型圧電フィルタ。

【発明の詳細な説明】

【技術分野】

## 【 0 0 0 1 】

本発明は、ラダー型圧電フィルタに関する。

## 【 背景技術 】

## 【 0 0 0 2 】

図 1 3 は、従来のラダー型圧電フィルタ 8 の回路図である。図 1 3 に示すように、ラダー型圧電フィルタ 8 は、並列腕 8 1 , 8 3 , 8 5 と直列腕 8 2 , 8 4 とを交互に接続して構成される。並列腕 8 1 , 8 3 , 8 5 は、それぞれ、並列共振子 8 1 1 , 8 3 1 , 8 5 1 から構成され、直列腕 8 2 , 8 4 は、それぞれ、直列共振子 8 2 1 , 8 4 1 から構成される。ラダー型圧電フィルタ 8 では、並列共振子 8 1 1 , 8 3 1 , 8 5 1 の反共振周波数と直列共振子 8 2 1 , 8 4 1 の共振周波数とを略一致させることにより、バンドパス特性を得ている。

10

## 【 0 0 0 3 】

しかし、ラダー型圧電フィルタ 8 の通過帯域幅は、並列共振子 8 1 1 , 8 3 1 , 8 5 1 及び直列共振子 8 2 1 , 8 4 1 の共振周波数と反共振周波数との差すなわち並列共振子 8 1 1 , 8 3 1 , 8 5 1 及び直列共振子 8 2 1 , 8 4 1 に使用する圧電体の電気機械結合係数によって決まってしまう。このため、ラダー型圧電フィルタ 8 では、所望の通過帯域幅を確保することが困難な場合がある。また、ラダー型圧電フィルタ 8 では、低周波数側および高周波数側の阻止帯域における減衰を十分に確保できない場合がある。

## 【 0 0 0 4 】

これらの問題を解決するため、図 1 4 の回路図に示すラダー型圧電フィルタ 9 も従来から用いられている（例えば、特許文献 1 参照）。ラダー型圧電フィルタ 9 は、並列腕 9 1 , 9 3 , 9 5 と直列腕 9 2 , 9 4 とを交互に接続して構成される。並列腕 9 1 , 9 3 , 9 5 は、それぞれ、並列共振子 9 1 1 , 9 3 1 , 9 5 1 とインダクタ 9 1 2 , 9 3 2 , 9 5 2 とを直列接続して構成され、直列腕 9 2 , 9 4 は、それぞれ、直列共振子 9 2 1 , 9 4 1 から構成される。インダクタ 9 1 2 , 9 3 2 , 9 5 2 は、それぞれ、並列共振子 9 1 1 , 9 3 1 , 9 5 1 の共振周波数を低下させることにより、ラダー型圧電フィルタ 9 の通過帯域幅を広げる役割を果たしている。また、ラダー型圧電フィルタ 9 では、インダクタ 9 1 2 , 9 3 2 及び 9 5 2 のインダクタンスを調整して並列共振子 9 1 1 , 9 3 1 , 9 5 1 の共振周波数を少しずつ異ならせることにより、低周波数側の阻止帯域における減衰を増やすことができる。

20

30

## 【 0 0 0 5 】

【特許文献 1】特開 2 0 0 1 - 2 4 4 7 6 号公報

## 【 発明の開示 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 6 】

しかし、並列共振子とインダクタとを直列接続して構成される並列腕を備えるラダー型圧電フィルタでは、高周波数側の阻止帯域において減衰を十分に確保できないという問題がある。

## 【 0 0 0 7 】

本発明は、この問題を解決するためになされたもので、ラダー型圧電フィルタにおいて、通過帯域幅を広げつつ、低周波数側及び高周波数側の阻止帯域における減衰を増やすことを目的とする。

40

## 【 課題を解決するための手段 】

## 【 0 0 0 8 】

上記課題を解決するため、請求項 1 の発明は、並列共振子を含む並列腕と、直列共振子を含む直列腕とを備え、全部又は一部の前記並列腕において、前記並列共振子の各々ごとに前記並列共振子の各々に対応する素子網が設けられ、前記素子網が対応する前記並列共振子に直列接続され、前記素子網は、直列接続された前記並列共振子の共振周波数において誘導性となり、高周波数側の阻止帯域内における新たな前記並列共振子及び前記素子網の直列共振点の形成に寄与する容量性素子を含むラダー型圧電フィルタである。

50

## 【 0 0 0 9 】

請求項 2 の発明は、前記素子網は、インダクタとキャパシタとを組み合わせる構成される請求項 1 に記載のラダー型圧電フィルタである。

## 【 0 0 1 0 】

請求項 3 の発明は、前記キャパシタの寄与により形成された新たな直列共振点が異なる複数の前記素子網を備える請求項 1 又は請求項 2 に記載のラダー型圧電フィルタである。

## 【発明の効果】

## 【 0 0 1 1 】

本発明によれば、ラダー型圧電フィルタにおいて、通過帯域幅を広げつつ、低周波数側及び高周波数側の阻止帯域における減衰を増やすことができる。

10

## 【 0 0 1 2 】

請求項 3 の発明によれば、広い周波数にわたって減衰を増やすことができる。

## 【発明を実施するための最良の形態】

## 【 0 0 1 3 】

{ラダー型圧電フィルタの電気的な構成}

以下では、5個の圧電薄膜共振子 (F B A R ; Film Bulk Acoustic Resonator) を組み合わせたバルク弾性波 (B A W ; Bulk Acoustic Wave) フィルタを例として、本発明の望ましい実施形態に係るラダー型圧電フィルタについて説明する。ただし、バルク弾性波フィルタを構成する圧電薄膜共振子の数は、5個に限られず、4個以下又は6個以上であってもよい。また、バルク弾性波フィルタには、表面弾性波 (S A W ; Surface Acoustic Wave) フィルタよりも、減衰特性が急峻で、耐電力が高く、小型に構成することができるという利点があるが、このことは、本発明を表面弾性波フィルタに適用することを妨げるものではない。

20

## 【 0 0 1 4 】

図 1 は、本発明の望ましい実施形態に係るラダー型圧電フィルタ 1 の回路図である。

## 【 0 0 1 5 】

図 1 に示すように、ラダー型圧電フィルタ 1 は、信号ライン 17 と接地ライン 18 とを架する並列腕 11, 13, 15 と、信号ライン 17 に挿入される直列腕 12, 14 とを交互に接続して構成される。並列腕 11, 13, 15 は、それぞれ、並列共振子 111, 131, 151 と LC 素子網 112, 132, 152 とを直列接続して構成され、直列腕 12, 14 は、それぞれ、直列共振子 121, 141 から構成される。なお、図 1 に示すように並列腕 11, 13, 15 の全部に LC 素子網を設けることは必須ではなく、並列腕 11, 13, 15 の一部のみ LC 素子網を設けるようにしてもよい。また、直列腕 12, 14 を、それぞれ、直列共振子 121, 141 のみで構成することは必須ではなく、直列共振子 121, 141 とインダクタ等とを直列接続して構成してもよい。

30

## 【 0 0 1 6 】

一般的に言って、ラダー型圧電フィルタには、奇数個の共振子を含み直列腕から始まって直列腕に終わる T 型と、奇数個の共振子を含み並列腕から始まって並列腕に終わる 型とがあるが、ラダー型圧電フィルタ 1 では 型が採用されている。ラダー型圧電フィルタ 1 で 型を採用したのは、T 型よりも 型の方が並列腕の数を増やすことができるので、低周波数側および高周波数側の阻止帯域における減衰を効果的に増やすことができるからである。ただし、T 型のラダー型圧電フィルタにも本発明を適用することは可能である。また、偶数個の共振子を含み直列腕から始まって並列腕に終わるラダー型圧電フィルタ又は偶数個の共振子を含み並列腕から始まって直列腕に終わるラダー型圧電フィルタにも本発明を適用することは可能である。

40

## 【 0 0 1 7 】

LC 素子網 112, 132, 152 は、それぞれ、直列接続された並列共振子 111, 131, 151 の共振周波数付近において誘導性となるように構成されている。これにより、LC 素子網 112, 132, 152 は、従来のラダー型圧電フィルタ 9 におけるインダクタ 912, 932, 952 と同様に、並列共振子 111, 131, 151 の共振周波

50

数を低下させることにより、ラダー型圧電フィルタ 1 の通過帯域幅を広げる役割を果たしている。また、ラダー型圧電フィルタ 1 でも、直列接続された並列共振子 1 1 1 , 1 3 1 , 1 5 1 の共振周波数における LC 素子網 1 1 2 , 1 3 2 , 1 5 2 のリアクタンス成分を調整して並列共振子 1 1 1 , 1 3 1 , 1 5 1 の共振周波数を少しずつ異ならせることにより、低周波数側及び高周波数側の阻止帯域における減衰を増やすことができる。

#### 【 0 0 1 8 】

さらに、LC 素子網 1 1 2 , 1 3 2 , 1 5 2 は、それぞれ、高周波数側の阻止帯域内に並列腕 1 1 , 1 3 , 1 5 の直列共振点を増加させるように構成されている。「直列共振点」とは、インピーダンスのリアクタンス成分が 0 となり、インピーダンスが極小となる周波数のことである。ここで、図 1 4 に示す従来のラダー型圧電フィルタ 9 のように、インダクタ 9 1 2 , 9 3 2 , 9 5 2 のみを並列共振子 9 1 1 , 9 3 1 , 9 5 1 に直列接続した場合は、高周波数側の阻止帯域内に 1 個の直列共振点を形成することができるだけであるが、図 1 に示すラダー型圧電フィルタ 1 のように、新たな直列共振点の形成に寄与するキャパシタ 1 1 2 3 , 1 3 2 3 , 1 5 2 3 を含む LC 素子網 1 1 2 , 1 3 2 , 1 5 2 を並列共振子 1 1 1 , 1 3 1 , 1 5 1 に直列接続した場合は、高周波数側の阻止帯域内に 2 個の直列共振点を形成することができるので、高周波数側の阻止帯域内に新たな減衰極を作ることができる。高周波数側の阻止帯域における減衰を増やすことができる。

#### 【 0 0 1 9 】

なお、ラダー型圧電フィルタ 1 が複数の並列腕 1 1 , 1 3 , 1 5 を有している場合は、並列腕 1 1 , 1 3 , 1 5 ごとにキャパシタ 1 1 2 3 , 1 3 2 3 , 1 5 2 3 の寄与により形成された新たな直列共振点を異ならせてもよい。そうすれば、高周波数側の阻止帯域内に複数の新たな減衰極を作ることができ、広い周波数にわたって減衰を増やすことができる。

#### 【 0 0 2 0 】

LC 素子網 1 1 2 , 1 3 2 , 1 5 2 は、上述の要件を満たすように、インダクタとキャパシタとを組み合わせる構成される。例えば、図 1 に示すように、LC 素子網 1 1 2 は、インダクタ 1 1 2 1 とインダクタ 1 1 2 2 とを直列接続しインダクタ 1 1 2 2 とキャパシタ 1 1 2 3 とを並列接続した上で、上述の要件を満たすようにインダクタ 1 1 2 1 , 1 1 2 2 のインダクタンス及びキャパシタ 1 1 2 3 のキャパシタンスを決定することで構成することができる。LC 素子網 1 3 2 も、インダクタ 1 3 2 1 , 1 3 2 2 及びキャパシタ 1 3 2 3 を LC 素子網 1 1 2 と同様に組み合わせる構成することができ、LC 素子網 1 5 2 も、インダクタ 1 5 2 1 , 1 5 2 2 及びキャパシタ 1 5 2 3 を LC 素子網 1 1 2 と同様に組み合わせる構成することができる。

#### 【 0 0 2 1 】

なお、図 1 に示す LC 素子網 1 1 2 , 1 3 2 , 1 5 2 の各々は、LC 素子網 1 1 2 , 1 3 2 , 1 5 2 もインダクタも設けない場合と比較すれば、並列腕 1 1 1 , 1 3 1 , 1 5 1 の直列共振点を 2 個増加させることになるが、LC 素子網 1 1 2 , 1 3 2 , 1 5 2 を構成するインダクタやキャパシタの数を増やして、LC 素子網 1 1 2 , 1 3 2 , 1 5 2 の各々が並列腕 1 1 1 , 1 3 1 , 1 5 1 の直列共振点を 3 個以上増加させるようにしてもよい。また、LC 素子網 1 1 2 , 1 3 2 , 1 5 2 を集中定数素子だけで構成することも必須ではなく、分布定数素子を混在させて構成してもよい。さらに、インダクタ 1 1 2 1 , 1 1 2 2 , 1 3 2 1 , 1 3 2 2 , 1 5 2 1 , 1 5 2 2 が純誘導性であることやキャパシタ 1 1 2 3 , 1 3 2 3 , 1 5 2 3 が純容量性であること、すなわち、LC 素子網 1 1 2 , 1 3 2 , 1 5 2 が完全な 2 端子リアクタンス回路であることは要求されず、LC 素子網 1 1 2 , 1 3 2 , 1 5 2 が若干のレジスタンス成分を有していてもよい。

#### 【 0 0 2 2 】

{ ラダー型圧電フィルタの構造 }

図 2 は、ラダー型圧電フィルタ 1 の構造を模式的に示す斜視図である。

#### 【 0 0 2 3 】

図 2 に示すように、ラダー型圧電フィルタ 1 は、ベアチップ 2 1 を基板 2 2 の表面にフ

10

20

30

40

50

リップチップ実装することにより構成されている。ラダー型圧電フィルタ 1 では、並列共振子 1 1 1 , 1 3 1 , 1 4 1 及び直列共振子 1 2 1 , 1 4 1 はペアチップ 2 1 の側に形成され、LC 素子網 1 1 2 , 1 3 2 , 1 5 2 は基板 2 2 の側に形成されている。もちろん、素子網 1 1 2 , 1 3 2 , 1 5 2 の一部又は全部をペアチップ 2 1 の側に形成してもよい。

#### 【 0 0 2 4 】

図 3 に示すように、基板 2 2 は、厚膜の電極のパターンを印刷した誘電体層を積層した多層基板である。図 3 は、LC 素子網 1 1 2 ( 1 3 2 , 1 5 2 ) が形成された部分に着目して基板 2 2 の積層構造を示す分解斜視図となっている。基板 2 2 は、線状のパターン 2 2 1 が印刷された誘電体層 2 2 2、面状のパターン 2 2 3 が印刷された誘電体層 2 2 4、面状のパターン 2 2 5 及び線状のパターン 2 2 6 が印刷された誘電体層 2 2 7 並びに線状のパターン 2 2 8 が印刷された誘電体層 2 2 9 を積層した積層構造を有する。また、基板 2 2 では、パターン 2 2 1 がインダクタ 1 1 2 1 ( 1 3 2 1 , 1 5 2 1 ) として機能し、誘電体層 2 2 4 を挟んで対向するパターン 2 2 3 , 2 2 5 がキャパシタ 1 1 2 3 ( 1 3 2 3 , 1 5 2 3 ) として機能し、パターン 2 2 8 がインダクタ 1 1 2 2 ( 1 3 2 2 , 1 5 2 2 ) として機能する。さらに、基板 2 2 では、パターン 2 2 1 の一端とパターン 2 2 8 の一端とを誘電体層 2 2 2 , 2 2 4 , 2 2 7 を貫通するスルーホールによって接続し、パターン 2 2 1 とパターン 2 2 3 とを誘電体層 2 2 2 を貫通するスルーホールによって接続し、パターン 2 2 6 の一端をパターン 2 2 5 に接続し、パターン 2 2 6 の他端を接地し、パターン 2 2 8 の他端を接地することにより、LC 素子網 1 1 1 ( 1 3 1 , 1 5 1 ) を形成している。もちろん、基板 2 2 に実装されたチップインダクタやワイヤボンディング用のワイヤをインダクタ 1 1 2 1 , 1 1 2 2 , 1 3 2 1 , 1 3 2 2 , 1 5 2 1 , 1 5 2 2 としてもよい。また、基板 2 2 に実装されたチップキャパシタをキャパシタ 1 1 2 3 , 1 3 2 3 , 1 5 2 3 としてもよい。基板 2 2 の誘電体層の材質としては、誘電率が 7 前後の低温同時焼成セラミックス ( L T C C ; Low Temperature Co-fired Ceramics ) や誘電率が 4 前後の樹脂を好適に採用することができる。

#### 【 0 0 2 5 】

{ ペアチップの構造 }

図 4 は、ペアチップ 2 1 の構造を模式的に示す斜視図である。

#### 【 0 0 2 6 】

図 4 に示すように、ペアチップ 2 1 は、支持基板 3 1 の上に、接着層 3 2、キャビティ形成膜 3 3、下面電極 3 4、圧電体薄膜 3 5 及び上面電極 3 6 をこの順序で積層した構造を有している。

#### 【 0 0 2 7 】

支持基板 3 1 は、圧電体薄膜 3 5 を支持する支持体としての役割を有している。支持基板 3 1 は、圧電体薄膜 3 5 を構成する圧電材料と同じ材料で構成されることが望ましく、支持基板 3 1 における結晶方位と圧電体薄膜 3 5 における結晶方位とが一致していることがさらに望ましい。

#### 【 0 0 2 8 】

接着層 3 2 は、圧電体薄膜 3 5 を支持基板 3 1 に接着固定する役割を有している。接着層 3 2 の望ましい例としては、有機接着剤、望ましくは、充填効果を有し、接着対象が完全に平坦でなくても十分な接着力を発揮するエポキシ接着剤 ( 熱硬化性を利用するエポキシ樹脂の接着剤 ) やアクリル接着剤 ( 光硬化性及び熱硬化性を併用するアクリル樹脂の接着剤 ) により形成された接着層 3 2 をあげることができる。

#### 【 0 0 2 9 】

キャビティ形成膜 3 3 は、二酸化ケイ素 ( SiO<sub>2</sub> ) 等の絶縁材料を成膜することにより得られた絶縁体膜である。キャビティ形成膜 3 3 は、後述する励振領域 3 1 1 ~ 3 1 5 において、下面電極 3 4、圧電体薄膜 3 5 及び上面電極 3 6 からなる振動積層体を支持基板 3 1 から離隔させるキャビティを形成している。

#### 【 0 0 3 0 】

圧電体薄膜 3 5 は、圧電体基板を除去加工することにより得られる。より具体的には、

10

20

30

40

50

圧電体薄膜 35 は、単独で自重に耐え得る厚み（例えば、50  $\mu\text{m}$  以上）を有する圧電体基板を、単独で自重に耐え得ない膜厚（例えば、10  $\mu\text{m}$  以下）まで除去加工で薄肉化することにより得られる。

#### 【0031】

圧電体薄膜 35 を構成する圧電材料としては、所望の圧電特性を有する圧電材料を選択することができるが、水晶 ( $\text{SiO}_2$ )、ニオブ酸リチウム ( $\text{LiNbO}_3$ )、タンタル酸リチウム ( $\text{LiTaO}_3$ )、四ホウ酸リチウム ( $\text{Li}_2\text{B}_4\text{O}_7$ )、酸化亜鉛 ( $\text{ZnO}$ )、ニオブ酸カリウム ( $\text{KNbO}_3$ ) 及びランガサイト ( $\text{La}_3\text{Ga}_3\text{SiO}_{14}$ ) 等の粒界を含まない単結晶材料を選択することが望ましい。圧電体薄膜 35 を構成する圧電材料として単結晶材料を用いることにより、電気機械結合係数及び機械的品質係数を向上させることができるからである。

10

#### 【0032】

圧電体基板の除去加工は、切削、研削及び研磨等の機械加工並びにエッチング等の化学加工等により行う。ここで、複数の除去加工方法を組み合わせ、加工速度が速い除去加工方法から、加工対象に生じる加工変質が小さい除去加工方法へと除去加工方法を段階的に切り替えながら圧電体基板を除去加工すれば、高い生産性を維持しつつ、圧電体薄膜 35 の品質を向上し、ペアチップ 21 の特性を向上することができる。例えば、圧電体基板を固定砥粒に接触させて削る研削及び圧電体基板を遊離砥粒に接触させて削る研磨を順次行った後に、当該研磨によって圧電体基板に生じた加工変質層を仕上げ研磨により除去するようにすれば、圧電体基板を削る速度が早くなり、ペアチップ 21 の生産性を向上可能であるとともに、圧電体薄膜 35 の品質を向上することにより、ペアチップ 21 の特性を向上可能である。

20

#### 【0033】

このようなペアチップ 21 では、圧電体薄膜 35 をスパッタリング等により成膜した場合と異なり、圧電体薄膜 35 を構成する圧電材料や圧電体薄膜 35 における結晶方位が下地の制約を受けないので、圧電体薄膜 35 を構成する圧電材料や圧電体薄膜 35 における結晶方位の選択の自由度が高くなっている。したがって、ペアチップ 21 では、所望の特性を実現することが容易になっている。ただし、このことは、圧電体薄膜 35 をスパッタリング等の付加加工で成膜した圧電薄膜共振子を用いることを妨げるものではない。

#### 【0034】

下面電極 34 及び上面電極 36 は、それぞれ、圧電体薄膜 35 の下面及び上面に導電材料を成膜することにより得られた導電体薄膜である。

30

#### 【0035】

下面電極 34 及び上面電極 36 を構成する導電材料は、特に制限されないが、アルミニウム (Al)、銀 (Ag)、銅 (Cu)、白金 (Pt)、金 (Au)、クロム (Cr)、ニッケル (Ni)、モリブデン (Mo)、タングステン (W) 及びタンタル (Ta) 等の金属から選択することが望ましい。もちろん、下面電極 34 及び上面電極 36 を構成する導電材料として合金を用いてもよい。また、複数種類の導電材料を重ねて成膜することにより、下面電極 34 及び上面電極 36 を形成してもよい。

#### 【0036】

図 5 は、下面電極 34 (341 ~ 343) 及び上面電極 36 (361 ~ 365) のパターンを上方から見た図である。

40

#### 【0037】

上面電極 361 は、励振領域 311 において圧電体薄膜 35 を挟んで下面電極 341 と対向して並列共振子 111 を形成するとともに、励振領域 312 において圧電体薄膜 35 を挟んで下面電極 342 と対向して直列共振子 121 を形成する。上面電極 361 の一部 3611 は、フリップチップ接合により第 1 のポートに接続される。

#### 【0038】

上面電極 362 は、励振領域 313 において圧電体薄膜 35 を挟んで下面電極 342 と対向して並列共振子 131 を形成する。上面電極 362 の一部 3621 は、フリップチップ接合により LC 素子網 132 に接続される。

50

## 【0039】

上面電極363は、励振領域314において圧電体薄膜35を挟んで下面電極342と対向して直列共振子141を形成するとともに、励振領域315において圧電体薄膜35を挟んで下面電極343と対向して並列共振子151を形成する。上面電極363の一部3631は、フリップチップ接合により第2のポートに接続される。

## 【0040】

上面電極364は、非励振領域316において圧電体薄膜35を挟んで下面電極341と対向する。下面電極341と上面電極364とは、バイアホール256によって短絡されている。上面電極364の一部3641は、フリップチップ接合によりLC素子網112に接続される。

10

## 【0041】

上面電極365は、非励振領域317において圧電体薄膜35を挟んで下面電極343と対向する。下面電極343と上面電極365とは、バイアホール257によって短絡されている。上面電極365の一部3651は、フリップチップ接合によりLC素子網152に接続される。

## 【実施例】

## 【0042】

以下では、本発明の実施例と本発明の範囲外の比較例とを説明する。

## 【0043】

## { 実施例 }

実施例では、圧電体薄膜35としてニオブ酸リチウムを使用したベアチップ21を用いて図6の回路図に示すラダー型圧電フィルタ1aを作製し、その濾波特性をネットワークアナライザで測定した。電圧反射係数 $S_{11}$ 及び電圧透過係数 $S_{21}$ の測定結果を図7及び図8に示す。ラダー型フィルタ1aは、並列腕11aが並列共振子111aとLC素子網112aとを直列接続して構成され、並列腕13a, 15aが、それぞれ、並列共振子131a, 151aとインダクタ132a, 152aとを直列接続して構成され、直列腕12a, 14aは、それぞれ、直列共振子121a, 141aから構成される。インダクタ1121a, 1122a, 132a, 152aのインダクタンスは、それぞれ、0.8nH, 0.7nH, 1.0nH, 2.9nHであり、キャパシタ1123aのキャパシタンスは、2.35pFである。これにより、ラダー型圧電フィルタ1aは、低周波数側の阻止帯域内に3個の減衰極(1.80GHz付近, 1.98GHz付近, 2.05GHz付近)を持つようになり、高周波側の阻止帯域内に5個の減衰極(2.25GHz付近, 2.35GHz付近, 2.60GHz付近, 4.1GHz付近, 6.2GHz付近)を持つようになる。

20

30

## 【0044】

## { 比較例1 }

比較例1では、実施例と同様のベアチップ21を用いて図13の回路図に示すラダー型圧電フィルタ8を作製し、その濾波特性をネットワークアナライザで測定した。電圧反射係数 $S_{11}$ 及び電圧透過係数 $S_{21}$ の測定結果を図9及び図10に示す。

## 【0045】

## { 比較例2 }

比較例2では、実施例と同様のベアチップ21を用いて図14の回路図に示すラダー型圧電フィルタ9を作製し、その濾波特性をネットワークアナライザで測定した。電圧反射係数 $S_{11}$ 及び電圧透過係数 $S_{21}$ の測定結果を図11及び図12に示す。比較例2では、インダクタ912, 932, 952のインダクタンスは、それぞれ、1.5nH, 1.0nH, 2.9nHとなっている。

40

## 【0046】

## { 実施例と比較例との対比 }

実施例と比較例との対比から明らかなように、実施例のラダー型圧電フィルタ1aは、通過帯域の幅が比較例1のラダー型圧電フィルタ8より広がっており、低周波数側の阻止

50

帯域における減衰を比較例 1 のラダー型圧電フィルタ 8 より増加させることに成功している。さらに、実施例のラダー型圧電フィルタ 1 a は、6.2 GHz 付近に新たな減衰極を作り、高周波数側の阻止帯域における減衰を比較例 2 のラダー型圧電フィルタ 9 より増加させることに成功している。

【図面の簡単な説明】

【0047】

【図 1】本発明の望ましい実施形態に係るラダー型圧電フィルタの回路図である。

【図 2】本発明の望ましい実施形態に係るラダー型圧電フィルタの斜視図である。

【図 3】基板の積層構造を示す分解斜視図である。

【図 4】ベアチップの斜視図である。

10

【図 5】上面電極及び下面電極のパターンを示す図である。

【図 6】実施例のラダー型圧電フィルタの回路図である。

【図 7】実施例のラダー型圧電フィルタの濾波特性を示す図である。

【図 8】実施例のラダー型圧電フィルタの濾波特性を示す図である。

【図 9】比較例 1 のラダー型圧電フィルタの濾波特性を示す図である。

【図 10】比較例 1 のラダー型圧電フィルタの濾波特性を示す図である。

【図 11】比較例 2 のラダー型圧電フィルタの濾波特性を示す図である。

【図 12】比較例 2 のラダー型圧電フィルタの濾波特性を示す図である。

【図 13】従来 of ラダー型圧電フィルタの回路図である。

【図 14】従来 of ラダー型圧電フィルタの回路図である。

20

【符号の説明】

【0048】

1, 1 a ラダー型圧電フィルタ

1 1, 1 3, 1 5 並列腕

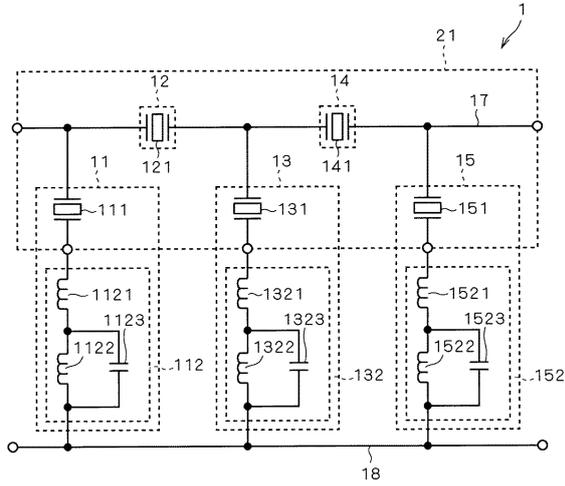
1 2, 1 4 直列腕

1 1 1, 1 3 1, 1 4 1 並列共振子

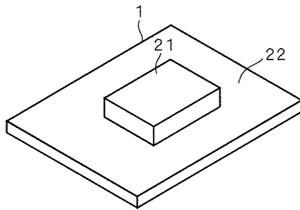
1 2 1, 1 4 2 直列共振子

1 1 2, 1 3 2, 1 4 2 LC 素子網

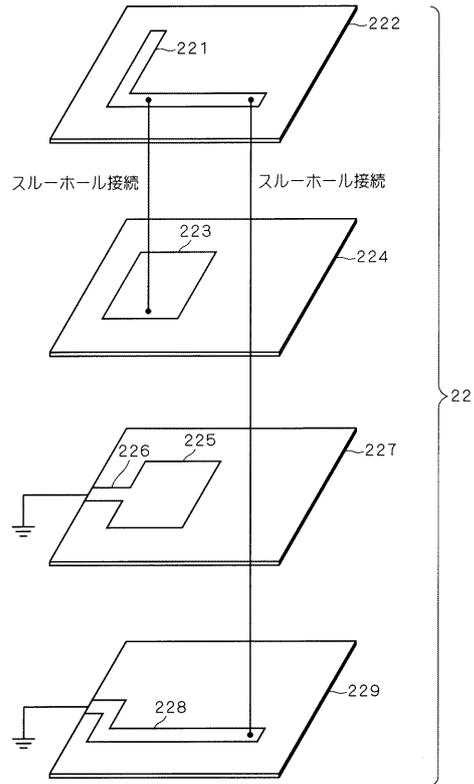
【図1】



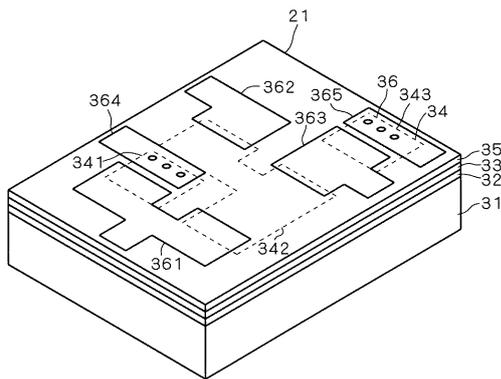
【図2】



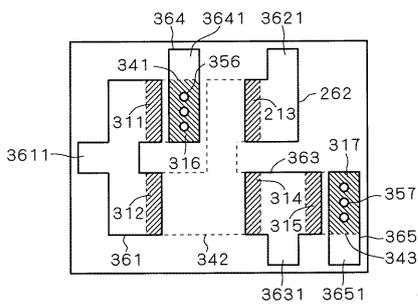
【図3】



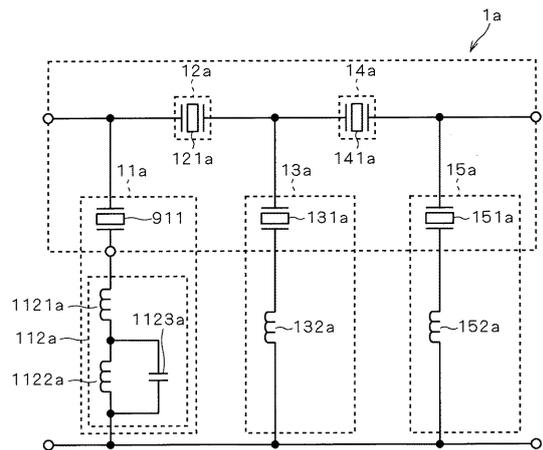
【図4】



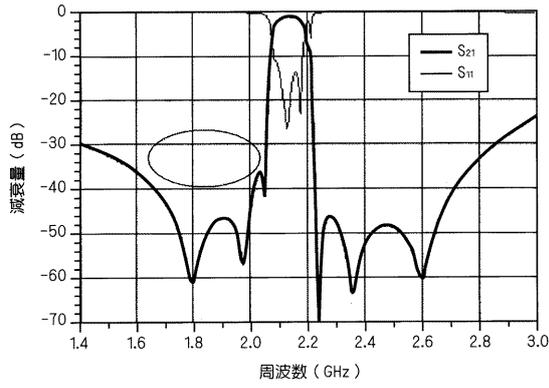
【図5】



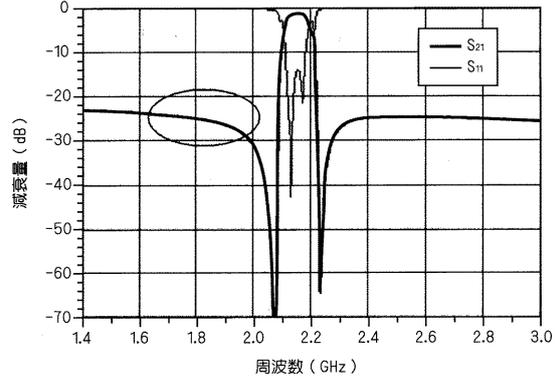
【図6】



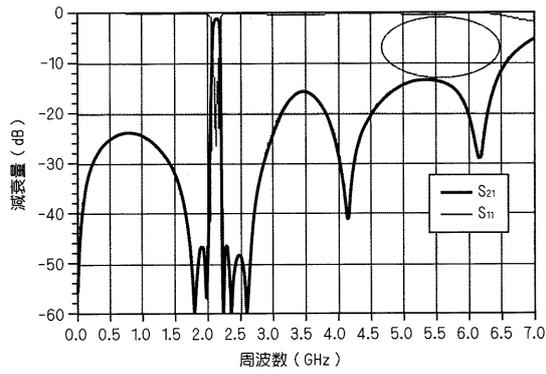
【図 7】



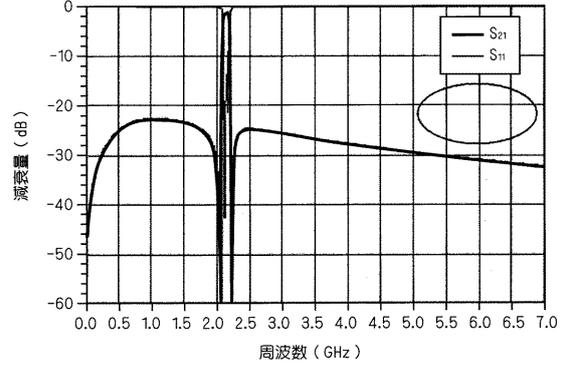
【図 9】



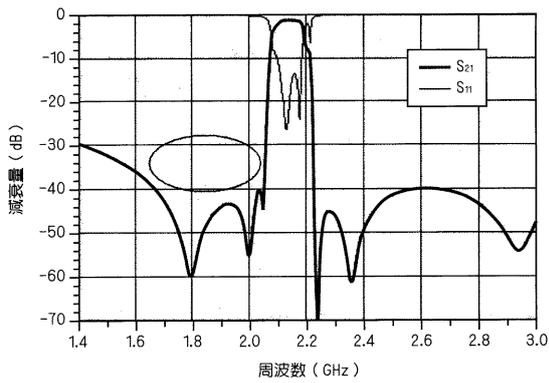
【図 8】



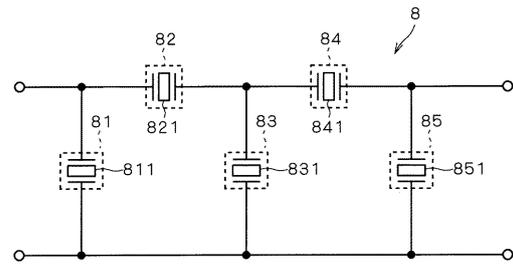
【図 10】



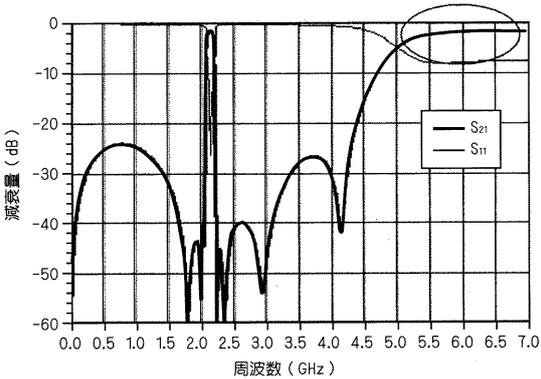
【図 11】



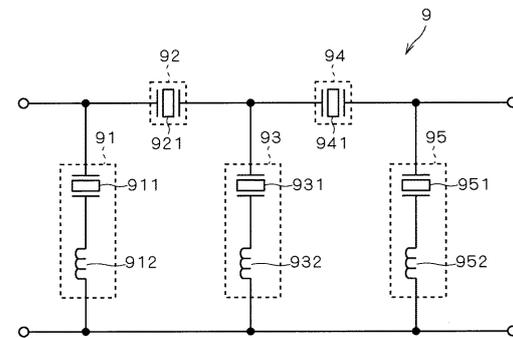
【図 13】



【図 12】



【図 14】



---

フロントページの続き

- (56)参考文献 特開平09 - 321573 (JP, A)  
特開平10 - 163808 (JP, A)  
特開2006 - 333012 (JP, A)  
特開2004 - 007250 (JP, A)  
特開2005 - 278131 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03H 9/54  
H03H 9/17  
H03H 9/64