



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/28 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년02월26일 10-0687436 2007년02월20일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0129651 2005년12월26일 2005년12월26일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자	동부일렉트로닉스 주식회사 서울 강남구 대치동 891-10	
(72) 발명자	김재홍 서울특별시 서대문구 홍제1동 331 현대아파트 101동 209호 천재익 서울특별시 용산구 서빙고동 신동아아파트 13동 707호	
(74) 대리인	허용록	
(56) 선행기술조사문헌 1020050044734 * * 심사관에 의하여 인용된 문헌	1020030056677 *	

심사관 : 이우식

전체 청구항 수 : 총 4 항

(54) 반도체소자의 구리배선막 형성방법

(57) 요약

본 발명의 반도체소자의 구리배선막 형성방법은, 반도체기판 위의 금속간절연막을 관통하는 비아홀 및 트렌치를 형성하는 단계와, 비아홀 및 트렌치 내에 무전해도금법을 사용하여 구리-마그네슘(Cu-Mg) 시드층을 형성하는 단계와, 그리고 구리-마그네슘(Cu-Mg) 시드층을 이용한 전기화학 도금법을 사용하여 비아홀 및 트렌치를 매립하는 구리배선막을 형성하는 단계를 포함한다.

대표도

도 6

특허청구의 범위

청구항 1.

반도체기판 위의 금속간절연막을 관통하는 비아홀 및 트렌치를 형성하는 단계;

상기 비아홀 및 트렌치 내에 무전해도금법을 사용하여 구리-마그네슘(Cu-Mg) 시드층을 형성하는 단계; 및

상기 구리-마그네슘(Cu-Mg) 시드층을 이용한 전기화학 도금법을 사용하여 상기 비아홀 및 트렌치를 매립하는 구리배선막을 형성하는 단계를 포함하며,

상기 무전해도금법을 사용하여 시드층을 형성하기 전에 상기 비아홀 및 트렌치 내의 표면을 촉매화 시키는 단계를 더 포함하는 것을 특징으로 하는 반도체소자의 구리배선막 형성방법.

청구항 2.

제1항에 있어서,

상기 비아홀 및 트렌치를 형성하는 단계는 다마신공정을 사용하여 수행하는 것을 특징으로 하는 반도체소자의 구리배선막 형성방법.

청구항 3.

제1항에 있어서,

상기 비아홀 및 트렌치 내의 표면을 촉매화 시키는 단계에 있어 금속팔라듐으로 표면을 촉매화 시키는 것을 특징으로 하는 반도체소자의 구리배선막 형성방법.

청구항 4.

제1항에 있어서,

상기 무전해도금법을 사용하여 시드층을 형성하는 단계는, 외부전원 없이 환원제를 사용하여 상기 환원제가 산화하면서 방출한 전자가 금속이온과 결합하여 상기 비아홀 및 트렌치 내의 촉매화된 표면에 금속이 환원석출되도록 하여 수행하는 것을 특징으로 하는 반도체소자의 구리배선막 형성방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 제조방법에 관한 것으로서, 특히 반도체소자의 구리배선막 형성방법에 관한 것이다.

최근 반도체소자의 고성능화가 요구되면서 기존의 알루미늄보다 전도성이 좋은 구리를 이용하여 배선막을 형성하고 있다. 그러나 구리배선막의 경우 패터닝이 용이하지 않기 때문에, 식각과 같은 일반적인 패터닝방법 대신에 다마신공정과 화학적기계적평탄화(CMP; Chemical Mechanical Polishing)공정을 사용하여 구리배선막패턴을 형성하는 것이 일반적이다.

도 1 내지 도 4는 종래의 반도체소자의 구리배선막 형성방법을 설명하기 위하여 나타내 보인 단면도들이다.

먼저 도 1에 도시된 바와 같이, 반도체기판(100) 위의 절연막(110) 상에 금속간절연막(120)을 형성한다. 그리고 금속간절연막(120)의 일부를 제거하여 비아홀(121)을 형성한 후, 다시 상부 일부를 제거하여 비아홀(121)을 노출시키는 트렌치(122)를 형성한다. 다음에 이 비아홀(121) 및 트렌치(122) 내부를 구리막으로 매립시키기 위한 구리 시드(seed)층(130)을 형성한다. 구리 시드층(130)은 스퍼터링(sputtering)법을 사용하여 형성한다. 다음에 도 2에 도시된 바와 같이, 구리 시드층(130)을 이용한 전기화학 도금법(ECP; Electro Chemical Plating)을 사용하여 비아홀(121) 및 트렌치(122)를 구리막으로 매립하여 구리배선막(140)을 형성한다.

그런데 이와 같은 종래의 구리배선막 형성방법에 있어서, 구리 시드층(130)을 스퍼터링법으로 형성하기 때문에, 이전공정의 영향이나 스퍼터링공정 자체의 영향으로 인하여, 도면에서 "A"로 나타낸 바와 같이, 일부 측면에서 불연속적인 스텝커버리지(discontinuous step coverage)를 갖는 구리 시드층(130)이 형성될 수 있다. 이와 같이 구리 시드층(130)이 불연속적으로 형성되면, 도 2에 나타낸 바와 같이, 구리배선막(140) 내에 보이드(void)(141)가 형성될 수 있고, 또한 도 3에 나타낸 바와 같이, 구리배선막(140) 내에 심(seam)(142)이 형성될 수도 있다.

이 외에도 도 4에 나타낸 바와 같이, 구리배선막(140)을 형성한 후에 수행되는 어닐링(annealing)공정에 의한 열적 스트레스(thermal stress)(도 4에서 화살표 참조)로 인하여, 구리배선막(140) 하부에 열적 스트레스로 인한 보이드(143)가 형성될 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 연속적인 구리 시드층을 형성하여 보이드나 심 또는 열적 스트레스로 인한 보이드 형성을 억제할 수 있는 반도체소자의 구리배선막 형성방법을 제공하는 것이다.

발명의 구성

상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 반도체소자의 구리배선막 형성방법은, 반도체기판 위의 금속간절연막을 관통하는 비아홀 및 트렌치를 형성하는 단계; 상기 비아홀 및 트렌치 내에 무전해도금법을 사용하여 구리-마그네슘(Cu-Mg) 시드층을 형성하는 단계; 및 상기 구리-마그네슘(Cu-Mg) 시드층을 이용한 전기화학 도금법을 사용하여 상기 비아홀 및 트렌치를 매립하는 구리배선막을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 비아홀 및 트렌치를 형성하는 단계는 다마신공정을 사용하여 수행할 수 있다.

본 발명에 있어서, 상기 무전해도금법을 사용하여 시드층을 형성하기 전에 상기 비아홀 및 트렌치 내를 촉매화시키는 단계를 더 포함하는 것이 바람직하다.

이 경우, 상기 무전해도금법을 사용하여 시드층을 형성하는 단계는, 외부전원 없이 환원제를 사용하여 상기 환원제가 산화하면서 방출한 전자가 금속이온과 결합하여 상기 촉매화된 표면에 금속이 환원석출되도록 하여 수행할 수 있다.

이하 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다.

도 5 및 도 6은 본 발명에 따른 반도체소자의 구리배선막 형성방법을 설명하기 위하여 나타내 보인 단면도들이다.

먼저 도 5를 참조하면, 반도체기판(200) 위의 절연막(210) 상에 금속간절연막(220)을 형성한다. 비록 도면에 나타내지는 않았지만, 금속간절연막(220)의 하부에는 트랜지스터와 같은 소자들이 형성되어 있을 수 있으며, 하부 레벨의 금속배선구조가 배치되어 있을 수도 있다. 금속간절연막(220)을 형성한 후에는, 금속간절연막(220)의 일부를 제거하여 비아홀(221)을 형성한 후, 다시 상부 일부를 제거하여 비아홀(221)을 노출시키는 트렌치(222)를 형성한다. 이와 같은 비아홀(221) 및 트렌치(222) 형성은 다마신공정을 사용하여 수행할 수 있다.

다음에 비아홀(221) 및 트렌치(222) 내부를 구리막으로 매립시키기 위한 시드(seed)층(230)을 형성한다. 이 시드층(230)은 무전해도금(Electroless Plating)법을 사용하여 구리-마그네슘(Cu-Mg) 합금으로 형성한다. 구리-마그네슘(Cu-Mg)은 구리보다 원자가 전자의 흐름에 밀려 이동하는 EM(Electro-Migration) 현상이 대략 5배 이상 좋으며, 열처리 및 냉각시 표면 및 계면으로 마그네슘(Mg)이 확산되어 구리(Cu)의 확산을 방지하므로 스트레스로 인한 보이드발생을 억제한다.

무전해도금법을 사용하여 구리-마그네슘(Cu-Mg) 합금을 형성하기 위하여, 먼저 비아홀(221) 및 트랜치(222) 내를 촉매화시킨다. 그리고 외부전원을 사용하지 않은 상태에서 환원제를 사용하여 촉매화된 표면 위에 자발적으로 구리-마그네슘(Cu-Mg) 합금의 도금층이 형성되도록 한다. 구체적으로 용액중의 환원제가 산화되면서 전자를 방출하는데, 이 전자는 금속이온, 즉 Cu^{2+} 및 Mg^{2+} 가 받아들여 촉매금속, 예컨대 금속팔라듐(PdO)으로 촉매화된 표면 위에 금속, 즉 구리-마그네슘(Cu-Mg) 합금이 환원석출된다.

일 예로서, 금속팔라듐(PdO)으로 촉매화된 비전도성 표면에 도금층이 형성되는 메카니즘은 아래의 반응식 1에 나타내었다.

반응식 1



상기 반응식 1에서, R은 환원제를 나타내고, O_x 는 환원제의 산화물을 나타내고, M^{2+} 는 금속이온을 나타내며, 그리고 M^0 는 환원된 금속을 나타낸다. 따라서 본 실시예에서와 같이, 구리-마그네슘(Cu-Mg) 시드층(230)을 형성하는데 있어서, M^{2+} 는 Cu^{2+} , Mg^{2+} 을 나타내며, 그리고 M^0 는 Cu, Mg을 나타낸다.

다음에 도 6을 참조하면, 상기와 같은 무전해도금법을 사용하여 구리-마그네슘(Cu-Mg) 합금으로 이루어진 시드층(230)을 형성한 후에는, 이 구리-마그네슘(Cu-Mg) 합금으로 이루어진 시드층(230)을 이용한 전기화학 도금법(ECP)을 사용하여 비아홀(2121) 및 트랜치(222)를 구리막으로 매립함으로써 구리배선막(240)이 형성되도록 한다.

발명의 효과

지금까지 설명한 바와 같이, 본 발명에 따른 구리배선막 형성방법에 의하면, 환원제를 이용한 무전해도금법을 사용하여 구리-마그네슘(Cu-Mg) 시드층을 형성함으로써 비아홀 및 트랜치 내에 연속적인 시드층을 형성할 수 있으며, 이에 따라 기존의 구리배선막 내의 보이드나 심의 발생을 억제할 수 있다는 이점에 제공된다. 더욱이 후속의 열적 스트레스로 인한 보이드의 발생을 억제할 수 있다는 이점도 제공된다. 이 외에도 구리-마그네슘 합금은 구리보다 EM(Electro-Migration)이 대략 5배 이상 높으며, 확산방지막으로서의 역할도 할 수 있으므로 고집적화에 따른 미세패턴에서 로우-케이(low-k) 절연막 사용시 구리 확산방지를 증대시킨다.

이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능함은 당연하다.

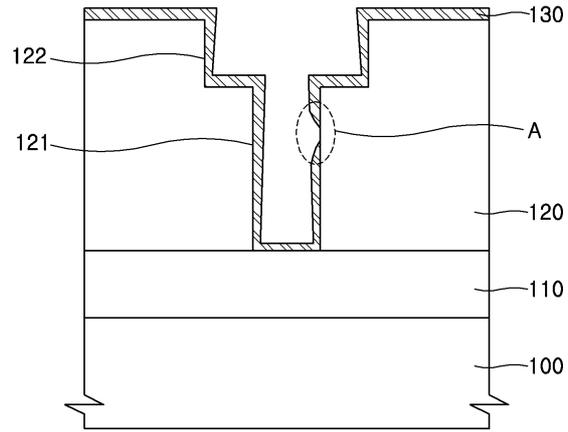
도면의 간단한 설명

도 1 내지 도 4는 종래의 반도체소자의 구리배선막 형성방법을 설명하기 위하여 나타내 보인 단면도들이다.

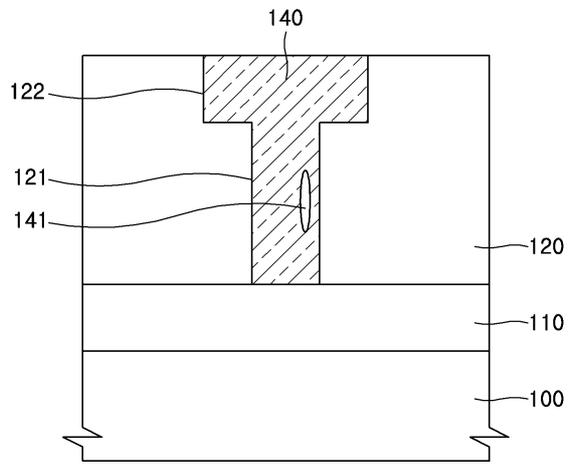
도 5 및 도 6은 본 발명에 따른 반도체소자의 구리배선막 형성방법을 설명하기 위하여 나타내 보인 단면도들이다.

도면

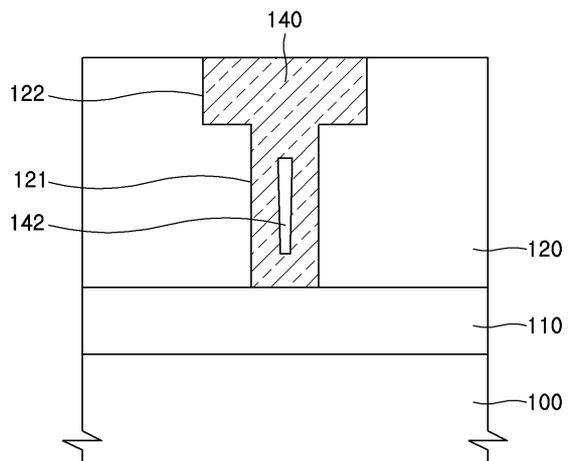
도면1



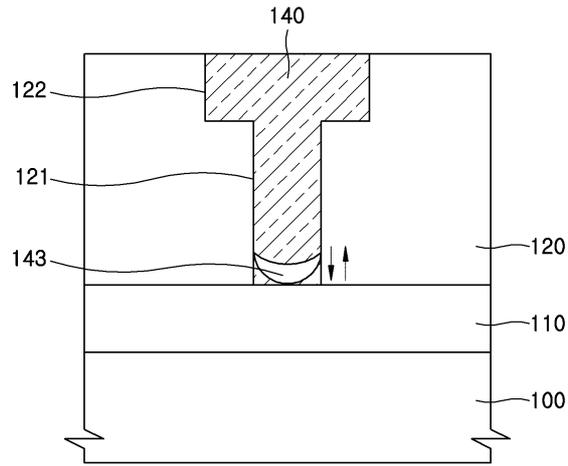
도면2



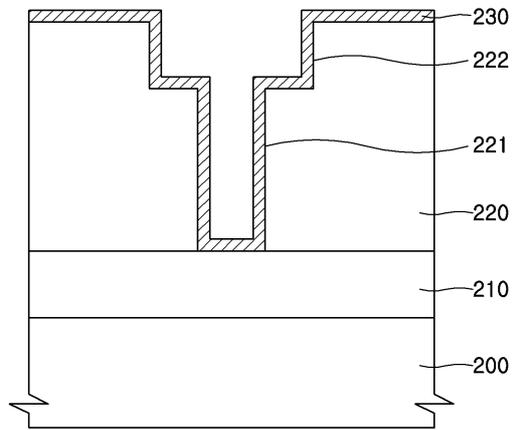
도면3



도면4



도면5



도면6

