



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년11월03일
(11) 등록번호 10-0866749
(24) 등록일자 2008년10월28일

(51) Int. Cl.

G11C 16/08 (2006.01)

(21) 출원번호 10-2005-0135237

(22) 출원일자 2005년12월30일

심사청구일자 2007년02월02일

(65) 공개번호 10-2007-0071611

(43) 공개일자 2007년07월04일

(56) 선행기술조사문헌

US20030026121 A1

US20050105371 A1

US6034882 A

전체 청구항 수 : 총 32 항

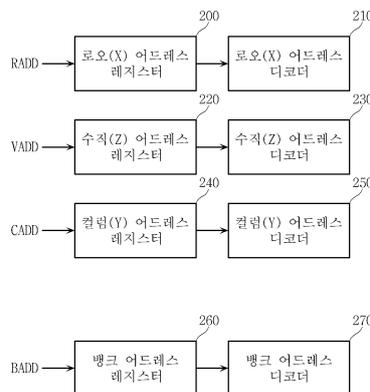
심사관 : 조명관

(54) 비휘발성 반도체 메모리 장치

(57) 요약

본 발명은 비휘발성 반도체 메모리 장치에 관한 것으로서, 반도체 메모리 장치의 셀 어레이를 3차원으로 구현하고, 수직(Z) 어드레스 디코더에 의해 하나의 셀 어레이를 선택하여 칩 사이즈를 획기적으로 줄일 수 있도록 하는 기술을 개시한다. 이러한 본 발명은, 로오와 컬럼 방향으로 복수개 배열된 단위 셀을 포함하는 복수개의 셀 어레이가 수직 방향으로 다층으로 적층된 단위 블록 셀 어레이와, 컬럼 어드레스를 디코딩하여 복수개의 셀 어레이 중 선택된 셀 어레이의 비트라인을 활성화시키기 위한 컬럼 어드레스 디코더와, 로오 어드레스를 디코딩하여 복수개의 셀 어레이 중 선택된 셀 어레이의 워드라인을 활성화시키기 위한 로오 어드레스 디코더, 및 수직 어드레스를 디코딩하여 복수개의 셀 어레이 중 하나의 셀 어레이를 선택하고, 로오 어드레스 디코더의 출력 또는 컬럼 어드레스 디코더의 출력을 선택된 셀 어레이의 워드라인 또는 비트라인에 연결하는 수직 어드레스 디코딩 수단을 포함한다.

대표도 - 도2



특허청구의 범위

청구항 1

로오와 컬럼 방향으로 각각 복수개 배열된 단위 셀을 포함하는 복수개의 셀 어레이가 수직 방향으로 다층으로 적층된 단위 블록 셀 어레이;

로오 어드레스를 디코딩하여 상기 복수개의 셀 어레이 중 선택된 셀 어레이의 워드라인을 활성화시키기 위한 로오 어드레스 디코더;

수직 어드레스를 디코딩하여 상기 복수개의 셀 어레이 중 하나의 셀 어레이를 선택하고, 상기 로오 어드레스 디코더의 출력을 상기 선택된 셀 어레이의 워드라인에 연결하는 수직 어드레스 디코딩 수단; 및

컬럼 어드레스를 디코딩하여 상기 복수개의 셀 어레이 중 선택된 셀 어레이의 비트라인을 활성화시키기 위한 컬럼 어드레스 디코더를 포함하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 2

제 1항에 있어서, 상기 복수개의 셀 어레이의 적층 방향을 기준으로 하여 X,Y,Z 방향으로 배열된 특정 그룹 단위의 단위 블록 셀 어레이가 하나의 단위 बैं크 셀 어레이를 이루며, 상기 단위 बैं크 셀 어레이가 복수개 구비되어 각 단위 बैं크 셀 어레이 별로 독립적인 리드/라이트 동작을 수행함을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 3

제 1항에 있어서, 상기 수직 어드레스 디코딩 수단은

상기 수직 어드레스를 디코딩하여 상기 복수개의 셀 어레이 중 하나의 셀 어레이를 선택하는 수직 어드레스 디코더; 및

상기 수직 어드레스 디코더의 출력 상태에 따라 상기 로오 어드레스 디코더의 출력인 로오라인과 상기 선택된 셀 어레이의 워드라인을 선택적으로 연결하는 로오 디코딩부를 포함하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 4

제 3항에 있어서, 상기 로오 디코딩부는

상기 로오라인과 상기 워드라인 사이에 연결되어 상기 수직 어드레스 디코더의 출력에 따라 스위칭 동작하는 복수개의 스위치를 포함하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 5

제 3항에 있어서, 상기 수직 어드레스 디코더는

입력되는 상기 수직 어드레스를 제어하여 상기 수직 어드레스 디코더에 출력하는 수직 어드레스 레지스터를 더 포함하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 6

제 1항에 있어서,

입력되는 상기 로오 어드레스를 제어하여 상기 로오 어드레스 디코더에 출력하는 로오 어드레스 레지스터; 및

입력되는 상기 컬럼 어드레스를 제어하여 상기 컬럼 어드레스 디코더에 출력하는 컬럼 어드레스 레지스터를 더 포함하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 7

제 6항에 있어서, 상기 로오 어드레스와 상기 컬럼 어드레스 및 상기 수직 어드레스는 각각 독립적인 패드로부터 입력되는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 8

제 1항 또는 제 6항에 있어서,

입력되는 बैं크 어드레스를 제어하여 출력하는 बैं크 어드레스 레지스터; 및

상기 बैं크 어드레스 레지스터의 출력을 디코딩하여 복수개의 상기 단위 बैं크 셀 어레이 중 상기 하나의 단위 बैं크 셀 어레이를 선택하는 बैं크 어드레스 디코더를 더 포함하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 9

제 8항에 있어서, 상기 बैं크 어드레스는 독립적인 패드로부터 입력되는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 10

제 1항에 있어서,

입력 어드레스를 제어하여 상기 로오 어드레스, 상기 컬럼 어드레스 및 상기 수직 어드레스를 출력하는 어드레스 레지스터;

상기 로오 어드레스를 래치하는 로오 어드레스 래치;

상기 컬럼 어드레스를 래치하는 컬럼 어드레스 래치; 및

상기 수직 어드레스를 래치하는 수직 어드레스 래치를 더 포함하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 11

제 10항에 있어서, 상기 입력 어드레스는 하나의 공통 패드를 통해 입력되는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 12

제 10항에 있어서, 상기 어드레스 레지스터는 시분할 멀티플렉싱 방식에 의해 상기 로오 어드레스, 상기 컬럼 어드레스 및 상기 수직 어드레스를 선택적으로 출력함을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 13

제 12항에 있어서, 상기 어드레스 레지스터는 상기 로오 어드레스와 상기 수직 어드레스를 시분할 처리한 이후에 상기 컬럼 어드레스를 시분할 처리하여 출력하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 14

제 12항에 있어서, 상기 어드레스 레지스터는 상기 로오 어드레스를 시분할 처리한 이후에 상기 수직 어드레스와 상기 컬럼 어드레스를 시분할 처리하여 출력하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 15

제 1항에 있어서, 상기 단위 셀은 비휘발성 강유전체 캐패시터 소자, 상 변화 저항 소자, MTJ 소자 또는 저항 스위칭 소자 중 어느 하나를 포함하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 16

제 1항에 있어서, 상기 복수개의 셀 어레이 각각은

복수개의 버텀 워드라인;

상기 복수개의 버텀 워드라인의 상부에 형성된 절연층;

상기 절연층의 상부에 형성되어 복수개의 P형 채널 영역과, 상기 복수개의 P형 채널 영역과 교번적으로 직렬 연

결된 복수개의 P형 드레인 및 소스영역을 구비하는 플로팅 채널층;

상기 플로팅 채널층의 상부에 형성된 강유전체층; 및

상기 강유전체층 상부에 상기 복수개의 버팀 워드라인과 각각 평행하게 형성된 복수개의 워드라인을 구비하고,

상기 강유전체층의 극성 상태에 따라 상기 복수개의 P형 채널영역에 서로 다른 채널 저항을 유도하여 복수개의 데이터를 리드/라이트 제어함을 특징으로 하는 비발성 반도체 메모리 장치.

청구항 17

로오와 컬럼 방향으로 각각 복수개 배열된 단위 셀을 포함하는 복수개의 셀 어레이가 수직 방향으로 다층으로 적층된 단위 블록 셀 어레이;

컬럼 어드레스를 디코딩하여 상기 복수개의 셀 어레이 중 선택된 셀 어레이의 비트라인을 활성화시키기 위한 컬럼 어드레스 디코더;

수직 어드레스를 디코딩하여 상기 복수개의 셀 어레이 중 하나의 셀 어레이를 선택하고, 상기 컬럼 어드레스 디코더의 출력을 상기 선택된 셀 어레이의 비트라인에 연결하는 수직 어드레스 디코딩 수단; 및

로오 어드레스를 디코딩하여 상기 복수개의 셀 어레이 중 선택된 셀 어레이의 워드라인을 활성화시키기 위한 로오 어드레스 디코더를 포함하는 것을 특징으로 하는 비발성 반도체 메모리 장치.

청구항 18

제 17항에 있어서, 상기 복수개의 셀 어레이의 적층 방향을 기준으로 하여 X,Y,Z 방향으로 배열된 특정 그룹 단위의 단위 블록 셀 어레이가 하나의 단위 बैं크 셀 어레이를 이루며, 상기 단위 बैं크 셀 어레이가 복수개 구비되어 각 단위 बैं크 셀 어레이 별로 독립적인 리드/라이트 동작을 수행함을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 19

제 17항에 있어서, 상기 수직 어드레스 디코딩 수단은

상기 수직 어드레스를 디코딩하여 상기 복수개의 셀 어레이 중 하나의 셀 어레이를 선택하는 수직 어드레스 디코더; 및

상기 수직 어드레스 디코더의 출력 상태에 따라 상기 컬럼 어드레스 디코더의 출력인 컬럼 라인과 상기 선택된 셀 어레이의 비트라인을 선택적으로 연결하는 컬럼 디코딩부를 포함하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 20

제 19항에 있어서, 상기 컬럼 디코딩부는

상기 컬럼 라인과 상기 비트라인 사이에 연결되어 상기 수직 어드레스 디코더의 출력에 따라 스위칭 동작하는 복수개의 스위치를 포함하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 21

제 19항에 있어서, 상기 수직 어드레스 디코더는

입력되는 상기 수직 어드레스를 제어하여 상기 수직 어드레스 디코더에 출력하는 수직 어드레스 레지스터를 더 포함하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 22

제 17항에 있어서,

입력되는 상기 로오 어드레스를 제어하여 상기 로오 어드레스 디코더에 출력하는 로오 어드레스 레지스터; 및

입력되는 상기 컬럼 어드레스를 제어하여 상기 컬럼 어드레스 디코더에 출력하는 컬럼 어드레스 레지스터를 더 포함하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 23

제 22항에 있어서, 상기 로오 어드레스와 상기 컬럼 어드레스 및 상기 수직 어드레스는 각각 독립적인 패드로부터 입력되는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 24

제 17항 또는 제 22항에 있어서,

입력되는 뱅크 어드레스를 제어하여 출력하는 뱅크 어드레스 레지스터; 및

상기 뱅크 어드레스 레지스터의 출력을 디코딩하여 복수개의 상기 단위 뱅크 셀 어레이 중 상기 하나의 단위 뱅크 셀 어레이를 선택하는 뱅크 어드레스 디코더를 더 포함하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 25

제 24항에 있어서, 상기 뱅크 어드레스는 독립적인 패드로부터 입력되는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 26

제 17항에 있어서,

입력 어드레스를 제어하여 상기 로오 어드레스, 상기 컬럼 어드레스 및 상기 수직 어드레스를 출력하는 어드레스 레지스터;

상기 로오 어드레스를 래치하는 로오 어드레스 래치;

상기 컬럼 어드레스를 래치하는 컬럼 어드레스 래치; 및

상기 수직 어드레스를 래치하는 수직 어드레스 래치를 더 포함하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 27

제 26항에 있어서, 상기 입력 어드레스는 하나의 공통 패드를 통해 입력되는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 28

제 26항에 있어서, 상기 어드레스 레지스터는 시분할 멀티플렉싱 방식에 의해 상기 로오 어드레스, 상기 컬럼 어드레스 및 상기 수직 어드레스를 선택적으로 출력함을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 29

제 28항에 있어서, 상기 어드레스 레지스터는 상기 로오 어드레스와 상기 수직 어드레스를 시분할 처리한 이후에 상기 컬럼 어드레스를 시분할 처리하여 출력하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 30

제 28항에 있어서, 상기 어드레스 레지스터는 상기 로오 어드레스를 시분할 처리한 이후에 상기 수직 어드레스와 상기 컬럼 어드레스를 시분할 처리하여 출력하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 31

제 17항에 있어서, 상기 단위 셀은 비휘발성 강유전체 캐패시터 소자, 상 변화 저항 소자, MTJ 소자 또는 저항 스위칭 소자 중 어느 하나를 포함하는 것을 특징으로 하는 비휘발성 반도체 메모리 장치.

청구항 32

제 17항에 있어서, 상기 복수개의 셀 어레이 각각은

복수개의 버텨 워드라인;

상기 복수개의 버텨 워드라인의 상부에 형성된 절연층;

상기 절연층의 상부에 형성되어 복수개의 P형 채널 영역과, 상기 복수개의 P형 채널 영역과 교번적으로 직렬 연결된 복수개의 P형 드레인 및 소스영역을 구비하는 플로팅 채널층;

상기 플로팅 채널층의 상부에 형성된 강유전체층; 및

상기 강유전체층 상부에 상기 복수개의 버텨 워드라인과 각각 평행하게 형성된 복수개의 워드라인을 구비하고,

상기 강유전체층의 극성 상태에 따라 상기 복수개의 P형 채널영역에 서로 다른 채널 저항을 유도하여 복수개의 데이터를 리드/라이트 제어함을 특징으로 하는 비발성 반도체 메모리 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <8> 본 발명은 비휘발성 반도체 메모리 장치에 관한 것으로서, 반도체 메모리 장치의 셀 어레이를 3차원으로 구현하여 칩 사이즈를 획기적으로 줄일 수 있도록 하는 기술이다.
- <9> 일반적으로 비휘발성 강유전체 메모리 즉, FeRAM(Ferroelectric Random Access Memory)은 디램(DRAM;Dynamic Random Access Memory) 정도의 데이터 처리 속도를 갖고, 전원의 오프시에도 데이터가 보존되는 특성 때문에 차세대 기억 소자로 주목받고 있다.
- <10> 이러한 FeRAM은 디램과 거의 유사한 구조를 갖는 기억소자로서 캐패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류 분극을 이용한 것이다. 이와 같은 잔류 분극 특성으로 인하여 전계를 제거하더라도 데이터가 지워지지 않는다.
- <11> 상술된 FeRAM에 관한 기술내용은 본 발명과 동일 발명자에 의해 출원된 대한민국 특허 출원 제 2001-57275호에 개시된 바 있다. 따라서, FeRAM에 관한 기본적인 구성 및 그 동작에 관한 자세한 설명은 생략하기로 한다.
- <12> 이러한 종래의 비휘발성 강유전체 메모리 장치의 단위 셀은, 워드라인의 상태에 따라 스위칭 동작하여 서브 비트라인과 비휘발성 강유전체 캐패시터를 연결시키는 하나의 스위칭 소자와, 스위칭 소자의 일단과 플레이트 라인 사이에 연결된 하나의 비휘발성 강유전체 캐패시터를 구비하여 이루어진다. 여기서, 종래의 비휘발성 강유전체 메모리 장치의 스위칭 소자는 게이트 제어 신호에 의해 스위칭 동작이 제어되는 NMOS트랜지스터를 주로 사용한다.
- <13> 하지만, 이러한 종래의 비휘발성 강유전체 메모리 장치는, 칩 사이즈가 작아질 경우 데이터 유지 특성이 저하되어 정상적인 셀의 동작이 어렵게 된다. 즉, 셀의 리드 동작시 인접한 셀에 전압이 가해지게 되어 데이터가 파괴됨으로써 셀 간에 인터페이스 노이즈가 발생하게 된다. 또한, 셀의 라이트 동작시 비선택된 셀에 라이트 전압이 인가되어 비선택된 셀들의 데이터가 파괴됨으로써 랜덤한 액세스(Random Access) 동작이 어렵게 되는 문제점이 있다.
- <14> 또한, 종래의 MFIS(Metal Ferroelectric Insulator Silicon), MFMS(Metal Ferroelectric Metal Insulator Silicon)의 경우 감극(Depolarization) 전하에 의해 데이터 보존(Retention) 특성이 현격히 열화하게 되는 문제점이 있다.
또한, 상술된 문제점들은 비휘발성 강유전체 메모리 장치뿐만 아니라, 상 변화 메모리(PRAM; Phase change Random Access Memory), 자기 저항 메모리(MRAM; Magnetoresistive Random Access Memory), 또는 저항변화 기억소자(ReRAM; Resistive random access memory device) 등을 포함하는 모든 비휘발성 메모리 장치에서도 발생할 수 있다.

발명이 이루고자 하는 기술적 과제

- <15> 본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로서, 다음과 같은 목적을 갖는다.

- <16> 첫째, 로오 및 컬럼 방향으로 복수개 배열된 단위 블록 셀 어레이를 수직방향으로 적층하여 칩 사이즈를 줄일 수 있도록 하는데 그 목적이 있다.
- <17> 둘째, 수직(Z) 어드레스 디코더에 의해 수직 방향으로 적층된 복수개의 단위 블록 셀 어레이 중 하나를 선택할 수 있도록 하여 셀 어레이를 효율적으로 구동할 수 있도록 하는데 그 목적이 있다.

발명의 구성 및 작용

- <18> 상기한 목적을 달성하기 위한 본 발명의 비휘발성 반도체 메모리 장치는, 로오와 컬럼 방향으로 각각 복수개 배열된 단위 셀을 포함하는 복수개의 셀 어레이가 수직 방향으로 다층으로 적층된 단위 블록 셀 어레이; 로오 어드레스를 디코딩하여 복수개의 셀 어레이 중 선택된 셀 어레이의 워드라인을 활성화시키기 위한 로오 어드레스 디코더; 수직 어드레스를 디코딩하여 복수개의 셀 어레이 중 하나의 셀 어레이를 선택하고, 로오 어드레스 디코더의 출력을 선택된 셀 어레이의 워드라인에 연결하는 수직 어드레스 디코딩 수단; 및 컬럼 어드레스를 디코딩하여 복수개의 셀 어레이 중 선택된 셀 어레이의 비트라인을 활성화시키기 위한 컬럼 어드레스 디코더를 포함하는 것을 특징으로 한다.
- <19> 또한, 본 발명은 로오와 컬럼 방향으로 각각 복수개 배열된 단위 셀을 포함하는 복수개의 셀 어레이가 수직 방향으로 다층으로 적층된 단위 블록 셀 어레이; 컬럼 어드레스를 디코딩하여 복수개의 셀 어레이 중 선택된 셀 어레이의 비트라인을 활성화시키기 위한 컬럼 어드레스 디코더; 수직 어드레스를 디코딩하여 복수개의 셀 어레이 중 하나의 셀 어레이를 선택하고, 컬럼 어드레스 디코더의 출력을 선택된 셀 어레이의 비트라인에 연결하는 수직 어드레스 디코딩 수단; 및 로오 어드레스를 디코딩하여 복수개의 셀 어레이 중 선택된 셀 어레이의 워드라인을 활성화시키기 위한 로오 어드레스 디코더를 포함하는 것을 특징으로 한다.
- <20> 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.
- <21> 도 1은 본 발명에 따른 비휘발성 반도체 메모리 장치의 복수개의 뱅크 셀 어레이 구성도이다.
- <22> 도 1을 참조하면, 하나의 셀 어레이 CA1는 로오(Row) 방향(X축 방향)으로 복수개 배열된 로오 어드레스(X) 영역과, 컬럼(Column) 방향(Y축 방향)으로 복수개 배열된 컬럼 어드레스(Y) 영역을 포함하여 2차원 평면 구조를 이룬다.
- <23> 그리고, 단위 블록 셀 어레이(100)는 복수개의 셀 어레이 CA1~CAN가 수직방향(Z축 방향)으로 적층되어 3차원 구조를 이루며, 수직(Vertical) 어드레스(Z)에 의해 복수개의 셀 어레이 CA1~CAN 중 하나를 선택한다.
- <24> 여기서, 하나의 셀 어레이 CA1에서 워드라인을 선택하기 위한 어드레스를 로오 어드레스(X)라 지칭하고, 비트라인을 선택하기 위한 어드레스를 컬럼 어드레스(Y)라 지칭한다. 그리고, 복수개의 셀 어레이 CA1~CAN 중 하나를 선택하기 위한 어드레스를 수직 어드레스(Z)라 지칭한다.
- <25> 또한, 수직 방향으로 적층된 복수개의 셀 어레이 CA1~CAN가 하나의 단위 블록 셀 어레이(100)를 이루며, 복수개의 단위 블록 셀 어레이(100)는 하나의 단위 뱅크 셀 어레이 BCA로 구성된다.
- <26> 본 발명의 실시예에서는 수직 방향으로 적층된 복수개의 셀 어레이 CA1~CAN를 하나의 단위 블록 셀 어레이(100)로 설명하고, 복수개의 단위 블록 셀 어레이(100)를 하나의 단위 뱅크 셀 어레이 BCA로 설명하였다. 하지만, 본 발명은 이에 한정되지 않고, 수평 방향에서 동일한 레이어에 형성된 복수개의 셀 어레이 CA1,CA1들을 하나의 단위 뱅크 셀 어레이 BCA로 형성하고, 복수개의 단위 뱅크 셀 어레이 BCA를 수직 방향으로 적층 할 수도 있다.
- <27> 그리고, 하나의 단위 뱅크 셀 어레이 BCA는 로오 및 컬럼 방향으로 복수개 배열되어, 각 단위 뱅크 셀 어레이 BCA 단위로 독립적인 리드/라이트 동작을 수행함으로써 셀의 동작 속도를 향상시킬 수 있도록 한다.
- <28> 본 발명은 복수개의 단위 뱅크 셀 어레이 BCA가 로오 및 컬럼 방향으로 배열된 것을 그 실시예로 설명하였지만, 본 발명의 복수개의 단위 뱅크 셀 어레이 BCA는 복수개의 셀 어레이 CA1~CAN의 적층 방향을 기준으로 하여 X,Y,Z 방향으로 배열될 수 있다. 그리고, 특정 그룹 단위의 단위 블록 셀 어레이(100)가 하나의 단위 뱅크 셀 어레이 BCA를 이루며, 각 단위 뱅크 셀 어레이 BCA는 독립적으로 리드/라이트 동작을 수행하게 된다.
- <29> 도 2는 본 발명에 따른 비휘발성 반도체 메모리 장치의 어드레스 디코딩 수단에 관한 구성도이다.
- <30> 어드레스 디코딩 수단은 로오(X) 어드레스 레지스터(200), 로오 어드레스 디코더(210), 수직(Z) 어드레스 레지스터(220), 수직 어드레스 디코더(230), 컬럼(Y) 어드레스 레지스터(240), 컬럼 어드레스 디코더(250), 뱅크 어

드레스 레지스터(260) 및 뱅크 어드레스 디코더(270)를 구비한다.

- <31> 여기서, 로오 어드레스 레지스터(200)는 입력되는 로오 어드레스 RADD를 저장한다. 로오 어드레스 디코더(210)는 로오 어드레스 레지스터(200)의 출력을 디코딩하여 출력한다. 수직 어드레스 레지스터(220)는 입력되는 수직 어드레스 VADD를 저장한다. 수직 어드레스 디코더(230)는 수직 어드레스 레지스터(220)의 출력을 디코딩하여 출력한다.
- <32> 컬럼 어드레스 레지스터(240)는 입력되는 컬럼 어드레스 CADD를 저장한다. 컬럼 어드레스 디코더(250)는 컬럼 어드레스 레지스터(240)의 출력을 디코딩하여 출력한다. 뱅크 어드레스 레지스터(260)는 입력되는 뱅크 어드레스 BADD를 저장한다. 뱅크 어드레스 디코더(270)는 뱅크 어드레스 레지스터(260)의 출력을 디코딩하여 출력한다.
- <33> 도 2의 실시예에서 로오 어드레스 레지스터(200), 수직 어드레스 레지스터(220) 및 컬럼 어드레스 레지스터(240)는 각각 독립적인 패드(PAD)로부터 입력되는 로오 어드레스 RADD, 수직 어드레스 VADD 및 컬럼 어드레스 CADD를 처리하게 된다. 또한, 뱅크 어드레스 레지스터(260)는 독립적인 패드로부터 입력되는 뱅크 어드레스 BADD를 처리하게 된다.
- <34> 도 3은 본 발명에 따른 비휘발성 반도체 메모리 장치의 어드레스 디코딩 수단에 관한 다른 실시예이다.
- <35> 본 발명의 다른 실시예에 따른 어드레스 디코딩 수단은 어드레스 레지스터(300), 로오 어드레스 래치(310), 로오 어드레스 디코더(320), 수직 어드레스 래치(330), 수직 어드레스 디코더(340), 컬럼 어드레스 래치(350), 컬럼 어드레스 디코더(360), 뱅크 어드레스 레지스터(370) 및 뱅크 어드레스 디코더(380)를 구비한다.
- <36> 여기서, 어드레스 레지스터(300)는 입력되는 입력 어드레스 IADD를 저장한다. 로오 어드레스 래치(310)는 어드레스 레지스터(300)의 출력을 로오 어드레스로 래치한다. 로오 어드레스 디코더(320)는 로오 어드레스 래치(310)의 출력을 디코딩하여 출력한다. 수직 어드레스 래치(330)는 어드레스 레지스터(300)의 출력을 수직 어드레스로 래치한다. 수직 어드레스 디코더(340)는 수직 어드레스 래치(330)의 출력을 디코딩하여 출력한다.
- <37> 컬럼 어드레스 래치(350)는 어드레스 레지스터(300)의 출력을 컬럼 어드레스로 래치한다. 컬럼 어드레스 디코더(360)는 컬럼 어드레스 래치(350)의 출력을 디코딩하여 출력한다. 뱅크 어드레스 레지스터(370)는 입력되는 뱅크 어드레스 BADD를 저장한다. 뱅크 어드레스 디코더(380)는 뱅크 어드레스 레지스터(370)의 출력을 디코딩하여 출력한다.
- <38> 도 3의 실시예에서 하나의 공통 패드를 통해 입력되는 입력 어드레스 IADD를 하나의 어드레스 레지스터(300)에서 처리하게 된다. 그리고, 어드레스 레지스터(300)는 시분할 멀티플렉싱(Multiplexing) 방법을 사용하여 입력 어드레스 IADD를 각각 로오 어드레스 RADD, 수직 어드레스 VADD 및 컬럼 어드레스 CADD로 출력하게 된다.
- <39> 즉, 입력 어드레스 IADD 중 로오 어드레스 RADD와 수직 어드레스 VADD를 첫 번째 시분할에서 입력 처리하고, 컬럼 어드레스 CADD를 두 번째 시분할에서 처리하는 방법이 있다. 반면에, 입력 어드레스 IADD 중 로오 어드레스 RADD를 첫 번째 시분할에서 입력 처리하고, 수직 어드레스 VADD와 컬럼 어드레스 CADD를 두 번째 시분할에서 처리하는 방법이 있다. 또한, 뱅크 어드레스 레지스터(260)는 독립적인 패드로부터 입력되는 뱅크 어드레스 BADD를 처리하게 된다.
- <40> 도 4는 로오 어드레스와 관련된 본 발명의 어드레스 디코딩 수단에 관한 상세 구성도이다. 어드레스 디코딩 수단은 도 2 또는 도 3의 실시예에 따라 달리 구성될 수 있으며, 도 4에서는 도 2의 어드레스 디코딩 수단이 적용되는 것을 그 실시예로 설명한다.
- <41> 로오 어드레스와 관련된 어드레스 디코딩 수단은 수직 어드레스 디코더(230)와, 로오 어드레스 디코더(210) 및 로오 디코딩부(400)를 구비한다. 여기서, 로오 디코딩부(400)는 셀 어레이 CA1-CAn 내에서 워드라인 WL과 동일한 개수를 갖는 복수개의 스위치 SW1-SWn를 구비한다.
- <42> 수직 어드레스 디코더(230)는 하나의 단위 블록 셀 어레이(100)에서 수직 방향으로 적층된 복수개의 셀 어레이 CA1-CAn 중 하나를 선택하기 위해 사용된다. 그리고, 로오 어드레스 디코더(210)는 수직 어드레스 디코더(230)에 의해 선택된 하나의 셀 어레이 CAn 내에서 복수개의 워드라인 WL 중 하나의 워드라인 WL을 선택하기 위해 사용된다.
- <43> 또한, 로오 디코딩부(400)의 복수개의 스위치 SW1-SWn는 수직 어드레스 디코더(230)의 출력에 상태에 따라, 선택된 셀 어레이 CAn의 워드라인 WL과 로오 어드레스 디코더(210)의 출력에 의해 선택된 로오 라인 ROW을 선택적

으로 연결한다.

- <44> 도 5는 컬럼 어드레스와 관련된 본 발명의 어드레스 디코딩 수단에 관한 상세 구성도이다. 어드레스 디코딩 수단으로는 도 2 또는 도 3의 구성이 사용될 수 있으나, 도 5에서는 도 2의 어드레스 디코딩 수단이 적용되는 것을 그 실시예로 설명한다.
- <45> 컬럼 어드레스와 관련된 어드레스 디코딩 수단은 수직 어드레스 디코더(230)와, 컬럼 어드레스 디코더(250) 및 컬럼 디코딩부(500)를 구비한다. 여기서, 컬럼 디코딩부(500)는 셀 어레이 CA1~CA_n 내에서 비트라인 BL과 동일한 개수를 갖는 복수개의 스위치 SW1~SW_n를 구비한다.
- <46> 수직 어드레스 디코더(230)는 하나의 단위 블록 셀 어레이(100)에서 수직 방향으로 적층된 복수개의 셀 어레이 CA1~CA_n 중 하나를 선택하기 위해 사용된다. 그리고, 컬럼 어드레스 디코더(250)는 수직 어드레스 디코더(230)에 의해 선택된 하나의 셀 어레이 CA_n 내에서 복수개의 비트라인 BL 중 하나의 비트라인 BL을 선택하기 위해 사용된다.
- <47> 또한, 컬럼 디코딩부(500)의 복수개의 스위치 SW1~SW_n는 수직 어드레스 디코더(230)의 출력에 상태에 따라, 선택된 셀 어레이 CA_n의 비트라인 BL과 컬럼 어드레스 디코더(250)의 출력에 의해 선택된 컬럼 라인 COL을 선택적으로 연결한다.
- <48> 이에 따라, 도 6에서와 같이, 로오 디코딩부(400)에 의해 선택된 해당 워드라인 WL과, 컬럼 디코딩부(500)에 의해 선택된 해당 비트라인 BL의 교차 영역에 구비된 단위 셀 C에 대하여 리드/라이트 동작을 수행하게 된다.
- <49> 도 7은 본 발명에 따른 비휘발성 반도체 메모리 장치의 제 n층 셀 어레이 CA_n에 관한 레이아웃 단면도이다.
- <50> 본 발명은 워드라인 WL과 버텀 워드라인 BWL이 서로 동일한 방향으로 평행하게 배치되며 컬럼 방향으로 복수개 구비된다. 그리고, 복수개의 비트라인 BL은 워드라인 WL과 수직인 방향으로 복수개 구비된다. 또한, 복수개의 워드라인 WL, 복수개의 버텀 워드라인 BWL과, 복수개의 비트라인 BL이 교차되는 영역에 복수개의 단위 셀 C이 각각 위치한다.
- <51> 도 8은 본 발명에 따른 비휘발성 반도체 메모리 장치의 제 n층 셀 어레이 CA_n에 관한 단면도이다.
- <52> 도 8은 도 7의 레이아웃 단면도에서 워드라인 WL과 평행인 (A) 방향에서의 제 n층 셀 어레이 CA_n에 관한 단면 구조를 나타낸다.
- <53> 본 발명의 제 n층 셀 어레이 CA_n는 버텀 워드라인(10)의 상부에 복수개의 절연층(11)이 형성되고, 복수개의 절연층(11)의 상부에 복수개의 P형 채널 영역(12)이 형성된다. 그리고, 복수개의 채널 영역(12) 상부에 복수개의 강유전체층(16)이 형성되고, 복수개의 강유전체층(16)의 상부에 버텀 워드라인(10)과 평행하게 워드라인(17)이 형성된다. 따라서, 하나의 워드라인 WL₁과 하나의 버텀 워드라인 BWL₁ 사이에 복수개의 셀들이 연결된다.
- <54> 또한, 도 9는 도 7의 레이아웃 단면도에서 워드라인 WL과 수직인 (B) 방향에서의 제 n층 셀 어레이 CA_n에 관한 단면 구조를 나타낸다.
- <55> 본 발명의 제 n층 셀 어레이 CA_n는 각각의 버텀 워드라인 BWL₁, BWL₂, BWL₃의 상부에 절연층(11)이 형성된다. 그리고, 절연층(11)의 상부에 P형 드레인영역(13)과 P형 채널영역(12) 및 P형 소스영역(14)이 직렬 연결된 플로팅 채널층(15)이 형성된다.
- <56> 여기서, P형 드레인영역(13)은 인접한 셀에서 소스 영역으로 사용될 수 있으며, P형 소스영역(14)은 인접한 셀에서 드레인 영역으로 사용될 수 있다. 즉, P형영역은 인접한 셀에서 드레인영역과 소스영역으로 공통으로 사용된다.
- <57> 그리고, 플로팅 채널층(15)의 드레인영역(13), 소스영역(14), 및 채널 영역(12)은 P형으로 이루어져 플로팅 상태가 된다. 플로팅 채널층(15)의 반도체는 탄소 나노 튜브(Carbon Nano Tube), 실리콘, Ge(게르마늄) 또는 유기체(Organic) 등의 재료가 이용될 수 있다.
- <58> 또한, 플로팅 채널층(15)의 각각의 채널 영역(12) 상부에 강유전체층(16)이 형성되고, 강유전체층(16)의 상부에 워드라인 WL₁, WL₂, WL₃이 형성된다. 여기서, 버텀 워드라인(10)과 워드라인(17)은 동일한 로오 어드레스 디코더(미도시)에 의해 선택적으로 구동된다.
- <59> 이러한 구성을 갖는 본 발명은 강유전체층(16)의 분극(Polarization) 상태에 따라 플로팅 채널층(15)의 채널 저항이 달라지는 특성을 이용하여 데이터를 리드/라이트 한다. 즉, 강유전체층(16)의 극성이 채널영역(12)에 양

(+)의 전하를 유도할 경우 메모리 셀은 고저항 상태가 되어 채널이 오픈된다. 반대로, 강유전체층(16)의 극성이 채널영역(12)에 음(-)의 전하를 유도할 경우 메모리 셀은 저저항 상태가 되어 채널이 턴온된다.

- <60> 도 10은 본 발명에 따른 비휘발성 반도체 메모리 장치의 단위 블록 셀 어레이(100)에 관한 단면도이다.
- <61> 도 10에 도시된 단위 블록 셀 어레이(100)는 도 9와 같은 구성을 갖는 본 발명의 단위 셀 어레이 CAn가 다층 구조로 적층된다. 그리고, 각각의 단위 셀 어레이 CA1~CAn는 셀 절연층(18)을 통해 서로 분리된다.
- <62> 본 발명에서는 플로팅 채널층(15)이 P형 드레인영역(13), P형 채널영역(12) 및 P형 소스영역(14)으로 이루어진 것을 그 실시예로 설명하였지만, 본 발명은 이에 한정되지 않고 플로팅 채널층(15)이 N형 드레인 영역, N형 채널영역 및 N형 소스영역으로 이루어질 수도 있다.
- <63> 이러한 구성을 갖는 본 발명의 동작 과정을 설명하면 다음과 같다.
- <64> 먼저, बैं크 어드레스 디코더(270)의 출력에 따라 복수개의 बैं크 셀 어레이 BCA 중 하나의 단위 बैं크 셀 어레이 BCA₁가 선택된다. 그리고, 수직 어드레스 디코더(230)의 출력과 로오 어드레스 디코더(210)의 출력을 조합하여 로오 어드레스 RADD를 디코딩하게 된다.
- <65> 즉, 선택된 단위 बैं크 셀 어레이 BCA₁ 내에서 수직 어드레스 디코더(230)의 출력에 따라 로오 디코딩부(400)의 해당 스위치 SW_n가 턴온되면 제 n층 셀 어레이 CAn가 선택된다. 이때, 스위치 SW_n가 턴온될 경우 선택된 제 n층 셀 어레이 CAn 내에서 로오 어드레스 디코더(210)에 의해 선택된 하나의 워드라인 WL이 활성화된다.
- <66> 이어서, 수직 어드레스 디코더(230)의 출력과 컬럼 어드레스 디코더(250)의 출력을 조합하여 컬럼 어드레스 CADD를 디코딩하게 된다.
- <67> 즉, 선택된 단위 बैं크 셀 어레이 BCA₁ 내에서 수직 어드레스 디코더(230)의 출력에 따라 컬럼 디코딩부(500)의 해당 스위치 SW_n가 턴온되면 제 n층 셀 어레이 CAn가 선택된다. 이때, 스위치 SW_n가 턴온될 경우 선택된 제 n층 셀 어레이 CAn 내에서 컬럼 어드레스 디코더(250)에 의해 선택된 하나의 비트라인 BL이 활성화된다.
- <68> 이에 따라, 도 6에서와 같이, 로오 디코딩부(400)에 의해 선택된 해당 워드라인 WL과, 컬럼 디코딩부(500)에 의해 선택된 해당 비트라인 BL의 교차 영역에 구비된 단위 셀 C에 대하여 리드/라이트 동작을 수행하게 된다.
- <69> 본 발명에 따른 비휘발성 반도체 메모리 장치의 하이 데이터 라이트/리드 동작을 설명하면 다음과 같다.
- <70> 먼저, 데이터 "1"의 라이트 동작 모드시 버텀 워드라인(10)에 그라운드 전압 <GND>을 인가하고 워드라인(17)에 음의 전압인 <-V>를 인가한다. 이때, 드레인영역(13)과 소스영역(14)은 그라운드 전압 <GND> 상태가 되도록 한다.
- <71> 이러한 경우 강유전체층(16)과 절연층(11) 사이의 캐패시터의 전압 분배에 의해, 플로팅 채널층(15)의 P형 채널 영역(12)과 강유전체층(16) 사이에 전압이 인가된다. 따라서, 강유전체층(16)의 극성에 따라 채널 영역(12)에 양의 전하가 유도되어 메모리 셀은 저저항 상태가 된다. 이에 따라, 라이트 동작 모드시 메모리 모든 셀에 데이터 "1"을 라이트할 수 있게 된다.
- <72> 반면에, 데이터 "1"의 리드 동작 모드시 버텀 워드라인(10)에 그라운드 전압 <GND> 또는 양의 값을 갖는 리드전압 <+Vrd>을 인가한다. 그리고, 워드라인(17)에 그라운드 전압 <GND>을 인가한다. 이때, 버텀 워드라인(10)으로부터 인가되는 리드전압 <+Vrd>에 의해 채널영역(12)의 하부에 공핍층이 형성된다.
- <73> 또한, 채널영역(12)의 상부에 양의 전하가 유도되어 공핍층이 생기지 않게 된다. 이에 따라, 채널영역(12)이 턴온되어 소스영역(14)에서 드레인영역(13)으로 전류가 흐르게 된다. 따라서, 리드 동작 모드시 메모리 셀에 저장된 데이터 "1"을 리드할 수 있게 된다. 이때, 드레인영역(13)과 소스영역(14)에 약간의 전압차를 주어도 채널 영역(12)이 턴온된 상태이므로 많은 전류가 흐르게 된다.
- <74> 본 발명에 따른 비휘발성 반도체 메모리 장치의 로우 데이터 라이트/리드 동작을 설명하면 다음과 같다.
- <75> 먼저, 데이터 "0"의 라이트 동작 모드시 버텀 워드라인(10)에 음의 값을 갖는 전압 <-V>을 인가하고 워드라인(17)에 그라운드 전압 <GND>을 인가한다. 그리고, 드레인영역(13)과 소스영역(14)에 음의 값을 갖는 전압 <-V>을 인가한다.
- <76> 이때, 워드라인(17)으로부터 인가되는 양의 전압 <+V>과 채널영역(12)에 형성된 음의 전압 <-V> 사이에 높은 전압이 형성된다. 따라서, 강유전체층(16)의 극성에 따라 채널 영역(12)에 음의 전하가 유도되어 메모리 셀은 고

저항 상태가 된다. 이에 따라, 라이트 동작 모드시 메모리 셀에 데이터 "0"을 라이트할 수 있게 된다.

<77> 반면에, 데이터 "0"의 리드 동작 모드시 버텀 워드라인(10)에 그라운드 전압 <GND> 또는 양의 값을 갖는 리드전압 <+Vrd>을 인가한다. 그리고, 워드라인(17)에 그라운드 전압 <GND>을 인가한다.

<78> 이때, 버텀 워드라인(10)으로부터 인가되는 리드전압 <+Vrd>에 의해 채널영역(12)의 하부에 공핍층이 형성된다. 그리고, 채널영역(12)의 상부에 음의 전하가 유도되어 공핍층이 형성된다. 이에 따라, 채널영역(12)에 형성된 공핍층에 의해 채널영역(12)의 채널이 오프되어 소스영역(14)에서 드레인영역(13)으로 전류 경로가 차단된다.

<79> 이때, 드레인영역(13)과 소스영역(14) 사이에 약간의 전압차를 주어도 채널 영역(12)이 오프된 상태이므로 적은 전류가 흐르게 된다. 이에 따라, 리드 동작 모드시 메모리 셀에 저장된 데이터 "0"을 리드할 수 있게 된다.

<80> 따라서, 리드 동작 모드시 워드라인(17)과 버텀 워드라인(10)을 그라운드로 제어하여 강유전체층(16)에 전압 스트레스가 가해지지 않기 때문에 셀의 데이터 유지 특성이 향상될 수 있게 된다.

본 발명은 상술된 셀 어레이가 강유전체 메모리(FeRAM; Ferroelectric Random Access Memory)로 이루어진 경우를 그 실시예로 설명하였다. 하지만, 본 발명은 이러한 실시예에 한정되는 것이 아니며, 본 발명의 비휘발성 반도체 메모리 장치는 강유전체 메모리뿐만 아니라 비휘발성 특성을 갖는 어떠한 메모리 장치에 적용될 수 있다.

비휘발성 특성을 갖는 메모리 장치의 예로는, 상 변화 저항(PCR : Phase Change Resistor) 소자를 포함하는 상 변화 메모리(PRAM; Phase change Random Access Memory), MTJ(Magnetic Tunnel Junction) 소자를 포함하는 자기 저항 메모리(MRAM; Magnetoresistive Random Access Memory) 또는 저항 스위칭 소자(RSD; Resistive Switch Device))를 포함하는 저항변화 기억소자(ReRAM; Resistive random access memory device) 등이 있다.

발명의 효과

<81> 이상에서 설명한 바와 같이, 본 발명은 다음과 같은 효과를 제공한다.

<82> 첫째, NDRO(Non Destructive Read Out) 방식을 사용하여 리드 동작시 셀의 데이터가 파괴되지 않는다. 이에 따라, 본 발명은 나노 스케일(Nano scale) 강유전체 셀의 저전압 동작시 셀의 신뢰성이 향상되고 리드 동작 속도를 향상시킬 수 있게 된다.

<83> 둘째, 이러한 강유전체 단위 셀 어레이를 로오 및 컬럼 방향으로 복수개 구비하고, 이를 수직 방향으로 적층하여 셀의 집적 용량을 향상시킴으로써 칩의 전체적인 사이즈를 줄일 수 있도록 한다.

<84> 셋째, 수직(Z) 어드레스 디코더에 의해 수직 방향으로 적층된 복수개의 단위 블록 셀 어레이 중 하나를 선택할 수 있도록 하여 셀 어레이를 효율적으로 구동하고 셀의 동작 속도를 향상시킬 수 있도록 하는 효과를 제공한다.

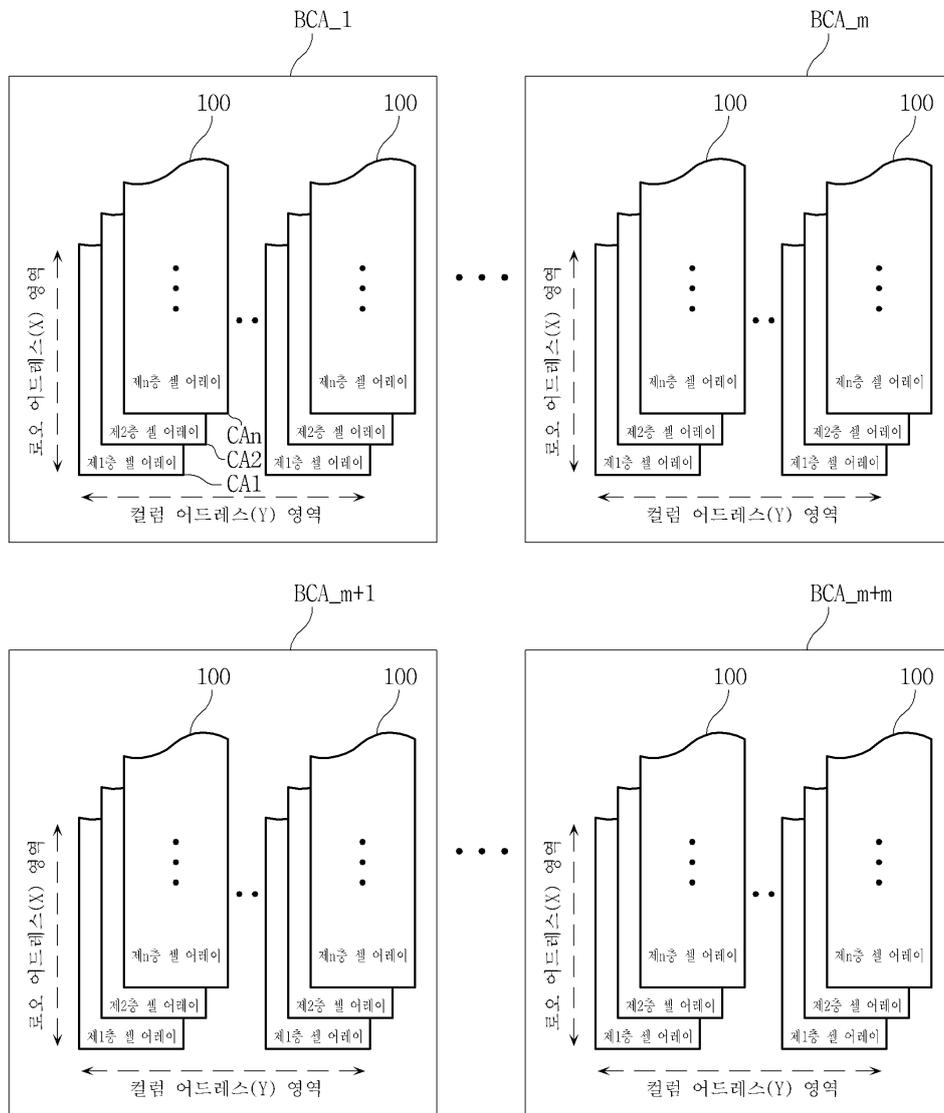
<85> 아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구 범위에 속하는 것으로 보아야 할 것이다.

도면의 간단한 설명

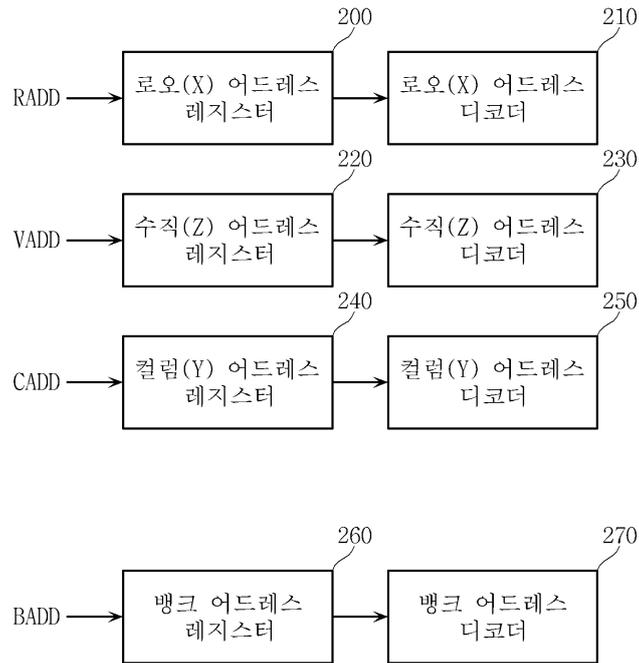
- <1> 도 1은 본 발명에 따른 비휘발성 반도체 메모리 장치의 복수개의 बैं크 셀 어레이 구성도.
- <2> 도 2는 본 발명에 따른 비휘발성 반도체 메모리 장치의 어드레스 디코딩 수단에 관한 구성도.
- <3> 도 3은 본 발명에 따른 비휘발성 반도체 메모리 장치의 어드레스 디코딩 수단에 관한 다른 실시예.
- <4> 도 4 내지 도 6은 도 2의 어드레스 디코딩 수단에 관한 상세 구성도.
- <5> 도 7은 도 1의 셀 어레이에 관한 레이아웃도.
- <6> 도 8 및 도 9는 도 1의 셀 어레이에 관한 단면도.
- <7> 도 10은 도 1의 단위 블록 셀 어레이에 관한 단면 구성도.

도면

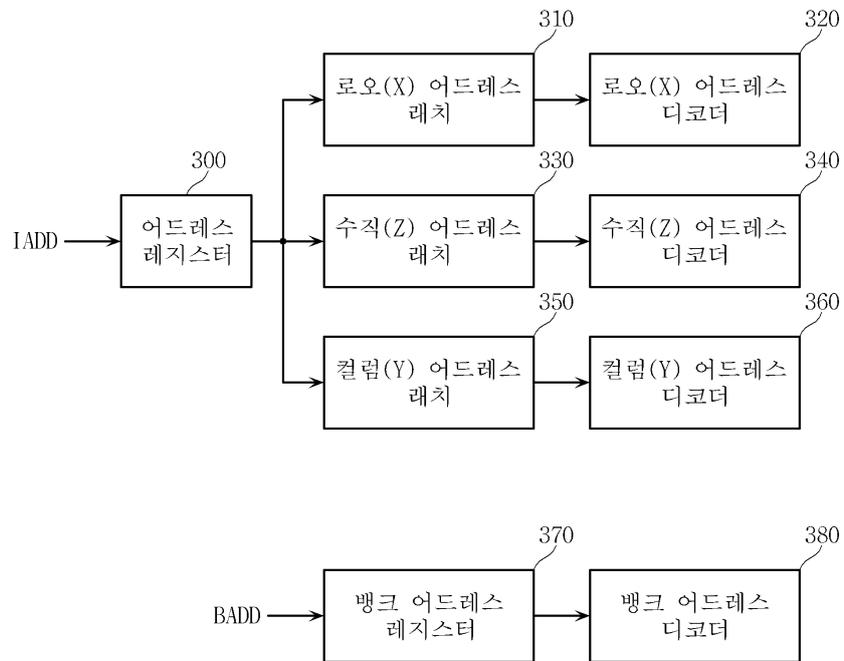
도면1



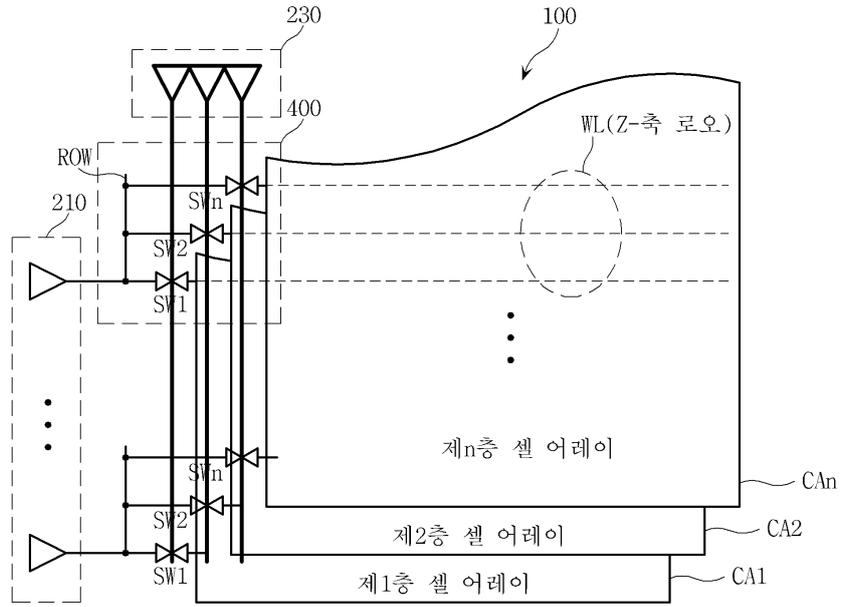
도면2



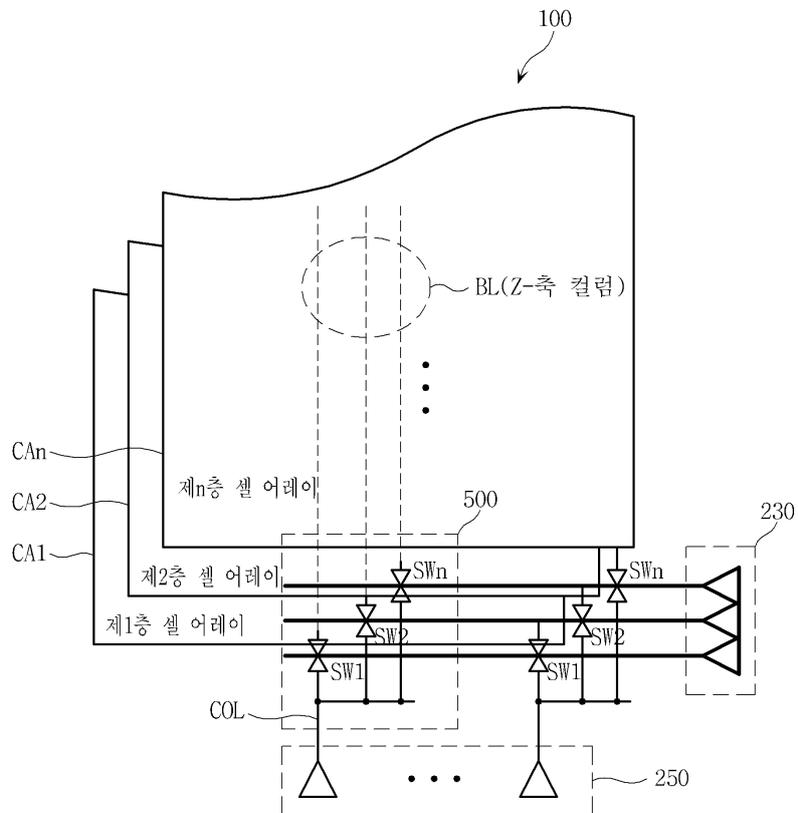
도면3



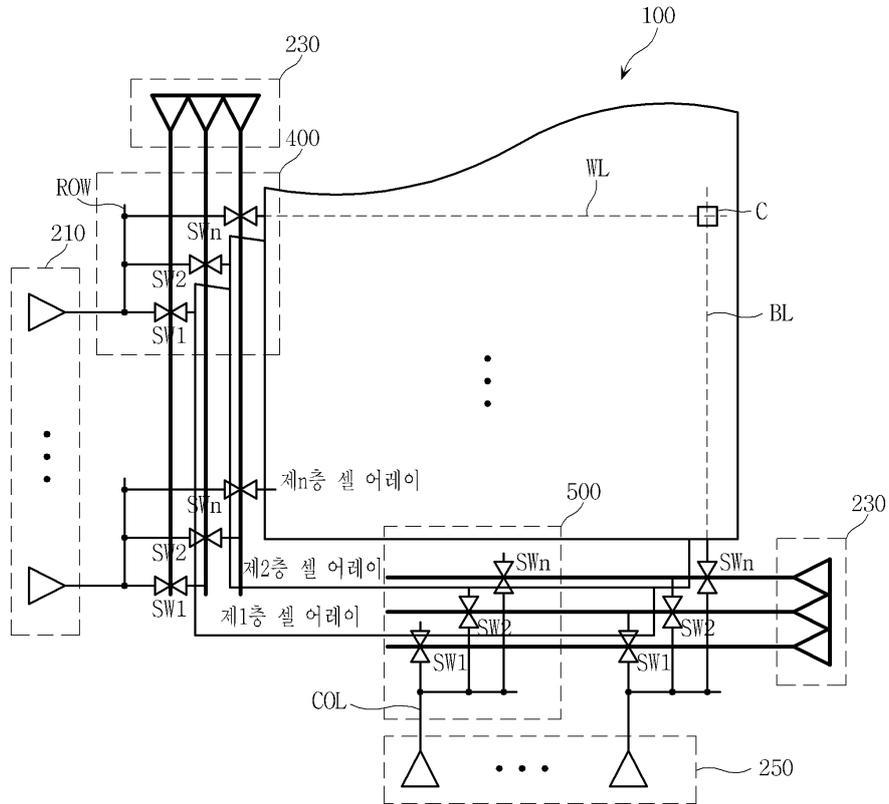
도면4



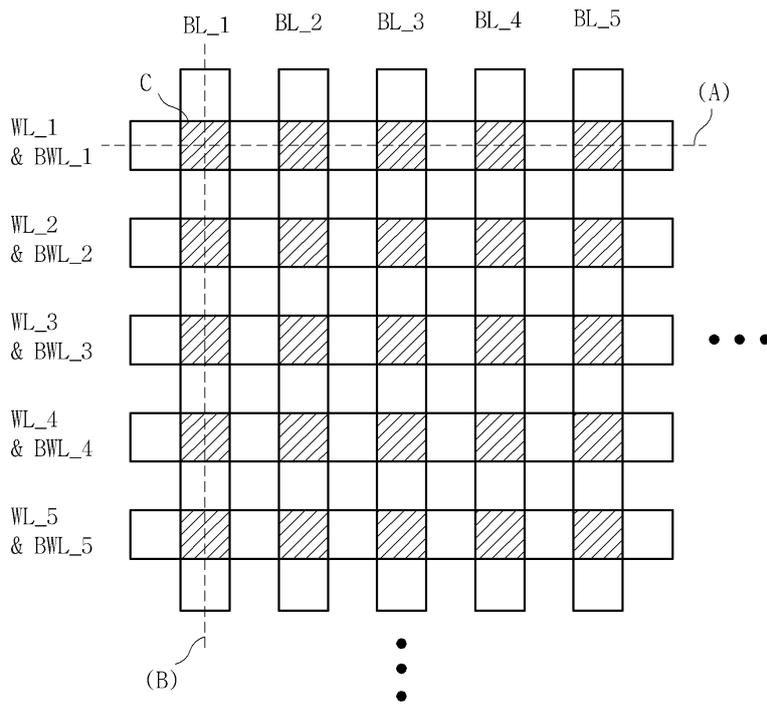
도면5



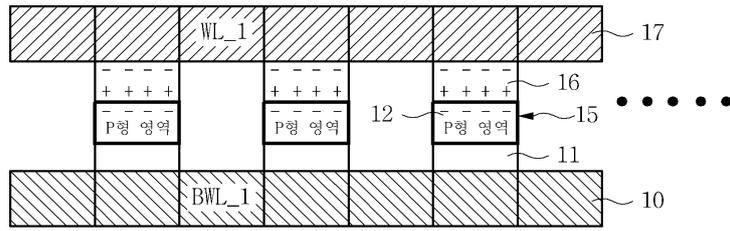
도면6



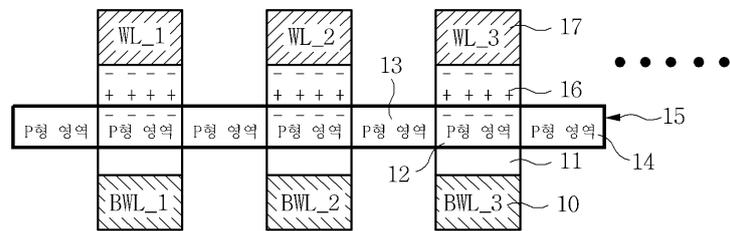
도면7



도면8



도면9



도면10

