

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>7</sup>  
G11C 29/00

(45) 공고일자 2001년02월 15일  
(11) 등록번호 10-0281894  
(24) 등록일자 2000년11월22일

(21) 출원번호	10-1998-0023919	(65) 공개번호	특1999-0007292
(22) 출원일자	1998년06월24일	(43) 공개일자	1999년01월25일
(30) 우선권주장	1019970027603 1997년06월26일 대한민국(KR) 1019970031321 1997년07월07일 대한민국(KR)		
(73) 특허권자	삼성전자주식회사 윤종용 경기도 수원시 팔달구 매탄3동 416		
(72) 발명자	원종학 경기도 수원시 팔달구 우만2동 105번지 선경아파트 102동 1813호 박상봉 경기도 용인시 기흥읍 농서리 산 24		
(74) 대리인	권석흥, 이영필		

심사관 : 전일용

**(54) 메모리 로직 복합 반도체 장치의 메모리 테스트 제어 회로 및 메모리 테스트 방법**

**요약**

본 발명은 메모리 로직 복합 반도체 장치의 메모리 테스트 제어 회로 및 메모리 테스트 방법에 관한 것으로 제1 및 제2 메모리들, 상기 제1 및 제2 메모리들을 제어하는 메모리 제어 신호들이 입력되는 패드, 상기 제1 및 제2 메모리들로 입력되거나 상기 제1 및 제2 메모리들로부터 출력되는 메모리 데이터 신호들이 인가되는 다른 패드, 로직, 메모리 테스트 제어 회로, 및 상기 메모리 테스트 제어 회로에 연결되고 상기 메모리 제어 신호들 및 상기 메모리 데이터 신호들이 상기 로직으로 연결되거나 또는 상기 제1 및 제2 메모리들에 연결되는 것을 제어하는 테스트 제어 신호들이 입력되는 두 개의 패드들을 구비한다. 상기 로직은 상기 제1 및 제2 메모리들을 제어한다. 상기 메모리 테스트 제어 회로는 상기 패드와 상기 다른 패드와 상기 로직 및 상기 제1 및 제2 메모리들에 연결된다. 상기 제1 및 제2 메모리들을 테스트할 경우에는 상기 메모리 제어 신호들과 상기 메모리 데이터 신호들은 상기 제1 및 제2 메모리들에 전달되고 정상 동작을 할 경우에는 상기 메모리 제어 신호들과 상기 메모리 데이터 신호들은 상기 로직으로 전달된다.

**대표도**

**도1**

**명세서**

**도면의 간단한 설명**

- 도 1은 본 발명의 바람직한 실시예에 따른 메모리 로직 복합 반도체 장치의 블록도.  
 도 2는 상기 도 1에 도시된 메모리 테스트 제어 회로의 제1 실시예에 따른 블록도.  
 도 3은 상기 도 2에 도시된 메모리 제어 신호 제어부의 회로도.  
 도 4는 상기 도 2에 도시된 메모리 데이터 제어부의 회로도.  
 도 5는 상기 도 1에 도시된 메모리 테스트 제어 회로의 제2 실시예에 따른 블록도.  
 도 6은 상기 도 5에 도시된 메모리 제어 신호 제어부의 회로도.  
 도 7은 상기 도 5에 도시된 제1 메모리 데이터 제어부의 회로도.  
 도 8은 상기 도 5에 도시된 제2 메모리 데이터 제어부의 회로도.  
 도 9는 일반적인 메모리 로직 복합 반도체 장치의 블록도.  
 도 10은 상기 도 9에 도시된 메모리에 대한 본 발명의 실시예에 의한 테스트 방법을 도시한 흐름도.

**발명의 상세한 설명**

**발명의 목적**

### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 메모리 로직 복합 반도체 장치에 관한 것으로서, 특히 메모리 로직 복합 반도체 장치에 내장된 메모리를 테스트하기 위한 메모리 로직 복합 반도체 장치의 메모리 테스트 제어 회로 및 메모리 테스트 방법에 관한 것이다.

로직/메모리 복합 반도체 장치는 반도체 장치를 이용하는 시스템의 경박단소, 고성능화, 저전력화를 달성하기 위하여 메모리, 예컨대 디램(DRAM:Dynamic Random Access Memory) 또는 에스램(SRAM:Static Random Access Memory)과 상기 메모리에 맞는 로직을 하나의 칩에 구현한 것을 말한다.

일반적인 반도체 메모리 장치에 내장된 메모리의 테스트는 패드를 통하여 실행되었다. 그러나 메모리 로직 복합 반도체 장치에 내장된 메모리는 패드를 통하여는 테스트될 수가 없다. 왜냐하면, 메모리 로직 복합 반도체 장치에 내장된 메모리는 상기 메모리 로직 복합 반도체 장치에 내장된 로직에 직접적으로 연결되어있기 때문이다. 따라서 메모리 로직 복합 반도체 장치에 내장된 메모리의 기능을 테스트하기 위해서는 별도의 패드가 필요하다. 하지만, 패드의 수가 많아지게되면 메모리 로직 복합 반도체 장치의 크기가 커지게 되고 그로 인하여 메모리 로직 복합 반도체 장치의 제조비가 증가하게 된다. 또한, 메모리 용량이 증가하면 할수록 테스트 타임도 비례적으로 증가한다. 메모리 테스트 타임이 증가하면 반도체 장치의 제조비가 증가하므로 메모리 용량이 점차 증가되고있는 추세에 비추어볼 때, 큰 용량의 메모리를 갖는 반도체 장치의 메모리 테스트 타임을 감소시킬 수 있는 테스트 방법이 요구되고 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자하는 기술적 과제는 기존의 패드를 이용하여 내장된 메모리를 테스트할 수 있는 메모리 로직 복합 반도체 장치의 메모리 테스트 제어 회로를 제공하는데 있다.

본 발명이 이루고자하는 다른 기술적 과제는 복수개의 디램 뱅크를 갖는 메모리 로직 복합 반도체 장치에 있어서 메모리 테스트 타임이 감소되는 메모리 로직 복합 반도체 장치의 메모리 테스트 방법을 제공하는데 있다.

### 발명의 구성 및 작용

상기 기술적 과제를 이루기 위하여 본 발명은, 제1 및 제2 메모리들과, 상기 제1 및 제2 메모리들을 제어하는 메모리 제어 신호들이 입력되는 패드와, 상기 제1 및 제2 메모리들로 입력되거나 상기 제1 및 제2 메모리들로부터 출력되는 메모리 데이터 신호들이 인가되는 다른 패드와, 상기 제1 및 제2 메모리들을 제어하는 로직과, 상기 패드와 상기 다른 패드와 상기 로직 및 상기 제1 및 제2 메모리들에 연결된 메모리 테스트 제어 회로, 및 상기 메모리 테스트 제어 회로에 연결되고 상기 메모리 제어 신호들 및 상기 메모리 데이터 신호들이 상기 로직으로 전달되거나 또는 상기 제1 및 제2 메모리들에 전달되는 것을 제어하는 테스트 제어 신호들이 입력되는 두 개의 패드들을 구비하고, 상기 제1 및 제2 메모리들을 테스트할 경우에는 상기 메모리 제어 신호들과 상기 메모리 데이터 신호들을 상기 제1 및 제2 메모리들에 전달하고 정상 동작을 할 경우에는 상기 메모리 제어 신호들과 상기 메모리 데이터 신호들을 상기 로직으로 전달하는 메모리 로직 복합 반도체 장치를 제공한다.

상기 기술적 과제를 이루기 위하여 본 발명은 또한, 로직과 제1 및 제2 메모리 수단들 사이에 연결된 메모리 테스트 제어 회로에 있어서, 상기 제1 및 제2 메모리 수단들 및 상기 로직으로 상기 제1 및 제2 메모리들을 제어하는 메모리 제어 신호들을 전달하는 메모리 제어 신호 제어부와, 상기 제1 및 제2 메모리 수단들 및 상기 로직으로 메모리 데이터 신호들을 전달하거나 또는 상기 제1 및 제2 메모리 수단들 및 상기 로직으로부터 출력되는 메모리 데이터 신호들을 외부로 전달하는 메모리 데이터 제어부, 및 상기 메모리 제어 신호 제어부 및 상기 메모리 데이터 제어부에 연결되고 외부로부터 입력되는 제1 및 제2 테스트 제어 신호의 조합에 의해 적어도 세 개의 주 제어 신호들을 발생하여 상기 메모리 제어 신호들이 상기 제1 및 제2 메모리 수단들 및 상기 로직으로 전달되는 여부와, 상기 메모리 데이터 신호들이 상기 제1 및 제2 메모리 수단들 및 상기 로직으로 전달되는 여부, 및 상기 제1 및 제2 메모리 수단들 및 상기 로직으로부터 출력되는 메모리 데이터 신호들이 외부로 전달되는 여부를 제어하는 주 제어 신호 발생부를 구비하는 메모리 테스트 제어 회로를 제공한다.

바람직하기는, 상기 주 제어 신호 발생부는 상기 제1 및 제2 테스트 제어 신호들이 모두 인액티브일 때는 상기 메모리 제어 신호 제어부의 출력과 상기 메모리 데이터 제어부의 출력은 상기 제1 메모리 수단으로 전달되고, 상기 제1 테스트 제어 신호가 액티브이고 제2 테스트 제어 신호는 인액티브일 때는 상기 메모리 제어 신호 제어부의 출력과 상기 메모리 데이터 제어부의 출력은 상기 제2 메모리 수단으로 전달되고, 상기 제1 테스트 제어 신호가 인액티브이고 제2 테스트 제어 신호는 액티브일 때는 상기 메모리 제어 신호 제어부의 출력과 상기 메모리 데이터 제어부의 출력은 상기 로직으로 전달되도록하는 발생부이다.

또 바람직하기는, 상기 메모리 제어 신호 제어부는 상기 메모리 제어 신호들을 입력으로하는 버퍼와, 상기 버퍼의 출력과 상기 주 제어 신호들을 입력으로하고 그 출력들 중 하나는 상기 로직으로 전달하는 논리 게이트, 및 상기 논리 게이트의 출력과 상기 로직의 출력을 입력으로하고 상기 주 제어 신호들에 응답하여 상기 논리 게이트의 출력 또는 상기 로직의 출력을 상기 제1 및 제2 메모리 수단들로 전달하는 메모리 제어부를 구비한다.

또한 바람직하기는, 상기 메모리 데이터 제어부는 상기 메모리 데이터 신호들이 인가되는 입출력 버퍼와, 상기 입출력 버퍼의 출력과 상기 주 제어 신호들을 입력으로하고 그 출력들 중 하나는 상기 로직으로 전달하는 논리 게이트와, 상기 논리 게이트의 출력과 상기 로직의 출력을 입력으로하고 상기 주 제어 신호들에 응답하여 상기 논리 게이트의 출력 또는 상기 로직의 출력을 상기 제1 및 제2 메모리 수단들로 전달하는 메모리 제어부와, 상기 제1 및 제2 메모리 수단들로부터 출력되는 메모리 데이터 신호들과 상기 로직의 출력을 입력으로하고 상기 주 제어 신호들에 응답하여 상기 제1 및 제2 메모리 수단들로부터 출력되는 메모리 데이터 신호들 또는 상기 로직의 출력을 상기 입출력 버퍼로 전달하는 출력 제어부, 및 상기

주 제어 신호들과 상기 제1 및 제2 메모리 수단들로부터 출력되는 메모리 데이터 신호들을 입력으로 하고 그 출력은 상기 입출력 버퍼로 전달되며 그 출력이 액티브이면 상기 출력 제어부의 출력이 상기 입출력 버퍼를 통과하고 그 출력이 인액티브이면 상기 출력 제어부의 출력이 상기 입출력 버퍼를 통과하지 못하게 하는 출력 버퍼 제어부를 구비한다.

상기 기술적 과제를 이루기 위하여 본 발명은 또한, 로직과 제1 및 제2 메모리 수단들 사이에 연결된 메모리 테스트 제어 회로에 있어서, 상기 제1 및 제2 메모리 수단들 및 상기 로직으로 상기 제1 및 제2 메모리 수단들을 제어하는 메모리 제어 신호들을 전달하는 메모리 제어 신호 제어부와, 상기 제1 메모리 수단 및 상기 로직으로 메모리 데이터 신호들을 전달하거나 또는 상기 제1 메모리 수단 및 상기 로직으로부터 출력되는 메모리 데이터 신호들을 외부로 전달하는 제1 메모리 데이터 제어부와, 상기 제2 메모리 수단 및 상기 로직으로 메모리 데이터 신호들을 전달하거나 또는 상기 제2 메모리 수단 및 상기 로직으로부터 출력되는 메모리 데이터 신호들을 외부로 전달하는 제2 메모리 데이터 제어부, 및 상기 메모리 제어 신호 제어부 및 상기 제1 및 제2 메모리 데이터 제어부에 연결되고, 외부로부터 입력되는 테스트 제어 신호의 조합에 의해 메모리 주 제어 신호와 로직 주 제어 신호를 발생시키는 주 제어 신호 발생부를 구비하고, 상기 메모리 주 제어 신호가 액티브이면 상기 메모리 제어 신호들과 상기 메모리 데이터 신호들이 각각 상기 제1 및 제2 메모리 수단들로 전달되거나 또는 상기 제1 및 제2 메모리 수단들로부터 발생한 메모리 데이터 신호들이 외부로 전달되고 상기 로직 주 제어 신호가 인액티브이면 상기 메모리 제어 신호들 또는 상기 메모리 데이터 신호들이 모두 상기 로직으로 전달되는 메모리 테스트 제어 회로를 제공한다.

바람직하기는, 상기 주 제어 신호 발생부는 상기 테스트 제어 신호들이 액티브일 때는 상기 메모리 주 제어 신호를 액티브시키고 상기 테스트 제어 신호가 인액티브일 때는 상기 로직 주 제어 신호를 액티브시킨다.

또 바람직하기는, 상기 메모리 제어 신호 제어부는 상기 메모리 제어 신호들을 입력으로 하는 버퍼와, 상기 버퍼의 출력과 상기 메모리 주 제어 신호 및 상기 로직 주 제어 신호를 입력으로 하고 그 출력들 중 하나는 상기 로직으로 전달되는 논리 게이트, 및 상기 논리 게이트의 출력과 상기 로직의 출력을 입력으로 하고 상기 메모리 주 제어 신호와 상기 로직 주 제어 신호에 응답하여 상기 논리 게이트의 출력 또는 상기 로직의 출력을 상기 제1 및 제2 메모리 수단들로 전달하는 메모리 제어부를 구비한다.

또한 바람직하기는, 상기 제1 메모리 데이터 제어부는 상기 메모리 데이터 신호들이 인가되는 제1 입출력 버퍼와, 상기 제1 입출력 버퍼의 출력과 상기 메모리 주 제어 신호와 상기 로직 주 제어 신호를 입력으로 하고 그 출력들 중 하나는 상기 로직으로 전달하는 제1 논리 게이트와, 상기 제1 논리 게이트의 출력과 상기 로직의 출력을 입력으로 하고 상기 메모리 주 제어 신호와 상기 로직 주 제어 신호에 응답하여 상기 제1 논리 게이트의 출력 또는 상기 로직의 출력을 상기 제1 메모리 수단으로 전달하는 제1 메모리 제어부와, 상기 제1 메모리 수단으로부터 출력되는 메모리 데이터 신호들과 상기 로직의 출력을 입력으로 하고 상기 메모리 주 제어 신호와 상기 로직 주 제어 신호에 응답하여 상기 제1 메모리 수단으로부터 출력되는 메모리 데이터 신호들 또는 상기 로직의 출력을 상기 제1 입출력 버퍼로 전달하는 제1 출력 제어부, 및 상기 메모리 주 제어 신호와 상기 로직 주 제어 신호 및 상기 제1 메모리 수단으로부터 출력되는 메모리 데이터 신호를 입력으로 하고 그 출력은 상기 제1 입출력 버퍼로 전달하는 제1 출력 버퍼 제어부를 구비하고, 상기 제1 출력 버퍼 제어부의 출력이 액티브이면 상기 제1 출력 제어부의 출력이 상기 제1 입출력 버퍼를 통과하고 상기 제1 출력 버퍼 제어부의 출력이 인액티브이면 상기 제1 출력 제어부의 출력이 상기 제1 입출력 버퍼를 통과하지 못하는 메모리 테스트 제어 회로를 제공한다.

상기 다른 기술적 과제를 이루기 위하여 본 발명은, 외부와 연결되는 내장 셀프 테스트부와 복수개의 디램 뱅크들을 갖는 메모리 로직 복합 반도체 장치의 메모리 테스트 방법에 있어서, 상기 내장 셀프 테스트부가 상기 복수개의 디램 뱅크들에 데이터를 기입하는 데이터 기입 단계, 및 상기 내장 셀프 테스트부가 상기 복수개의 디램 뱅크들에 저장된 데이터를 독출하는 데이터 독출 단계를 구비하는 메모리 로직 복합 반도체 장치의 메모리 테스트 방법을 제공한다.

바람직하기는, 상기 데이터 기입 단계는 상기 복수개의 디램 뱅크들을 활성화하는 단계와, 상기 내장 셀프 테스트부가 상기 복수개의 디램 뱅크들에 저장된 데이터를 독출하는 단계, 및 상기 내장 셀프 테스트부가 상기 복수개의 디램 뱅크들에 데이터를 기입하는 단계를 구비하고, 상기 복수개의 디램 뱅크들을 활성화하는 단계는 외부로부터 상기 내장 셀프 테스트부를 활성화시킴으로써 상기 내장 셀프 테스트부가 상기 복수개의 디램 뱅크를 활성화한다.

또한, 상기 데이터 독출 단계는 상기 내장 셀프 테스트부가 상기 디램 뱅크들에 저장된 데이터를 독출하는 단계, 및 상기 디램 뱅크들을 프리차지시키는 단계를 구비한다.

상기 본 발명에 의하면, 기존의 패드를 이용하여 내장된 메모리를 테스트할 수 있고, 그로 인하여 내장된 메모리를 테스트하는데 제조 비용이 추가로 소요되지 않으며, 메모리 테스트 타임이 감소된다.

이하, 첨부된 도면들을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다.

도 1은 본 발명의 바람직한 실시예에 따른 메모리 로직 복합 반도체 장치의 블록도이다. 도 1을 참조하면, 본 발명의 바람직한 실시예에 따른 메모리 로직 복합 반도체 장치(5)는 패드들(7,8,9,10), 메모리 테스트 제어 회로(13), 로직(15), 제1 메모리(17) 및 제2 메모리(19)를 구비한다.

상기 패드들(7,8,9,10)에 상기 메모리 테스트 제어 회로(13)가 연결되고, 상기 메모리 테스트 제어 회로(13)에 상기 로직(15)과 상기 제1 및 제2 메모리들(17,19)이 연결된다.

상기 패드들(8)에는 상기 제1 및 제2 메모리들(17,19)을 제어하는 메모리 제어 신호들(PC)이 인가되고, 상기 패드들(9,10)에는 상기 메모리 테스트 제어 회로(13)를 제어하는 테스트 제어 신호들(TESTMD0, TESTMD1)이 인가되며, 상기 패드(7)에는 상기 제1 및 제2 메모리들(17,19)로 입출력되는 메모리 데이터 신호들(DQi)이 인가된다. 상기 패드들(7,8)은 상기 로직(15)과 상기 제1 및 제2 메모리들(17,19)을 사용하기 위해 기존에 존재하는 패드들이고, 상기 패드들(9,10)은 상기 메모리 테스트 제어 회로(13)를 외부에서 제어하기 위해 추가한 패드들이다.

상기 메모리 로직 복합 반도체 장치(5)의 제1 및 제2 메모리들(17, 19)의 기능을 테스트하기 위해서 상기 패드들(7, 8, 9, 10)에 메모리 테스터(Memory Tester)(도시안됨)가 연결된다. 상기 메모리 테스터(도시안됨)는 상기 패드들(7, 8)을 통해서 상기 메모리 테스트 제어 회로(13)에 메모리 제어 신호(PC) 및 메모리 데이터 신호(DQi)를 입력한다. 그리고 상기 테스트 제어 신호들(TESTMD0, TESTMD1)의 조합을 통하여 상기 메모리 테스트 제어 회로(13)를 제어한다. 따라서, 상기 제1 및 제2 메모리들(17, 19)을 테스트할 경우, 상기 메모리 테스트 제어 회로(13)는 상기 메모리 제어 신호(PC) 및 메모리 데이터 신호(DQi)를 상기 제1 및 제2 메모리들(17, 19)에 인가한다. 상기 제1 및 제2 메모리들(17, 19)은 상기 메모리 제어 신호(PC) 및 메모리 데이터 신호(DQi)를 받아서 동작한 다음 그 결과를 상기 메모리 테스트 제어 회로(13)로 전달한다. 상기 메모리 테스트 제어 회로(13)는 상기 제1 및 제2 메모리들(17, 19)의 출력을 상기 패드들(7, 8)을 통해서 상기 메모리 테스터(도시안됨)로 전달한다. 따라서 상기 메모리 테스터(도시안됨)는 상기 패드들(7, 8)을 통해서 전달된 신호를 분석함으로써 상기 제1 및 제2 메모리들(17, 19)의 기능을 판단한다.

상기 제1 및 제2 메모리들(17, 19)을 테스트하지 않고 상기 메모리 로직 복합 반도체 장치(5)가 정상 동작을 수행할 경우, 상기 테스트 제어 신호(TESTMD0, TESTMD1)의 조합에 의해 상기 메모리 테스트 제어 회로(13)의 일부는 동작하지 않는다. 상기 메모리 로직 복합 반도체 장치(5)가 정상 동작을 수행하기 위하여 외부로부터 상기 패드들(7, 8)에 상기 메모리 제어 신호(PC)와 메모리 데이터 신호들(DQi)이 인가되면 이들은 상기 로직(15)으로 입력되고, 상기 로직(15)은 상기 메모리 테스트 제어 회로(13)를 통해서 상기 제1 및 제2 메모리들(17, 19)을 제어한다.

상기 본 발명의 바람직한 실시예는 두 개의 메모리들을 갖는 메모리 로직 복합 반도체 장치에 대해서 설명하였지만, 메모리가 하나 또는 세 개 이상인 메모리 로직 복합 반도체 장치에 대해서도 동일하게 적용될 수 있다.

이와같이 본 발명의 바람직한 실시예에 따른 메모리 로직 복합 반도체 장치(5)는 기존의 패드들(7, 8)을 이용하여 내장된 제1 및 제2 메모리들(17, 19)을 테스트할 수가 있다.

도 2는 상기 도 1에 도시된 메모리 테스트 제어 회로(13)의 제1 실시예에 따른 블록도이다. 도 2에 도시된 번호들 중 도 1과 동일한 번호는 도 1과 동일한 소자를 나타낸다. 도 2를 참조하면, 제1 실시예에 따른 메모리 테스트 제어 회로(113)는 주 제어 신호 발생부(23)부, 메모리 제어 신호 제어부(25) 및 메모리 데이터 제어부(27)를 구비한다.

상기 주 제어 신호 발생부(23)는 상기 테스트 제어 신호들(TESTMD0, TESTMD1)이 입력단에 인가되고, 상기 메모리 제어 신호 제어부(25)와 상기 메모리 데이터 제어부(27)에 출력단이 연결된다. 상기 주 제어 신호 발생부(23)는 상기 테스트 제어 신호들(TESTMD0, TESTMD1)에 응답하여 주 제어 신호들(MEMTEST1, MEMTEST2, NORMAL)을 발생한다. 예컨대, 상기 주 제어 신호 발생부(23)는 다음 표 1과 같은 진리치를 갖는다.

[표 1]

기능	TESTMD0	TESTMD1	주 제어 신호
제1 메모리 뱅크 테스트	'L'	'L'	MEMTEST1
제2 메모리 뱅크 테스트	'H'	'L'	MEMTEST2
정상 동작	'L'	'H'	NORMAL
	'H'	'H'	현상 유지

상기 표 1에 나타난 바와 같이 테스트 제어 신호들(TESTMD0, TESTMD1)이 모두 논리 로우('L')로 인액티브(inactive)이면 주 제어 신호(MEMTEST1)가 액티브(ACTIVE)되어 제1 메모리(도 1의 17)가 테스트되고, 테스트 제어 신호(TESTMD0)가 논리 하이('H')로 액티브이고 테스트 제어 신호(TESTMD1)가 논리 로우('L')이면 주 제어 신호(MEMTEST2)가 액티브되어 제2 메모리(도 1의 19)가 테스트된다. 또, 테스트 제어 신호(TESTMD0)가 논리 로우('L')이고 테스트 제어 신호(TESTMD1)가 논리 하이('H')이면 신호(NORMAL)가 액티브되어 정상 동작으로서 상기 로직(도 1의 15)이 동작하게 된다. 상기 테스트 제어 신호들(TESTMD0, TESTMD1)이 모두 논리 로우('L')이면 이전 상태를 그대로 유지하게 된다.

상기 메모리 제어 신호 제어부(25)는 상기 패드(8)를 통해서 인가되는 메모리 제어 신호(PC)를 입력으로 하고, 상기 주 제어 신호들(MEMTEST1, MEMTEST2, NORMAL)에 의해 제어되어 상기 메모리 제어 신호(PC)를 상기 제1 및 제2 메모리들(도 1의 17, 19)과 상기 로직(도 1의 15)으로 전달한다. 상기 메모리 제어 신호(PC)로는 로우 어드레스 스트로브 신호(RASB), 칼럼 어드레스 스트로브 신호(CASB), 쓰기 인에이블 신호(WEB), 출력 인에이블 신호(OEB), 어드레스 신호(Ai) 등이 있다.

상기 메모리 데이터 제어부(27)는 상기 패드(7)를 통해서 인가되는 메모리 데이터 신호(DQi)를 입력으로 하고, 주 제어 신호들(MEMTEST1, MEMTEST2, NORMAL)에 의해 제어되어 외부로부터 입력되는 메모리 데이터 신호(DQi)를 상기 제1 및 제2 메모리(도 1의 17, 19) 또는 상기 로직(도 1의 15)으로 전달하고, 상기 제1 및 제2 메모리들(도 1의 17, 19) 또는 상기 로직(도 1의 15)으로부터 출력되는 메모리 데이터 신호(DQi)를 상기 패드(7)로 전달한다.

상기 본 발명의 제1 실시예에 따른 메모리 테스트 제어 회로는 메모리가 두 개일 경우에 대해서 설명하였지만, 메모리가 하나 또는 세 개 이상일 경우에도 동일하게 적용될 수 있다.

상술한 바와 같이 본 발명의 제1 실시예에 따른 메모리 테스트 제어 회로(113)는 기존의 패드들(도 1의 7, 8)을 이용하여 로직(도 1의 15)을 통하지 않고도 제1 및 제2 메모리들(도 1의 17, 19)을 테스트할 수 있다.

도 3은 상기 도 2에 도시된 메모리 제어 신호 제어부(25)의 회로도이다. 도 3을 참조하면, 메모리 제어

신호 제어부(25)는 버퍼(31), 논리 게이트(33) 및 메모리 제어부(35)를 구비한다.

상기 버퍼(31)는 메모리 제어 신호(PC)를 입력으로하고, 상기 논리 게이트(33)에 그 출력을 전달한다. 상기 버퍼(31)는 메모리 제어 신호(PC)의 전압 레벨을 변환시킨다. 예컨대 TTL(Transistor Transistor Logic) 레벨의 전압을 CMOS(Complementary Metal Oxide Semiconductor) 레벨의 전압으로 변환시킨다.

상기 논리 게이트(33)는 상기 버퍼(31)의 출력을 입력으로하고, 상기 메모리 제어부(35)에 그 출력을 전달한다. 상기 논리 게이트(33)는 제1 내지 제3 앤드(AND) 게이트들(33a, 33b, 33c)을 구비한다.

상기 제1 앤드 게이트(33a)는 상기 버퍼(31)의 출력과 상기 주 제어 신호(MEMTEST1)를 입력으로한다. 상기 제1 앤드 게이트(33a)는 상기 버퍼(31)의 출력과 상기 주 제어 신호(MEMTEST1) 중 어느 하나라도 논리 로우이면 논리 로우 레벨의 신호를 출력하고, 상기 버퍼(31)의 출력과 상기 주 제어 신호(MEMTEST1)가 모두 논리 하이이면 논리 하이 레벨의 신호를 출력한다.

상기 제2 앤드 게이트(33b)는 상기 버퍼(31)의 출력과 상기 주 제어 신호(NORMAL)를 입력으로하고 상기 로직(도 1의 15)에 그 출력을 전달한다. 상기 제2 앤드 게이트(33b)는 상기 버퍼(31)의 출력과 상기 주 제어 신호(NORMAL) 중 어느 하나라도 논리 로우이면 논리 로우 레벨의 신호를 출력하고, 상기 버퍼(31)의 출력과 상기 주 제어 신호(NORMAL)가 모두 논리 하이이면 논리 하이 레벨의 신호를 출력한다.

상기 제3 앤드 게이트(33c)는 상기 버퍼(31)의 출력과 상기 주 제어 신호(MEMTEST2)를 입력으로한다. 상기 제3 앤드 게이트(33c)는 상기 버퍼(31)의 출력과 상기 주 제어 신호(MEMTEST2) 중 어느 하나라도 논리 로우이면 논리 로우 레벨의 신호를 출력하고, 상기 버퍼(31)의 출력과 상기 주 제어 신호(MEMTEST2)가 모두 논리 하이이면 논리 하이 레벨의 신호를 출력한다.

상기 메모리 제어부(35)는 제1 및 제2 멀티플렉서(35a, 35b)를 구비한다.

상기 제1 멀티플렉서(33a)로는 2입력 1출력 멀티플렉서를 사용한다. 상기 제1 멀티플렉서(33a)는 상기 제1 앤드 게이트(33a)의 출력과 상기 로직(도 1의 15)의 출력을 입력으로하고, 상기 주 제어 신호들(NORMAL, MEMTEST1)에 의해 제어되어 상기 제1 앤드 게이트(33a)의 출력과 상기 로직(도 1의 15)의 출력을 상기 제1 메모리(도 1의 17)에 전달한다. 즉, 상기 제1 멀티플렉서(35a)는 상기 주 제어 신호(NORMAL)가 액티브이면 상기 로직(도 1의 15)으로부터 출력되는 신호를 상기 제1 메모리(도 1의 17)로 전달하고, 상기 주 제어 신호(MEMTEST1)가 액티브이면 상기 제1 앤드 게이트(33a)로부터 출력되는 신호를 상기 제1 메모리(도 1의 17)로 전달한다.

상기 제2 멀티플렉서(35b)로는 2입력 1출력 멀티플렉서를 사용한다. 상기 제2 멀티플렉서(35b)는 상기 제3 앤드 게이트(33c)의 출력과 상기 로직(도 1의 15)의 출력을 입력으로하고, 상기 주 제어 신호들(NORMAL, MEMTEST2)에 의해 제어되어 상기 제3 앤드 게이트(33c)의 출력과 상기 로직(도 1의 15)의 출력을 상기 제2 메모리(도 1의 19)에 전달한다. 즉, 상기 제2 멀티플렉서(35b)는 상기 주 제어 신호(NORMAL)가 액티브이면 상기 로직(도 1의 15)으로부터 출력되는 신호를 상기 제2 메모리(도 1의 19)로 전달하고, 상기 주 제어 신호(MEMTEST2)가 액티브이면 상기 제3 앤드 게이트(33c)로부터 출력되는 신호를 상기 제2 메모리(도 1의 19)로 전달한다.

도 4는 상기 도 2에 도시된 메모리 데이터 제어부(27)의 회로도이다. 도 4를 참조하면, 메모리 데이터 제어부(27)는 입출력 버퍼(41), 논리 게이트(43), 메모리 제어부(45), 출력 제어부(47), 출력 버퍼 제어부(49)를 구비한다.

상기 입출력 버퍼(41)는 입력 버퍼(41a)와 출력 버퍼(41b)를 구비한다.

상기 입력 버퍼(41a)는 상기 메모리 데이터 신호(DQi)를 입력으로하고, 상기 논리 게이트(43)에 그 출력을 전달한다. 상기 입력 버퍼(41a)는 상기 메모리 데이터 신호(DQi)의 전압 레벨을 변환시킨다. 예컨대, TTL 레벨의 전압을 CMOS 레벨의 전압으로 변환시킨다.

상기 출력 버퍼(41b)는 상기 출력 버퍼 제어부(49)에 의해 제어되어 상기 출력 제어부(47)의 출력을 외부로 전달한다. 즉, 상기 출력 버퍼(41b)는 상기 출력 버퍼 제어부(49)의 출력이 액티브이면 활성화되어 상기 출력 제어부(47)의 출력을 외부로 전달하고, 상기 출력 버퍼 제어부(49)의 출력이 인액티브이면 비활성화되어 상기 출력 제어부(47)의 출력이 외부로 전달되는 것을 차단한다.

상기 논리 게이트(43)는 상기 입력 버퍼(41a)의 출력을 입력으로하고, 상기 메모리 제어부(45)에 그 출력을 전달한다. 상기 논리 게이트(43)는 제1 내지 제3 앤드 게이트들(43a, 43b, 43c)을 구비한다.

상기 제1 앤드 게이트(43a)는 상기 입력 버퍼(41a)의 출력과 상기 주 제어 신호(MEMTEST1)를 입력으로하고 그 출력은 상기 메모리 제어부(45)로 전달한다. 상기 제1 앤드 게이트(43a)는 상기 입력 버퍼(41a)의 출력과 상기 주 제어 신호(MEMTEST1) 중 어느 하나라도 논리 로우이면 논리 로우 레벨의 신호를 출력하고, 상기 입력 버퍼(41a)의 출력과 상기 주 제어 신호(MEMTEST1)가 모두 논리 하이이면 논리 하이 레벨의 신호를 출력한다.

상기 제2 앤드 게이트(43b)는 상기 입력 버퍼(41a)의 출력과 상기 주 제어 신호(NORMAL)를 입력으로하고 상기 로직(도 1의 15)에 그 출력을 전달한다. 상기 제2 앤드 게이트(43b)는 상기 입력 버퍼(41a)의 출력과 상기 주 제어 신호(NORMAL) 중 어느 하나라도 논리 로우이면 논리 로우 레벨의 신호를 출력하고, 상기 입력 버퍼(41a)의 출력과 상기 주 제어 신호(NORMAL)가 모두 논리 하이이면 논리 하이 레벨의 신호를 출력한다.

상기 제3 앤드 게이트(43c)는 상기 입력 버퍼(41a)의 출력과 상기 주 제어 신호(MEMTEST2)를 입력으로하고 그 출력은 상기 메모리 제어부(45)로 전달한다. 상기 제3 앤드 게이트(43c)는 상기 입력 버퍼(41a)의 출력과 상기 주 제어 신호(MEMTEST2) 중 어느 하나라도 논리 로우이면 논리 로우 레벨의 신호를 출력하고, 상기 입력 버퍼(41a)의 출력과 상기 주 제어 신호(MEMTEST2)가 모두 논리 하이이면 논리 하이 레벨의 신호를 출력한다.

상기 메모리 제어부(45)는 제1 및 제2 멀티플렉서(45a, 45b)를 구비한다.

상기 제1 멀티플렉서(45a)로는 2입력 1출력 멀티플렉서를 사용한다. 상기 제1 멀티플렉서(45a)는 상기 제1 앤드 게이트(43a)의 출력과 상기 로직(도 1의 15)의 출력을 입력으로하고, 상기 주 제어 신호들(NORMAL, MEMTEST1)에 의해 제어되어 상기 제1 앤드 게이트(43a)의 출력과 상기 로직(도 1의 15)의 출력을 상기 제1 메모리(도 1의 17)로 전달한다. 즉, 상기 제1 멀티플렉서(45a)는 상기 주 제어 신호(NORMAL)가 액티브이면 상기 로직(도 1의 15)으로부터 출력되는 신호를 상기 제1 메모리(도 1의 17)로 전달하고, 상기 주 제어 신호(MEMTEST1)가 액티브이면 상기 제1 앤드 게이트(43a)로부터 출력되는 신호를 상기 제1 메모리(도 1의 17)로 전달한다.

상기 제2 멀티플렉서(45b)로는 2입력 1출력 멀티플렉서를 사용한다. 상기 제2 멀티플렉서(45b)는 상기 제3 앤드 게이트(43c)의 출력과 상기 로직(도 1의 15)의 출력을 입력으로하고, 상기 주 제어 신호들(NORMAL, MEMTEST2)에 의해 제어되어 상기 제3 앤드 게이트(43c)의 출력과 상기 로직(도 1의 15)의 출력을 상기 제2 메모리(도 1의 19)에 전달한다. 즉, 상기 제2 멀티플렉서(45b)는 상기 주 제어 신호(NORMAL)가 액티브이면 상기 로직(도 1의 15)으로부터 출력되는 신호를 상기 제2 메모리(도 1의 19)로 전달하고, 상기 주 제어 신호(MEMTEST2)가 액티브이면 상기 제3 앤드 게이트(43c)로부터 출력되는 신호를 상기 제2 메모리(도 1의 19)로 전달한다.

상기 출력 제어부(47)는 상기 로직(도 1의 15)과 상기 제1 및 제2 메모리들(도 1의 17, 19)로부터 출력되는 신호를 입력으로하고, 상기 출력 버퍼(41b)로 그 출력을 전달한다. 상기 출력 제어부(47)로는 3입력 1출력 멀티플렉서를 이용한다. 상기 출력 제어부(47)는 상기 주 제어 신호들(NORMAL, MEMTEST1, MEMTEST2)에 의해 제어된다. 즉, 상기 출력 제어부(47)는 상기 주 제어 신호(NORMAL)가 액티브이면 상기 로직(도 1의 15)으로부터 출력되는 신호를 상기 출력 버퍼(41b)로 전달하고, 상기 주 제어 신호(MEMTEST1)가 액티브이면 상기 제1 메모리(도 1의 17)로부터 출력되는 신호를 상기 출력 버퍼(41b)로 전달하며, 상기 주 제어 신호(MEMTEST2)가 액티브이면 상기 제2 메모리(도 1의 19)로부터 출력되는 신호를 상기 출력 버퍼(41b)로 전달한다.

상기 출력 버퍼 제어부(49)는 제1 내지 제3 오아 게이트(OR Gate)들(49a, 49b, 49d)과 제4 앤드 게이트(49c) 및 낸드 게이트(NAND Gate)(49e)를 구비한다.

상기 제1 오아 게이트(49a)는 상기 주 제어 신호들(MEMTEST1, MEMTEST2)을 입력으로한다. 상기 제1 오아 게이트(49a)는 상기 주 제어 신호들(MEMTEST1, MEMTEST2) 중 어느 하나라도 논리 하이이면 논리 하이 레벨의 신호를 출력하고, 상기 주 제어 신호들(MEMTEST1, MEMTEST2)이 모두 논리 로우이면 논리 로우 레벨의 신호를 출력한다.

상기 제2 오아 게이트(49b)는 상기 제1 메모리(도 1의 17)로부터 발생하는 제1 출력 버퍼 인에이블 신호(TRST1)와 상기 제2 메모리(도 1의 19)로부터 발생하는 제2 출력 버퍼 인에이블 신호(TRST2)를 입력으로한다. 상기 제2 오아 게이트(49b)는 상기 제1 출력 버퍼 인에이블 신호(TRST1)와 상기 제2 출력 버퍼 인에이블 신호(TRST2) 중 어느 하나라도 논리 하이이면 논리 하이 레벨의 신호를 출력하고, 상기 제1 출력 버퍼 인에이블 신호(TRST1)와 상기 제2 출력 버퍼 인에이블 신호(TRST2)가 모두 논리 로우이면 논리 로우 레벨의 신호를 출력한다.

상기 제4 앤드 게이트(49c)는 상기 제1 오아 게이트(49a)의 출력과 상기 제2 오아 게이트(49b)의 출력을 입력으로한다. 상기 제4 앤드 게이트(49c)는 상기 제1 오아 게이트(49a)의 출력과 상기 제2 오아 게이트(49b)의 출력 중 어느 하나라도 논리 로우이면 논리 로우 레벨의 신호를 출력하고, 상기 제1 오아 게이트(49a)의 출력과 상기 제2 오아 게이트(49b)의 출력이 모두 논리 하이이면 논리 하이 레벨의 신호를 출력한다.

상기 제3 오아 게이트(49d)는 상기 제4 앤드 게이트(49c)의 출력과 상기 주 제어 신호(NORMAL)를 입력으로한다. 상기 제3 오아 게이트(49d)는 상기 제4 앤드 게이트(49c)의 출력과 상기 주 제어 신호(NORMAL) 중 어느 하나라도 논리 하이이면 논리 하이 레벨의 신호를 출력하고, 상기 제4 앤드 게이트(49c)의 출력과 상기 주 제어 신호(NORMAL)가 모두 논리 로우이면 논리 로우 레벨의 신호를 출력한다.

상기 낸드 게이트(49e)는 상기 제3 오아 게이트(49d)의 출력과 전원 전압(VCC)을 입력으로하고 상기 출력 버퍼(41b)의 제어단에 그 출력을 전달한다. 상기 낸드 게이트(49e)는 상기 제3 오아 게이트(49d)의 출력을 그대로 상기 출력 버퍼(41b)의 제어단에 전달한다. 즉, 상기 낸드 게이트(49e)는 상기 제3 오아 게이트(49d)의 출력이 논리 하이이면 논리 로우 레벨의 신호를 출력하고, 상기 제3 오아 게이트(49d)의 출력이 논리 로우이면 논리 하이 레벨의 신호를 출력한다. 상기 낸드 게이트(49e)의 출력이 논리 로우 즉, 액티브이면 상기 출력 버퍼(41b)는 활성화되고, 상기 낸드 게이트(49e)의 출력이 논리 하이 즉, 인액티브이면 상기 출력 버퍼(41b)는 비활성화된다.

도 5는 상기 도 1에 도시된 메모리 테스트 제어 회로(13)의 제2 실시예에 따른 블록도이다. 도 5에 도시된 번호들 중 도 1과 동일한 번호는 도 1과 동일한 소자를 나타낸다. 도 5를 참조하면, 제2 실시예에 따른 메모리 테스트 제어 회로(213)는 주 제어 신호 발생부(51), 메모리 제어 신호 제어부(53), 제1 메모리 데이터 제어부(55) 및 제2 메모리 데이터 제어부(57)를 구비한다.

상기 주 제어 신호 발생부(51)는 상기 패드(9)를 통해서 인가되는 테스트 제어 신호(TESTMD0)를 입력으로하고, 상기 메모리 제어 신호 제어부(53)와 상기 제1 메모리 데이터 제어부(55) 및 상기 제2 메모리 데이터 제어부(57)에 그 출력을 전달한다. 상기 주 제어 신호 발생부(51)는 상기 테스트 제어 신호(TESTMD0)에 응답하여 주 제어 신호들, 즉 메모리 주 제어 신호(MEMTEST)와 로직 주 제어 신호(NORMAL)를 발생한다. 예컨대, 상기 주 제어 신호 발생부(51)는 다음 표 2와 같은 진리치를 갖는다.

[표 2]

기능	TESTMDO	주 제어 신호
제1 및 제2 메모리 뱅크 테스트	'L'	MEMTEST
정상 동작	'H'	NORMAL

상기 표 2에 나타난 바와 같이 테스트 제어 신호(TESTMDO)가 논리 로우('L')이면 메모리 주 제어 신호(MEMTEST)가 액티브되어 제1 및 제2 메모리들(도 1의 17,19)이 테스트되고, 테스트 제어 신호(TESTMDO)가 논리 하이('H')이면 로직 주 제어 신호(NORMAL)가 액티브되어 정상 동작으로서 상기 로직(도 1의 15)이 동작하게 된다.

상기 메모리 제어 신호 제어부(53)는 상기 패드(8)를 통해서 인가되는 메모리 제어 신호(PC)를 입력으로 하고, 상기 주 제어 신호들(MEMTEST, NORMAL)에 의해 제어되어 상기 메모리 제어 신호(PC)를 상기 제1 및 제2 메모리들(도 1의 17,19) 또는 상기 로직(도 1의 15)으로 전달한다. 상기 메모리 제어 신호(PC)로는 로우 어드레스 스트로브 신호(RASB), 칼럼 어드레스 스트로브 신호(CASB), 쓰기 인에이블 신호(WEB), 출력 인에이블 신호(OEB), 어드레스 신호(Ai) 등이 있다.

상기 제1 메모리 데이터 제어부(55)는 상기 패드(7)를 통해서 인가되는 메모리 데이터 신호(DQ1i)를 입력으로 하고 상기 주 제어 신호들(MEMTEST, NORMAL)에 의해 제어되어 상기 메모리 데이터 신호(DQ1i)를 상기 제1 메모리(도 1의 17) 또는 상기 로직(도 1의 15)으로 전달하고, 상기 제1 메모리(도 1의 17) 또는 상기 로직(도 1의 15)으로부터 출력되는 메모리 데이터 신호(DQ1i)를 상기 패드(7)외부로 전달한다.

상기 제2 메모리 데이터 제어부(57)는 상기 패드(7')를 통해서 인가되는 메모리 데이터 신호(DQ2i)를 입력으로 하고 상기 주 제어 신호들(MEMTEST, NORMAL)에 의해 제어되어 상기 메모리 데이터 신호(DQ2i)를 상기 제2 메모리(도 1의 19) 또는 상기 로직(도 1의 15)으로 전달하고, 상기 제2 메모리(도 1의 19) 또는 상기 로직(도 1의 15)으로부터 출력되는 메모리 데이터 신호(DQ2i)를 상기 패드(7')로 전달한다.

상기 본 발명의 제2 실시예에 따른 메모리 테스트 제어 회로는 메모리가 두 개일 경우에 대해서 설명하였지만, 메모리가 하나 또는 세 개 이상일 경우에도 동일하게 적용될 수 있다.

상술한 바와 같이 본 발명의 제2 실시예에 따른 메모리 테스트 제어 회로(213)는 기존의 패드들(7,8,7')을 이용하여 로직(도 1의 15)을 통하지 않고도 제1 및 제2 메모리들(도 1의 17,19)을 동시에 테스트할 수 있다.

도 6은 상기 도 5에 도시된 메모리 제어 신호 제어부(53)의 회로도이다. 도 6을 참조하면, 메모리 제어 신호 제어부(53)는 버퍼(61), 논리 게이트(63) 및 메모리 제어부(65)를 구비한다.

상기 버퍼(61)는 메모리 제어 신호(PC)를 입력으로 하고, 상기 논리 게이트(63)에 그 출력을 전달한다. 상기 버퍼(61)는 상기 메모리 제어 신호(PC)의 전압 레벨을 변환시킨다. 예컨대 TTL 레벨의 전압을 CMOS 레벨의 전압으로 변환시킨다.

상기 논리 게이트(63)는 상기 버퍼(61)의 출력을 입력으로 하고, 상기 메모리 제어부(65)에 그 출력을 전달한다. 상기 논리 게이트(63)는 제1 내지 제3 앤드(AND) 게이트들(63a,63b,63c)을 구비한다.

상기 제1 앤드 게이트(63a)는 상기 버퍼(61)의 출력과 상기 메모리 주 제어 신호(MEMTEST)를 입력으로 한다. 상기 제1 앤드 게이트(63a)는 상기 버퍼(61)의 출력과 상기 메모리 주 제어 신호(MEMTEST) 중 어느 하나라도 논리 로우이면 논리 로우 레벨의 신호를 출력하고, 상기 버퍼(61)의 출력과 상기 메모리 주 제어 신호(MEMTEST)가 모두 논리 하이이면 논리 하이 레벨의 신호를 출력한다.

상기 제2 앤드 게이트(63b)는 상기 버퍼(61)의 출력과 상기 로직 주 제어 신호(NORMAL)를 입력으로 하고 상기 로직(도 1의 15)에 그 출력을 전달한다. 상기 제2 앤드 게이트(63b)는 상기 버퍼(61)의 출력과 상기 로직 주 제어 신호(NORMAL) 중 어느 하나라도 논리 로우이면 논리 로우 레벨의 신호를 출력하고, 상기 버퍼(61)의 출력과 상기 로직 주 제어 신호(NORMAL)가 모두 논리 하이이면 논리 하이 레벨의 신호를 출력한다.

상기 제3 앤드 게이트(63c)는 상기 버퍼(61)의 출력과 상기 메모리 주 제어 신호(MEMTEST)를 입력으로 한다. 상기 제3 앤드 게이트(63c)는 상기 버퍼(61)의 출력과 상기 메모리 주 제어 신호(MEMTEST) 중 어느 하나라도 논리 로우이면 논리 로우 레벨의 신호를 출력하고, 상기 버퍼(61)의 출력과 상기 메모리 주 제어 신호(MEMTEST)가 모두 논리 하이이면 논리 하이 레벨의 신호를 출력한다.

상기 메모리 제어부(65)는 제1 및 제2 멀티플렉서(65a,65b)를 구비한다.

상기 제1 멀티플렉서(65a)는 2입력 1출력 멀티플렉서를 사용한다. 상기 제1 멀티플렉서(65a)는 상기 제1 앤드 게이트(63a)의 출력과 상기 로직(도 1의 15)의 출력을 입력으로 하고, 상기 주 제어 신호들(NORMAL, MEMTEST)에 의해 제어되어 상기 제1 앤드 게이트(63a)의 출력과 상기 로직(도 1의 15)의 출력을 상기 제1 메모리(도 1의 17)에 전달한다. 즉, 상기 제1 멀티플렉서(65a)는 상기 로직 주 제어 신호(NORMAL)가 액티브이면 상기 로직(도 1의 15)으로부터 출력되는 신호를 상기 제1 메모리(도 1의 17)로 전달하고, 상기 메모리 주 제어 신호(MEMTEST)가 액티브이면 상기 제1 앤드 게이트(63a)로부터 출력되는 신호를 상기 제1 메모리(도 1의 17)로 전달한다.

상기 제2 멀티플렉서(65b)로는 2입력 1출력 멀티플렉서를 사용한다. 상기 제2 멀티플렉서(65b)는 상기 제3 앤드 게이트(63c)의 출력과 상기 로직(도 1의 15)의 출력을 입력으로 하고, 상기 주 제어 신호들(NORMAL, MEMTEST)에 의해 제어되어 상기 제3 앤드 게이트(63c)의 출력과 상기 로직(도 1의 15)의 출력을 상기 제2 메모리(도 1의 19)에 전달한다. 즉, 상기 제2 멀티플렉서(65b)는 상기 로직 주 제어 신호(NORMAL)가 액티브이면 상기 로직으로부터 출력되는 신호를 상기 제2 메모리(도 1의 19)로 전달하고, 상

기 메모리 주 제어 신호(MEMTEST)가 액티브이면 상기 제3 앤드 게이트(63c)로부터 출력되는 신호를 상기 제2 메모리(도 1의 19)로 전달한다.

도 7은 상기 도 5에 도시된 제1 메모리 데이터 제어부(55)의 회로도이다. 도 7을 참조하면, 제1 메모리 데이터 제어부(55)는 제1 입출력 버퍼(71), 제1 논리 게이트(73), 제1 메모리 제어부(75), 제1 출력 제어부(77) 및 제1 출력 버퍼 제어부(79)를 구비한다.

상기 제1 입출력 버퍼(71)는 제1 입력 버퍼(71a)와 제1 출력 버퍼(71b)를 구비한다.

상기 제1 입력 버퍼(71a)는 상기 메모리 데이터 신호(DQ1i)를 입력으로하고, 상기 제1 논리 게이트(73)에 그 출력을 전달한다. 상기 제1 입력 버퍼(71a)는 상기 메모리 데이터 신호(DQ1i)의 전압 레벨을 변환시킨다. 예컨대, TTL 레벨의 전압을 CMOS 레벨의 전압으로 변환시킨다.

상기 제1 출력 버퍼(71b)는 상기 제1 출력 버퍼 제어부(79)에 의해 제어되어 상기 제1 출력 제어부(77)의 출력을 외부로 전달한다. 즉, 상기 제1 출력 버퍼(71b)는 상기 제1 출력 버퍼 제어부(79)의 출력이 액티브이면 활성화되어 상기 제1 출력 제어부(77)의 출력을 외부로 전달하고, 상기 제1 출력 버퍼 제어부(79)의 출력이 인액티브이면 비활성화되어 상기 제1 출력 제어부(77)의 출력을 외부로 전달하지않는다.

상기 제1 논리 게이트(73)는 상기 제1 입력 버퍼(71a)의 출력을 입력으로하고, 상기 제1 메모리 제어부(75)에 그 출력을 전달한다. 상기 제1 논리 게이트(73)는 제1 및 제2 앤드 게이트들(73a, 73b)을 구비한다.

상기 제1 앤드 게이트(73a)는 상기 제1 입력 버퍼(71a)의 출력과 상기 메모리 주 제어 신호(MEMTEST)를 입력으로한다. 상기 제1 앤드 게이트(73a)는 상기 제1 입력 버퍼(71a)의 출력과 상기 메모리 주 제어 신호(MEMTEST) 중 어느 하나라도 논리 로우이면 논리 로우 레벨의 신호를 출력하고, 상기 제1 입력 버퍼(71a)의 출력과 상기 메모리 주 제어 신호(MEMTEST)가 모두 논리 하이이면 논리 하이 레벨의 신호를 출력한다.

상기 제2 앤드 게이트(73c)는 상기 제1 입력 버퍼(71a)의 출력과 상기 로직 주 제어 신호(NORMAL)를 입력으로하고 상기 로직(도 1의 15)에 그 출력을 전달한다. 상기 제2 앤드 게이트(73c)는 상기 제1 입력 버퍼(71a)의 출력과 상기 로직 주 제어 신호(NORMAL) 중 어느 하나라도 논리 로우이면 논리 로우 레벨의 신호를 출력하고, 상기 제1 입력 버퍼(71a)의 출력과 상기 로직 주 제어 신호(NORMAL)의 출력이 모두 논리 하이이면 논리 하이 레벨의 신호를 출력한다.

상기 제1 메모리 제어부(75)는 2입력 1출력 멀티플렉서로 구성한다. 상기 제1 메모리 제어부(75)는 상기 제1 앤드 게이트(73a)의 출력과 상기 로직(도 1의 15)의 출력을 입력으로하고, 상기 주 제어 신호들(NORMAL, MEMTEST)에 의해 제어되어 상기 제1 앤드 게이트(73a)의 출력 또는 상기 로직(도 1의 15)의 출력을 상기 제1 메모리(도 1의 17)에 전달한다. 즉, 상기 제1 메모리 제어부(75)는 상기 로직 주 제어 신호(NORMAL)가 액티브이면 상기 로직(도 1의 15)으로부터 출력되는 신호를 상기 제1 메모리(도 1의 17)로 전달하고, 상기 메모리 주 제어 신호(MEMTEST)가 액티브이면 상기 제1 앤드 게이트(73a)로부터 출력되는 신호를 상기 제1 메모리(도 1의 17)로 전달한다.

상기 제1 출력 제어부(77)는 2입력 1출력 멀티플렉서로 구성한다. 상기 제2 출력 제어부(77)는 상기 로직(도 1의 15)과 상기 제1 메모리(도 1의 17)로부터 출력되는 신호를 입력으로하고, 상기 제1 출력 버퍼(71b)로 그 출력을 전달한다. 상기 제2 출력 제어부(77)는 상기 주 제어 신호들(NORMAL, MEMTEST)에 의해 제어된다. 즉, 상기 제1 출력 제어부(77)는 상기 로직 주 제어 신호(NORMAL)가 액티브이면 상기 로직(도 1의 15)으로부터 출력되는 신호를 상기 제1 출력 버퍼(71b)로 전달하고, 상기 메모리 주 제어 신호(MEMTEST)가 액티브이면 상기 제1 메모리(도 1의 17)로부터 출력되는 신호를 상기 제1 출력 버퍼(71b)로 전달한다.

상기 제1 출력 버퍼 제어부(79)는 제3 앤드 게이트(79a)와 제1 오아 게이트(79c) 및 제1 낸드 게이트(79d)를 구비한다.

상기 제3 앤드 게이트(79a)는 상기 메모리 주 제어 신호(MEMTEST)와 상기 제1 출력 버퍼 인에이블 신호(TRST1)를 입력으로한다. 상기 제3 앤드 게이트(79a)는 상기 메모리 주 제어 신호(MEMTEST)와 상기 제1 출력 버퍼 인에이블 신호(TRST1) 중 어느 하나라도 논리 로우이면 논리 로우 레벨의 신호를 출력하고, 상기 메모리 주 제어 신호(MEMTEST)와 상기 제1 출력 버퍼 인에이블 신호(TRST1)가 모두 논리 하이이면 논리 하이 레벨의 신호를 출력한다.

상기 제1 오아 게이트(79c)는 상기 제3 앤드 게이트(79a)의 출력과 상기 로직 주 제어 신호(NORMAL)를 입력으로한다. 상기 제1 오아 게이트(79c)는 상기 제3 앤드 게이트(79a)의 출력과 상기 로직 주 제어 신호(NORMAL) 중 어느 하나라도 논리 하이이면 논리 하이 레벨의 신호를 출력하고, 상기 상기 제3 앤드 게이트(79a)의 출력과 상기 로직 주 제어 신호(NORMAL)가 모두 논리 로우이면 논리 로우 레벨의 신호를 출력한다.

상기 제1 낸드 게이트(79d)는 상기 제1 오아 게이트(79c)의 출력과 전원 전압(VCC)을 입력으로하고 상기 제1 출력 버퍼(71b)의 제어단에 그 출력을 전달한다. 상기 제1 낸드 게이트(79d)는 상기 제1 오아 게이트의 출력을 그대로 상기 제1 출력 버퍼(71b)의 제어단에 전달한다. 즉, 상기 제1 낸드 게이트(79d)는 상기 제1 오아 게이트(79c)의 출력이 논리 로우이면 논리 하이 레벨의 신호를 출력하고, 상기 제1 오아 게이트(79c)의 출력이 논리 하이이면 논리 로우 레벨의 신호를 출력한다. 상기 제1 낸드 게이트(79d)의 출력이 논리 로우 즉, 액티브이면 상기 제1 출력 버퍼(71b)는 활성화되고, 상기 낸드 게이트(79d)의 출력이 논리 하이 즉, 인액티브이면 상기 제1 출력 버퍼(71b)는 비활성화된다.

도 8은 상기 도 5에 도시된 제2 메모리 데이터 제어부(57)의 회로도이다. 도 8을 참조하면, 제2 메모리 데이터 제어부(57)는 제2 입출력 버퍼(81), 제2 논리 게이트(83), 제2 메모리 제어부(85), 제2 출력 제어부(87) 및 제2 출력 버퍼 제어부(89)를 구비한다.

상기 제2 입력 버퍼(81)는 제2 입력 버퍼(81a)와 제2 출력 버퍼(81b)를 구비한다.

상기 제2 입력 버퍼(81a)는 상기 메모리 데이터 신호(DQ2i)를 입력으로하고, 상기 제2 논리 게이트(83)에 그 출력을 전달한다. 상기 제2 입력 버퍼(81a)는 상기 메모리 데이터 신호(DQ1i)의 전압 레벨을 변환시킨다. 예컨대, TTL 레벨의 전압을 CMOS 레벨의 전압으로 변환시킨다.

상기 제2 출력 버퍼(81b)는 상기 제2 출력 버퍼 제어부(89)에 의해 제어되어 상기 제2 출력 제어부(87)의 출력을 외부로 전달한다. 즉, 상기 제2 출력 버퍼(81b)는 상기 제2 출력 버퍼 제어부(89)의 출력이 액티브이면 활성화되어 상기 제2 출력 제어부(87)의 출력을 외부로 전달하고, 상기 제2 출력 버퍼 제어부(89)의 출력이 인액티브이면 비활성화되어 상기 제2 출력 제어부(87)의 출력을 외부로 전달하지 않는다.

상기 제2 논리 게이트(83)는 상기 제2 입력 버퍼(81a)의 출력을 입력으로하고, 상기 제2 메모리 제어부(85)에 그 출력을 전달한다. 상기 제2 논리 게이트(83)는 제4 및 제5 앤드 게이트들(83a, 83b)을 구비한다.

상기 제4 앤드 게이트(83a)는 상기 제2 입력 버퍼(81a)의 출력과 상기 메모리 주 제어 신호(MEMTEST)를 입력으로한다. 상기 제4 앤드 게이트(83a)는 상기 제2 입력 버퍼(81a)의 출력과 상기 메모리 주 제어 신호(MEMTEST) 중 어느 하나라도 논리 로우이면 논리 로우 레벨의 신호를 출력하고, 상기 제2 입력 버퍼(81a)의 출력과 상기 메모리 주 제어 신호(MEMTEST)가 모두 논리 하이이면 논리 하이 레벨의 신호를 출력한다.

상기 제5 앤드 게이트(83c)는 상기 제2 입력 버퍼(81a)의 출력과 상기 로직 주 제어 신호(NORMAL)를 입력으로하고 상기 로직(도 1의 15)에 그 출력을 전달한다. 상기 제5 앤드 게이트(83c)는 상기 제2 입력 버퍼(81a)의 출력과 상기 로직 주 제어 신호(NORMAL) 중 어느 하나라도 논리 로우이면 논리 로우 레벨의 신호를 출력하고, 상기 제2 입력 버퍼(81a)의 출력과 상기 로직 주 제어 신호(NORMAL)가 모두 논리 하이이면 논리 하이 레벨의 신호를 출력한다.

상기 제2 메모리 제어부(85)는 2입력 1출력 멀티플렉서로 구성한다. 상기 제2 메모리 제어부(85)는 상기 제4 앤드 게이트(83a)의 출력과 상기 로직(도 1의 15)의 출력을 입력으로하고, 상기 주 제어 신호들(NORMAL, MEMTEST)에 의해 제어되어 상기 제4 앤드 게이트(83a)의 출력 또는 상기 로직(도 1의 15)의 출력을 상기 제2 메모리(도 1의 19)에 전달한다. 즉, 상기 제2 메모리 제어부(85)는 상기 로직 주 제어 신호(NORMAL)가 액티브이면 상기 로직(도 1의 15)으로부터 출력되는 신호를 상기 제2 메모리(도 1의 19)로 전달하고, 상기 메모리 주 제어 신호(MEMTEST)가 액티브이면 상기 제4 앤드 게이트(83a)로부터 출력되는 신호를 상기 제2 메모리(도 1의 19)로 전달한다.

상기 제2 출력 제어부(87)는 2입력 1출력 멀티플렉서로 구성한다. 상기 제2 출력 제어부(87)는 상기 로직(도 1의 15)과 상기 제2 메모리(도 1의 19)로부터 출력되는 신호를 입력으로하고, 상기 제2 출력 버퍼(81b)로 그 출력을 전달한다. 상기 제2 출력 제어부(87)는 상기 주 제어 신호들(NORMAL, MEMTEST)에 의해 제어된다. 즉, 상기 제2 출력 제어부(87)는 상기 로직 주 제어 신호(NORMAL)가 액티브이면 상기 로직(도 1의 15)으로부터 출력되는 신호를 상기 제2 출력 버퍼(81b)로 전달하고, 상기 메모리 주 제어 신호(MEMTEST)가 액티브이면 상기 제2 메모리(도 1의 19)로부터 출력되는 신호를 상기 제2 출력 버퍼(81b)로 전달한다.

상기 제2 출력 버퍼 제어부(89)는 제6 앤드 게이트(89a)와 제2 오아 게이트(89c) 및 제2 낸드 게이트(89d)를 구비한다.

상기 제6 앤드 게이트(89a)는 상기 메모리 주 제어 신호(MEMTEST)와 상기 제2 출력 버퍼 인에이블 신호(TRST1)를 입력으로한다. 상기 제6 앤드 게이트(89a)는 상기 메모리 주 제어 신호(MEMTEST)와 상기 제2 출력 버퍼 인에이블 신호(TRST2) 중 어느 하나라도 논리 로우이면 논리 로우 레벨의 신호를 출력하고, 상기 메모리 주 제어 신호(MEMTEST)와 상기 제2 출력 버퍼 인에이블 신호(TRST2)가 모두 논리 하이이면 논리 하이 레벨의 신호를 출력한다.

상기 제2 오아 게이트(89c)는 상기 제6 앤드 게이트(89a)의 출력과 상기 로직 주 제어 신호(NORMAL)를 입력으로한다. 상기 제2 오아 게이트(89c)는 상기 제6 앤드 게이트(89a)의 출력과 상기 로직 주 제어 신호(NORMAL) 중 어느 하나라도 논리 하이이면 논리 하이 레벨의 신호를 출력하고, 상기 제6 앤드 게이트(89a)의 출력과 상기 로직 주 제어 신호(NORMAL)가 모두 논리 로우이면 논리 로우 레벨의 신호를 출력한다.

상기 제2 낸드 게이트(89d)는 상기 제2 오아 게이트(89c)의 출력과 전원 전압(VCC)을 입력으로하고 상기 제2 출력 버퍼(81b)의 제어단에 그 출력을 전달한다. 상기 제2 낸드 게이트(89d)는 상기 제2 오아 게이트(89c)의 출력을 그대로 상기 제2 출력 버퍼(81b)의 제어단에 전달한다. 즉, 상기 제2 낸드 게이트(89d)는 상기 제2 오아 게이트(89c)의 출력이 논리 로우이면 논리 하이 레벨의 신호를 출력하고, 상기 제2 오아 게이트(89c)의 출력이 논리 하이이면 논리 로우 레벨의 신호를 출력한다. 상기 제2 낸드 게이트(89d)의 출력이 논리 로우 즉, 액티브이면 상기 제2 출력 버퍼(81b)는 활성화되고, 상기 낸드 게이트(89d)의 출력이 논리 하이 즉, 인액티브이면 상기 제2 출력 버퍼(81b)는 비활성화된다.

도 9는 일반적인 메모리 로직 복합 반도체 장치의 블록도이다. 도 9를 참조하면 일반적인 메모리 로직 복합 반도체 장치(911)는 내장 셀프 테스트부(913), 로직(915) 및 제1 및 제2 메모리들(917, 919)을 구비한다.

상기 내장 셀프 테스트부(913)는 상기 제1 및 제2 메모리들(917, 919)의 기능을 테스트한다.

상기 로직(915)은 상기 제1 및 제2 메모리들(917, 919)을 제어한다.

도 10은 메모리 로직 복합 반도체 장치의 메모리에 대한 본 발명의 테스트 방법을 도시한 흐름도이다. 상기 도 9를 참조하여 메모리 로직 복합 반도체 장치(911)의 메모리에 대한 본 발명의 테스트 방법을 설명하기로 한다. 도 10을 참조하면, 메모리 로직 복합 반도체 장치(911)의 메모리에 대한 본 발명의 테스트

방법은 제1 메모리 활성화 단계(1001), 제2 메모리 활성화 단계(1011), 제1 메모리의 데이터 독출 단계(1021), 제2 메모리의 데이터 독출 단계(1031), 제1 메모리에 데이터 쓰기 단계(1041), 제2 메모리에 데이터 쓰기 단계(1051), 제1 메모리의 데이터 재독출 단계(1061), 제2 메모리의 데이터 재독출 단계(1071), 제1 메모리의 프리차지 단계(1081) 및 제2 메모리의 프리차지 단계(1091)를 구비한다.

제1 메모리 활성화 단계(1001)에서는 외부로부터 입력되는 신호에 의해 상기 내장 셀프 테스트부(913)가 활성화되고, 그리고 상기 내장 셀프 테스트부(913)는 상기 제1 메모리(917)를 활성화시킨다.

제2 메모리 활성화 단계(1011)에서는 상기 내장 셀프 테스트부(913)가 상기 제2 메모리(919)를 활성화시킨다.

제1 메모리의 데이터 독출 단계(1021)에서는 상기 내장 셀프 테스트부(913)가 상기 제1 메모리(917)에 저장된 데이터를 독출한다.

제2 메모리의 데이터 독출 단계(1031)에서는 상기 내장 셀프 테스트부(913)가 상기 제2 메모리(919)에 저장된 데이터를 독출한다.

제1 메모리에 데이터 쓰기 단계(1041)에서는 상기 내장 셀프 테스트부(913)가 상기 제1 메모리(917)에 '1' 또는 '0'의 데이터를 기입한다.

제2 메모리에 데이터 쓰기 단계(1051)에서는 상기 내장 셀프 테스트부(913)가 상기 제2 메모리(919)에 '1' 또는 '0'의 데이터를 기입한다.

제1 메모리의 데이터 재독출 단계(1061)에서는 상기 내장 셀프 테스트부(913)가 상기 제1 메모리(917)에 기입된 데이터를 독출한다. 상기 내장 셀프 테스트부(913)는 상기 제1 메모리(917)가 정상적인 상태일 때의 가지고있는 기준 데이터를 저장하고 있다. 따라서 상기 내장 셀프 테스트부(913)는 제1 메모리(917)로부터 독출된 데이터를 상기 기준 데이터와 비교하고 상기 독출된 데이터가 기준 데이터와 다르면 에러 신호를 발생하여 외부로 전달한다.

제2 메모리의 데이터 재독출 단계(1071)에서는 상기 내장 셀프 테스트부(913)가 상기 제2 메모리(919)에 기입된 데이터를 독출한다. 그리고, 상기 내장 셀프 테스트부(913)는 상기 제2 메모리(919)로부터 독출된 데이터를 상기 기준 데이터와 비교하고 상기 독출된 데이터가 기준 데이터와 다르면 에러 신호를 발생하여 외부로 전달한다.

제1 메모리의 프리차지 단계(1081)에서는 상기 제1 메모리(917)에 데이터를 기입하거나 또는 상기 제1 메모리(917)에 저장된 데이터를 독출하기 위한 준비 단계로서 상기 제1 메모리(917)를 프리차지시킨다.

제2 메모리의 프리차지 단계(1091)에서는 상기 제2 메모리(919)에 데이터를 기입하거나 또는 상기 제2 메모리(919)에 저장된 데이터를 독출하기 위한 준비 단계로서 상기 제2 메모리(919)를 프리차지시킨다.

이와같이 본 발명의 테스트 방법은 상기 제1 및 제2 메모리들(917,919)에 대한 테스트를 인터리브(Interleave) 방식으로 진행한다. 상기 제1 및 제2 메모리들(917,919)이 16M 동기식 메모리라고 할 때 상기 제1 및 제2 메모리들(917,919)에 대한 테스트 사이클을 14N Y-마치 알고리즘을 이용하여 계산하면 다음 수학식 1과 같다. 여기서, 데이터 버스는 64비트를 전송한다고 가정한다.

$$Test\ cycle = \text{데이터 포맷} \times \text{스테이지} \times 128K$$

$$= 2 \times 6 \times 128K$$

$$= 1,572,864 \text{ [사이클 타임]}$$

상기 제1 및 제2 메모리들(917,919)에 대한 각 스테이지를 인터리브 방식으로 동시에 진행하기 위해서는 다음 표 3과 같이 11클럭이 소요된다.

[표 3]

	1	2	3	4	5	6	7	8	9	10	11
제1 메모리 블록	액티브	대기	대기	대기	독출	대기	쓰기	대기	재독출	프리차지	대기
제2 메모리 블록	대기	대기	액티브	대기	대기	독출	대기	독출	대기	독출	프리차지
입력 데이터							제1 데이터 입력	제2 데이터 입력			
출력 데이터							제1 데이터 출력	제2 데이터 출력			

따라서 제1 및 제2 메모리들(917,919)에 대한 전체 테스트 타임은 다음 수학식 2와 같다.

$$\text{테스트 타임} = 1,572,864 \times 11$$

$$= 17,301,504(\text{cycle time})$$

수학적 2에 나타난 본 발명의 테스트 타임은 종래의 테스트 타임에 비해 약 55[%]밖에 안된다. 즉, 본 발명에 의한 메모리 테스트 타임은 종래의 메모리 테스트 타임에 비해 45[%]정도 단축된다.

메모리가 3개 이상인 메모리 로직 복합 반도체 장치에 대해서도 본 발명과 동일한 인터리브 방식을 적용함으로써 메모리 테스트 타임이 대폭적으로 감소되는 것은 명백하다.

본 발명은 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 가능함은 명백하다.

### **발명의 효과**

상술한 바와 같이 본 발명에 따르면, 패드를 추가시키지 않고도 기존의 패드를 이용하여 내부 메모리를 테스트할 수가 있다. 따라서, 제조 비용의 증가없이 내부 메모리를 테스트할 수가 있다. 또한, 복수개의 메모리들을 갖는 메모리 로직 복합 반도체 장치의 메모리 테스트 타임이 대폭적으로 감소된다.

### **(57) 청구의 범위**

#### **청구항 1**

다수개의 메모리들;

상기 다수개의 메모리들을 제어하는 메모리 제어 신호들이 입력되는 패드들;

상기 다수개의 메모리들로 입력되거나 상기 다수개의 메모리들로부터 출력되는 메모리 데이터 신호들이 인가되는 다른 패드들;

상기 다수개의 메모리들을 제어하는 로직;

상기 패드들과 상기 다른 패드들과 상기 로직 및 상기 다수개의 메모리들에 연결된 메모리 테스트 제어 회로; 및

상기 메모리 테스트 제어 회로에 연결되고 상기 메모리 제어 신호들 및 상기 메모리 데이터 신호들이 상기 로직으로 연결되거나 또는 상기 다수개의 메모리들에 연결되는 것을 제어하는 테스트 제어 신호들이 입력되는 적어도 하나의 패드를 구비하고,

상기 다수개의 메모리들을 테스트할 경우에는 상기 메모리 제어 신호들과 상기 메모리 데이터 신호들을 상기 다수개의 메모리들에 전달하고 정상 동작을 할 경우에는 상기 메모리 제어 신호들과 상기 메모리 데이터 신호들을 상기 로직으로 전달하는 것을 특징으로하는 메모리 로직 복합 반도체 장치.

#### **청구항 2**

제1 및 제2 메모리들;

상기 제1 및 제2 메모리들을 제어하는 메모리 제어 신호들이 입력되는 패드;

상기 제1 및 제2 메모리들로 입력되거나 상기 제1 및 제2 메모리들로부터 출력되는 메모리 데이터 신호들이 인가되는 다른 패드;

상기 제1 및 제2 메모리들을 제어하는 로직;

상기 패드와 상기 다른 패드와 상기 로직 및 상기 제1 및 제2 메모리들에 연결된 메모리 테스트 제어 회로; 및

상기 메모리 테스트 제어 회로에 연결되고 상기 메모리 제어 신호들 및 상기 메모리 데이터 신호들이 상기 로직으로 전달되거나 또는 상기 제1 및 제2 메모리들에 전달되는 것을 제어하는 테스트 제어 신호들이 입력되는 두 개의 패드들을 구비하고,

상기 제1 및 제2 메모리들을 테스트할 경우에는 상기 메모리 제어 신호들과 상기 메모리 데이터 신호들을 상기 제1 및 제2 메모리들에 전달하고 정상 동작을 할 경우에는 상기 메모리 제어 신호들과 상기 메모리 데이터 신호들을 상기 로직으로 전달하는 것을 특징으로하는 메모리 로직 복합 반도체 장치.

#### **청구항 3**

제 2 항에 있어서, 상기 메모리 테스트 제어 회로는

상기 메모리 제어 신호들을 상기 제1 및 제2 메모리들 및 상기 로직으로 전달하는 메모리 제어 신호 제어부;

상기 메모리 데이터 신호들을 상기 제1 및 제2 메모리들 및 상기 로직으로 전달하거나 또는 상기 제1 및 제2 메모리들 및 상기 로직으로부터 출력되는 메모리 데이터 신호들을 상기 다른 패드로 전달하는 메모리 데이터 제어부; 및

상기 메모리 제어 신호 제어부 및 상기 메모리 데이터 제어부에 연결되고 상기 메모리 제어 신호들이 상기 제1 및 제2 메모리들 및 상기 로직으로 전달되는 여부와, 상기 메모리 데이터 신호들이 상기 제1 및 제2 메모리들 및 상기 로직으로 전달되는 여부, 및 상기 제1 및 제2 메모리들 및 상기 로직으로부터 출력되는 메모리 데이터 신호들이 상기 다른 패드로 전달되는 여부를 제어하는 주 제어 신호 발생부를 구비하는 것을 특징으로하는 메모리 로직 복합 반도체 장치.

#### **청구항 4**

로직과 다수개의 메모리 수단들 사이에 연결된 메모리 테스트 제어 회로에 있어서,

상기 다수개의 메모리 수단들 및 상기 로직으로 상기 다수개의 메모리 수단들을 제어하는 메모리 제어 신호들을 전달하는 메모리 제어 신호 제어부;

상기 다수개의 메모리 수단들 및 상기 로직으로 메모리 데이터 신호들을 전달하거나 또는 상기 다수개의 메모리 수단들 및 상기 로직으로부터 출력되는 메모리 데이터 신호들을 외부로 전달하는 메모리 데이터 제어부; 및

상기 메모리 제어 신호 제어부 및 상기 메모리 데이터 제어부에 연결되고 상기 메모리 제어 신호들이 상기 다수개의 메모리 수단들 및 상기 로직으로 전달되는 여부와, 상기 메모리 데이터 신호들이 상기 다수개의 메모리 수단들 및 상기 로직으로 전달되는 여부, 및 상기 다수개의 메모리 수단들 및 상기 로직으로부터 출력되는 메모리 데이터 신호들이 외부로 전달되는 여부를 제어하는 주 제어 신호 발생부를 구비하는 것을 특징으로하는 메모리 테스트 제어 회로.

#### 청구항 5

로직과 제1 및 제2 메모리 수단들 사이에 연결된 메모리 테스트 제어 회로에 있어서,

상기 제1 및 제2 메모리 수단들 및 상기 로직으로 상기 제1 및 제2 메모리들을 제어하는 메모리 제어 신호들을 전달하는 메모리 제어 신호 제어부;

상기 제1 및 제2 메모리 수단들 및 상기 로직으로 메모리 데이터 신호들을 전달하거나 또는 상기 제1 및 제2 메모리 수단들 및 상기 로직으로부터 출력되는 메모리 데이터 신호들을 외부로 전달하는 메모리 데이터 제어부; 및

상기 메모리 제어 신호 제어부 및 상기 메모리 데이터 제어부에 연결되고, 외부로부터 입력되는 제1 및 제2 테스트 제어 신호의 조합에 의해 적어도 세 개의 주 제어 신호들을 발생하여 상기 메모리 제어 신호들이 상기 제1 및 제2 메모리 수단들 및 상기 로직으로 전달되는 여부와, 상기 메모리 데이터 신호들이 상기 제1 및 제2 메모리 수단들 및 상기 로직으로 전달되는 여부, 및 상기 제1 및 제2 메모리 수단들 및 상기 로직으로부터 출력되는 메모리 데이터 신호들이 외부로 전달되는 여부를 제어하는 주 제어 신호 발생부를 구비하는 것을 특징으로하는 메모리 테스트 제어 회로.

#### 청구항 6

제 5 항에 있어서, 상기 주 제어 신호 발생부는

상기 제1 및 제2 테스트 제어 신호들이 모두 인액티브일 때는 상기 메모리 제어 신호 제어부의 출력과 상기 메모리 데이터 제어부의 출력을 상기 제1 메모리 수단으로 전달하고, 상기 제1 테스트 제어 신호가 액티브이고 제2 테스트 제어 신호는 인액티브일 때는 상기 메모리 제어 신호 제어부의 출력과 상기 메모리 데이터 제어부의 출력을 상기 제2 메모리 수단으로 전달하며, 상기 제1 테스트 제어 신호가 인액티브이고 제2 테스트 제어 신호는 액티브일 때는 상기 메모리 제어 신호 제어부의 출력과 상기 메모리 데이터 제어부의 출력을 상기 로직으로 전달하지않는 발생부인 것을 특징으로하는 메모리 테스트 제어 회로.

#### 청구항 7

제 5 항에 있어서, 상기 메모리 제어 신호 제어부는

상기 메모리 제어 신호들을 입력으로하는 버퍼;

상기 버퍼의 출력과 상기 주 제어 신호들을 입력으로하고 그 출력들 중 하나는 상기 로직으로 전달하는 논리 게이트; 및

상기 논리 게이트의 출력과 상기 로직의 출력을 입력으로하고 상기 주 제어 신호들에 응답하여 상기 논리 게이트의 출력 또는 상기 로직의 출력을 상기 제1 및 제2 메모리 수단들로 전달하는 메모리 제어부를 구비하는 것을 특징으로하는 메모리 테스트 제어 회로.

#### 청구항 8

제 7 항에 있어서, 상기 논리 게이트는

상기 버퍼의 출력과 상기 주 제어 신호들 중 하나를 입력으로하고 상기 주 제어 신호들 중 하나가 논리 하이이면 상기 버퍼의 출력을 상기 메모리 제어부로 전달하고, 상기 주 제어 신호들 중 하나가 논리 로우이면 상기 버퍼의 출력을 차단시키는 제1 앤드 게이트;

상기 버퍼의 출력과 상기 주 제어 신호들 중 다른 하나를 입력으로하고 상기 주 제어 신호들 중 다른 하나가 논리 하이이면 상기 버퍼의 출력을 상기 로직으로 전달하고, 상기 주 제어 신호들 중 다른 하나가 논리 로우이면 상기 버퍼의 출력을 차단하는 제2 앤드 게이트; 및

상기 버퍼의 출력과 상기 주 제어 신호들 중 또 다른 하나를 입력으로하고 상기 주 제어 신호들 중 다른 하나가 논리 하이이면 상기 버퍼의 출력을 상기 메모리 제어부로 전달하고, 상기 주 제어 신호들 중 또 다른 하나가 논리 로우이면 상기 버퍼의 출력을 차단하는 제3 앤드 게이트를 구비하는 것을 특징으로하는 메모리 테스트 제어 회로.

#### 청구항 9

제 7 항에 있어서, 상기 메모리 제어부는

상기 로직의 출력과 상기 논리 게이트의 출력을 입력으로하고 상기 주 제어 신호들에 응답하여 상기 로직의 출력 또는 상기 논리 게이트의 출력을 상기 제1 메모리 수단으로 전달하는 제1 멀티플렉서; 및

상기 로직의 출력과 상기 논리 게이트의 출력을 입력으로하고 상기 주 제어 신호들에 응답하여 상기 로직의 출력 또는 상기 논리 게이트의 출력을 상기 제2 메모리 수단으로 전달하는 제2 멀티플렉서를 구비하는 것을 특징으로하는 메모리 테스트 제어 회로.

#### 청구항 10

제 5 항에 있어서, 상기 메모리 데이터 제어부는

상기 메모리 데이터 신호들이 인가되는 입출력 버퍼;

상기 입출력 버퍼의 출력과 상기 주 제어 신호들을 입력으로하고 그 출력들 중 하나는 상기 로직으로 전달하는 논리 게이트;

상기 논리 게이트의 출력과 상기 로직의 출력을 입력으로하고 상기 주 제어 신호들에 응답하여 상기 논리 게이트의 출력 또는 상기 로직의 출력을 상기 제1 및 제2 메모리 수단들로 전달하는 메모리 제어부;

상기 제1 및 제2 메모리 수단들로부터 출력되는 메모리 데이터 신호들과 상기 로직의 출력을 입력으로하고 상기 주 제어 신호들에 응답하여 상기 제1 및 제2 메모리 수단들로부터 출력되는 메모리 데이터 신호들 또는 상기 로직의 출력을 상기 입출력 버퍼로 전달하는 출력 제어부; 및

상기 주 제어 신호들과 상기 제1 및 제2 메모리 수단들로부터 출력되는 메모리 데이터 신호들을 입력으로하고 그 출력은 상기 입출력 버퍼로 전달되며 그 출력이 액티브이면 상기 출력 제어부의 출력이 상기 입출력 버퍼를 통과하고 그 출력이 인액티브이면 상기 출력 제어부의 출력이 상기 입출력 버퍼를 통과하지 못하게하는 출력 버퍼 제어부를 구비하는 것을 특징으로하는 메모리 테스트 제어 회로.

#### 청구항 11

제 10 항에 있어서, 상기 입출력 버퍼는

상기 메모리 데이터 신호를 상기 논리 게이트로 전달하는 입력 버퍼; 및

상기 출력 버퍼 제어부에 응답하여 상기 출력 제어부의 출력을 외부로 전달하는 출력 버퍼를 구비하는 것을 특징으로하는 메모리 테스트 제어 회로.

#### 청구항 12

제 10 항에 있어서, 상기 논리 게이트는

상기 입출력 버퍼의 출력과 상기 주 제어 신호들 중 하나를 입력으로하고 상기 주 제어 신호들 중 하나가 논리 하이이면 상기 버퍼의 출력을 상기 메모리 제어부로 전달하고, 상기 주 제어 신호들 중 하나가 논리 로우이면 상기 버퍼의 출력을 차단시키는 제4 앤드 게이트;

상기 버퍼의 출력과 상기 주 제어 신호들 중 다른 하나를 입력으로하고 상기 주 제어 신호들 중 다른 하나가 논리 하이이면 상기 버퍼의 출력을 상기 로직으로 전달하고, 상기 주 제어 신호들 중 다른 하나가 논리 로우이면 상기 버퍼의 출력을 차단하는 제5 앤드 게이트; 및

상기 버퍼의 출력과 상기 주 제어 신호들 중 또 다른 하나를 입력으로하고 상기 주 제어 신호들 중 다른 하나가 논리 하이이면 상기 버퍼의 출력을 상기 메모리 제어부로 전달하고, 상기 주 제어 신호들 중 또 다른 하나가 논리 로우이면 상기 버퍼의 출력을 차단하는 제6 앤드 게이트를 구비하는 것을 특징으로하는 메모리 테스트 제어 회로.

#### 청구항 13

제 10 항에 있어서, 상기 메모리 제어부는

상기 로직의 출력과 상기 논리 게이트의 출력을 입력으로하고 상기 주 제어 신호들에 응답하여 상기 로직의 출력 또는 상기 논리 게이트의 출력을 상기 제1 메모리 수단으로 전달하는 제3 멀티플렉서; 및

상기 로직의 출력과 상기 논리 게이트의 출력을 입력으로하고 상기 주 제어 신호들에 응답하여 상기 로직의 출력 또는 상기 논리 게이트의 출력을 상기 제2 메모리 수단으로 전달하는 제4 멀티플렉서를 구비하는 것을 특징으로하는 메모리 테스트 제어 회로.

#### 청구항 14

제 10 항에 있어서, 상기 출력 제어부는

상기 제1 및 제2 메모리 수단들로부터 출력되는 메모리 데이터 신호들 및 상기 로직의 출력을 입력으로하고 상기 주 제어 신호들에 응답하여 상기 제1 및 제2 메모리 수단들로부터 출력되는 메모리 데이터 신호들 또는 상기 로직의 출력을 상기 입출력 버퍼로 전달하는 멀티플렉서인 것을 특징으로하는 메모리 테스트 제어 회로.

#### 청구항 15

제 10 항에 있어서, 상기 출력 버퍼 제어부는

상기 주 제어 신호들 중 제1 및 제2 메모리 수단들을 제어하는 신호들을 입력으로하는 제1 오아 게이트;

상기 제1 및 제2 메모리 수단들로부터 출력되는 메모리 데이터 신호들을 입력으로하는 제2 오아 게이트;

상기 제1 오아 게이트와 상기 제2 오아 게이트의 출력을 입력으로하는 제7 앤드 게이트;

상기 제7 앤드 게이트의 출력과 상기 주 제어 신호들 중 상기 로직을 제어하는 신호를 입력으로하는 제3

오아 게이트; 및

상기 제3 오아 게이트의 출력과 전원 전압을 입력으로하고 그 출력은 상기 입출력 버퍼로 전달하는 낸드 게이트를 구비하는 것을 특징으로하는 메모리 테스트 제어 회로.

#### 청구항 16

로직과 다수개의 메모리 수단들 사이에 연결된 메모리 테스트 제어 회로에 있어서,

상기 다수개의 메모리 수단들 및 상기 로직으로 상기 다수개의 메모리 수단들을 제어하는 메모리 제어 신호들을 전달하는 메모리 제어 신호 제어부;

상기 다수개의 메모리 수단들의 각각 및 상기 로직으로 메모리 데이터 신호들을 각각 전달하거나 또는 상기 다수개의 메모리 수단들의 각각 및 상기 로직으로부터 출력되는 메모리 데이터 신호들을 외부로 각각 전달하는 다수개의 메모리 데이터 제어부들; 및

상기 메모리 제어 신호 제어부 및 상기 메모리 데이터 제어부들에 연결되고 상기 메모리 제어 신호들이 상기 다수개의 메모리 수단들 및 상기 로직으로 전달되는 여부와, 상기 메모리 데이터 신호들이 상기 다수개의 메모리 수단들 및 상기 로직으로 전달되는 여부, 및 상기 다수개의 메모리 수단들 및 상기 로직으로부터 출력되는 메모리 데이터 신호들이 외부로 전달되는 여부를 제어하는 주 제어 신호 발생부를 구비하는 것을 특징으로하는 메모리 테스트 제어 회로.

#### 청구항 17

로직과 제1 및 제2 메모리 수단들 사이에 연결된 메모리 테스트 제어 회로에 있어서,

상기 제1 및 제2 메모리 수단들 및 상기 로직으로 상기 제1 및 제2 메모리 수단들을 제어하는 메모리 제어 신호들을 전달하는 메모리 제어 신호 제어부;

상기 제1 메모리 수단 및 상기 로직으로 메모리 데이터 신호들을 전달하거나 또는 상기 제1 메모리 수단 및 상기 로직으로부터 출력되는 메모리 데이터 신호들을 외부로 전달하는 제1 메모리 데이터 제어부;

상기 제2 메모리 수단 및 상기 로직으로 메모리 데이터 신호들을 전달하거나 또는 상기 제2 메모리 수단 및 상기 로직으로부터 출력되는 메모리 데이터 신호들을 외부로 전달하는 제2 메모리 데이터 제어부; 및

상기 메모리 제어 신호 제어부 및 상기 제1 및 제2 메모리 데이터 제어부에 연결되고, 외부로부터 입력되는 테스트 제어 신호의 조합에 의해 메모리 주 제어 신호와 로직 주 제어 신호를 발생시키는 주 제어 신호 발생부를 구비하고,

상기 메모리 주 제어 신호가 액티브이면 상기 메모리 제어 신호들과 상기 메모리 데이터 신호들이 각각 상기 제1 및 제2 메모리 수단들로 전달되거나 또는 상기 제1 및 제2 메모리 수단들로부터 발생한 메모리 데이터 신호들이 외부로 전달되고 상기 로직 주 제어 신호가 인액티브이면 상기 메모리 제어 신호들 또는 상기 메모리 데이터 신호들이 모두 상기 로직으로 전달되는 것을 특징으로하는 메모리 테스트 제어 회로.

#### 청구항 18

제 17 항에 있어서, 상기 주 제어 신호 발생부는

상기 테스트 제어 신호들이 액티브일 때는 상기 메모리 주 제어 신호를 액티브시키고 상기 테스트 제어 신호가 인액티브일 때는 상기 로직 주 제어 신호를 액티브시키는 것을 특징으로하는 메모리 테스트 제어 회로.

#### 청구항 19

제 17 항에 있어서, 상기 메모리 제어 신호 제어부는

상기 메모리 제어 신호들을 입력으로하는 버퍼;

상기 버퍼의 출력과 상기 메모리 주 제어 신호 및 상기 로직 주 제어 신호를 입력으로하고 그 출력들 중 하나는 상기 로직으로 전달되는 논리 게이트; 및

상기 논리 게이트의 출력과 상기 로직의 출력을 입력으로하고 상기 메모리 주 제어 신호와 상기 로직 주 제어 신호에 응답하여 상기 논리 게이트의 출력 또는 상기 로직의 출력을 상기 제1 및 제2 메모리 수단들로 전달하는 메모리 제어부를 구비하는 것을 특징으로하는 메모리 테스트 제어 회로.

#### 청구항 20

제 19 항에 있어서, 상기 논리 게이트는

상기 버퍼의 출력과 상기 메모리 주 제어 신호를 입력으로하고 상기 메모리 주 제어 신호가 논리 하이이면 상기 버퍼의 출력을 상기 메모리 제어부로 전달하고, 상기 메모리 주 제어 신호가 논리 로우이면 상기 버퍼의 출력을 차단하는 제1 앤드 게이트;

상기 버퍼의 출력과 상기 로직 주 제어 신호를 입력으로하고 상기 로직 주 제어 신호가 논리 하이이면 상기 버퍼의 출력을 상기 로직으로 전달하고, 상기 로직 주 제어 신호가 논리 로우이면 상기 버퍼의 출력을 차단하는 제2 앤드 게이트; 및

상기 버퍼의 출력과 상기 메모리 주 제어 신호를 입력으로하고 상기 메모리 주 제어 신호가 논리 하이이면 상기 버퍼의 출력을 상기 메모리 제어부로 전달하고, 상기 메모리 주 제어 신호가 논리 로우이면 상기 버퍼의 출력을 차단하는 제3 앤드 게이트를 구비하는 것을 특징으로하는 메모리 테스트 제어 회로.

**청구항 21**

제 19 항에 있어서, 상기 메모리 제어부는

상기 로직의 출력과 상기 논리 게이트의 출력을 입력으로하고 상기 메모리 주 제어 신호와 상기 로직 주 제어 신호에 응답하여 상기 로직의 출력 또는 상기 논리 게이트의 출력을 상기 제1 메모리 수단으로 전달하는 제1 멀티플렉서; 및

상기 로직의 출력과 상기 논리 게이트의 출력을 입력으로하고 상기 메모리 주 제어 신호와 상기 로직 주 제어 신호에 응답하여 상기 로직의 출력 또는 상기 논리 게이트의 출력을 상기 제2 메모리 수단으로 전달하는 제2 멀티플렉서를 구비하는 것을 특징으로하는 메모리 테스트 제어 회로.

**청구항 22**

제 17 항에 있어서, 상기 제1 메모리 데이터 제어부는

상기 메모리 데이터 신호들이 인가되는 제1 입출력 버퍼;

상기 제1 입출력 버퍼의 출력과 상기 메모리 주 제어 신호와 상기 로직 주 제어 신호를 입력으로하고 그 출력들 중 하나는 상기 로직으로 전달하는 제1 논리 게이트;

상기 제1 논리 게이트의 출력과 상기 로직의 출력을 입력으로하고 상기 메모리 주 제어 신호와 상기 로직 주 제어 신호에 응답하여 상기 제1 논리 게이트의 출력 또는 상기 로직의 출력을 상기 제1 메모리 수단으로 전달하는 제1 메모리 제어부;

상기 제1 메모리 수단으로부터 출력되는 메모리 데이터 신호들과 상기 로직의 출력을 입력으로하고 상기 메모리 주 제어 신호와 상기 로직 주 제어 신호에 응답하여 상기 제1 메모리 수단으로부터 출력되는 메모리 데이터 신호들 또는 상기 로직의 출력을 상기 제1 입출력 버퍼로 전달하는 제1 출력 제어부; 및

상기 메모리 주 제어 신호와 상기 로직 주 제어 신호 및 상기 제1 메모리 수단으로부터 출력되는 메모리 데이터 신호를 입력으로하고 그 출력은 상기 제1 입출력 버퍼로 전달하는 제1 출력 버퍼 제어부를 구비하고,

상기 제1 출력 버퍼 제어부의 출력이 액티브이면 상기 제1 출력 제어부의 출력이 상기 제1 입출력 버퍼를 통과하고 상기 제1 출력 버퍼 제어부의 출력이 인액티브이면 상기 제1 출력 제어부의 출력이 상기 제1 입출력 버퍼를 통과하지 못하는 것을 특징으로하는 메모리 테스트 제어 회로.

**청구항 23**

제 22 항에 있어서, 상기 제1 입출력 버퍼는

상기 메모리 데이터 신호를 상기 제1 논리 게이트로 전달하는 제1 입력 버퍼; 및

상기 제1 출력 버퍼 제어부에 응답하여 상기 제1 출력 제어부의 출력을 외부로 전달하는 제1 출력 버퍼를 구비하는 것을 특징으로하는 메모리 테스트 제어 회로.

**청구항 24**

제 22 항에 있어서, 상기 제1 논리 게이트는

상기 제1 입출력 버퍼의 출력과 상기 메모리 주 제어 신호를 입력으로하고 상기 메모리 주 제어 신호가 논리 하이이면 상기 제1 입출력 버퍼의 출력을 상기 제1 메모리 제어부로 전달하고, 상기 메모리 주 제어 신호가 논리 로우이면 상기 제1 입출력 버퍼의 출력을 차단하는 제1 앤드 게이트; 및

상기 제1 입출력 버퍼의 출력과 상기 로직 주 제어 신호를 입력으로하고 상기 제1 인버터의 출력이 논리 하이이면 상기 제1 입출력 버퍼의 출력을 상기 로직으로 전달하고, 상기 로직 주 제어 신호가 논리 로우이면 상기 제1 입출력 버퍼의 출력을 차단하는 제2 앤드 게이트를 구비하는 것을 특징으로하는 메모리 테스트 제어 회로.

**청구항 25**

제 22 항에 있어서, 상기 제1 메모리 제어부는

상기 로직의 출력과 상기 제1 논리 게이트의 출력을 입력으로하고 상기 메모리 주 제어 신호와 상기 로직 주 제어 신호에 응답하여 상기 로직의 출력 또는 상기 제1 논리 게이트의 출력을 상기 제 메모리 수단으로 전달하는 멀티플렉서인 것을 특징으로하는 메모리 테스트 제어 회로.

**청구항 26**

제 22 항에 있어서, 상기 제1 출력 제어부는

상기 제1 메모리 수단으로부터 출력되는 메모리 데이터 신호들 및 상기 로직의 출력을 입력으로하고 상기 메모리 주 제어 신호와 상기 로직 주 제어 신호에 응답하여 상기 제1 메모리 수단으로부터 출력되는 메모리 데이터 신호들 또는 상기 로직의 출력을 상기 제1 입출력 버퍼로 전달하는 멀티플렉서인 것을 특징으로하는 메모리 테스트 제어 회로.

**청구항 27**

제 22 항에 있어서, 상기 제1 출력 버퍼 제어부는

상기 메모리 주 제어 신호와 상기 제1 메모리 수단으로부터 출력되는 메모리 데이터 신호를 입력으로하는

제3 앤드 게이트;

상기 제3 앤드 게이트의 출력과 상기 로직 주 제어 신호를 입력으로하는 제1 오아 게이트; 및

상기 제1 오아 게이트의 출력과 전원 전압을 입력으로하는 제1 낸드 게이트를 구비하는 것을 특징으로하는 메모리 테스트 제어 회로.

### 청구항 28

제 17 항에 있어서, 상기 제2 메모리 데이터 제어부는

상기 메모리 데이터 신호들이 인가되는 제2 입출력 버퍼;

상기 제2 입출력 버퍼의 출력과 상기 메모리 주 제어 신호와 상기 로직 주 제어 신호를 입력으로하고 그 출력들 중 하나는 상기 로직으로 전달하는 제2 논리 게이트;

상기 제2 논리 게이트의 출력과 상기 로직의 출력을 입력으로하고 상기 메모리 주 제어 신호와 상기 로직 주 제어 신호에 응답하여 상기 제2 논리 게이트의 출력 또는 상기 로직의 출력을 상기 제2 메모리 수단으로 전달하는 제2 메모리 제어부;

상기 제2 메모리 수단으로부터 출력되는 메모리 데이터 신호들과 상기 로직의 출력을 입력으로하고 상기 메모리 주 제어 신호와 상기 로직 주 제어 신호에 응답하여 상기 제2 메모리 수단으로부터 출력되는 메모리 데이터 신호들 또는 상기 로직의 출력을 상기 제2 입출력 버퍼로 전달하는 제2 출력 제어부; 및

상기 메모리 주 제어 신호와 상기 로직 주 제어 신호 및 상기 제2 메모리 수단으로부터 출력되는 메모리 데이터 신호를 입력으로하고 그 출력은 상기 제2 입출력 버퍼로 전달하는 제2 출력 버퍼 제어부를 구비하고,

상기 제2 출력 버퍼 제어부의 출력이 액티브이면 상기 제2 출력 제어부의 출력이 상기 제2 입출력 버퍼를 통과하고 상기 제2 출력 버퍼 제어부의 출력이 인액티브이면 상기 제2 출력 제어부의 출력이 상기 제2 입출력 버퍼를 통과하지 못하는 것을 특징으로하는 메모리 테스트 제어 회로.

### 청구항 29

제 28 항에 있어서, 상기 제2 입출력 버퍼는

상기 메모리 데이터 신호를 상기 제2 논리 게이트로 전달하는 제2 입력 버퍼; 및

상기 제2 출력 버퍼 제어부에 응답하여 상기 제2 출력 제어부의 출력을 외부로 전달하는 제2 출력 버퍼를 구비하는 것을 특징으로하는 메모리 테스트 제어 회로.

### 청구항 30

제 28 항에 있어서, 상기 제2 논리 게이트는

상기 제2 입출력 버퍼의 출력과 상기 메모리 주 제어 신호를 입력으로하고 상기 메모리 주 제어 신호가 논리 하이이면 상기 제2 입출력 버퍼의 출력을 상기 제2 메모리 제어부로 전달하고, 상기 메모리 주 제어 신호가 논리 로우이면 상기 제2 입출력 버퍼의 출력을 차단하는 제4 앤드 게이트; 및

상기 제2 입출력 버퍼의 출력과 상기 로직 주 제어 신호를 입력으로하고 상기 제2 인버터의 출력이 논리 하이이면 상기 제2 입출력 버퍼의 출력을 상기 로직으로 전달하고, 상기 로직 주 제어 신호가 논리 로우이면 상기 제2 입출력 버퍼의 출력을 차단하는 제5 앤드 게이트를 구비하는 것을 특징으로하는 메모리 테스트 제어 회로.

### 청구항 31

제 28 항에 있어서, 상기 제2 메모리 제어부는

상기 로직의 출력과 상기 제2 논리 게이트의 출력을 입력으로하고 상기 메모리 주 제어 신호와 상기 로직 주 제어 신호에 응답하여 상기 로직의 출력 또는 상기 제2 논리 게이트의 출력을 상기 제2 메모리 수단으로 전달하는 멀티플렉서인 것을 특징으로하는 메모리 테스트 제어 회로.

### 청구항 32

제 28 항에 있어서, 상기 제2 출력 제어부는

상기 제2 메모리 수단으로부터 출력되는 메모리 데이터 신호들 및 상기 로직의 출력을 입력으로하고 상기 메모리 주 제어 신호와 상기 로직 주 제어 신호에 응답하여 상기 제2 메모리 수단으로부터 출력되는 메모리 데이터 신호들 또는 상기 로직의 출력을 상기 제2 입출력 버퍼로 전달하는 멀티플렉서인 것을 특징으로하는 메모리 테스트 제어 회로.

### 청구항 33

제 28 항에 있어서, 상기 제2 출력 버퍼 제어부는

상기 메모리 주 제어 신호와 상기 제2 메모리 수단으로부터 출력되는 메모리 데이터 신호를 입력으로하는 제6 앤드 게이트;

상기 제6 앤드 게이트의 출력과 상기 로직 주 제어 신호를 입력으로하는 제2 오아 게이트; 및

상기 제2 오아 게이트의 출력과 전원 전압을 입력으로하는 제2 낸드 게이트를 구비하는 것을 특징으로하는 메모리 테스트 제어 회로.

**청구항 34**

외부와 연결되는 내장 셀프 테스트부와 복수개의 메모리들을 갖는 메모리 로직 복합 반도체 장치의 메모리 테스트 방법에 있어서,

상기 내장 셀프 테스트부가 상기 복수개의 메모리들에 데이터를 기입하는 데이터 기입 단계; 및

상기 내장 셀프 테스트부가 상기 복수개의 메모리들에 저장된 데이터를 독출하는 데이터 독출 단계를 구비하는 것을 특징으로하는 메모리 로직 복합 반도체 장치의 메모리 테스트 방법.

**청구항 35**

제34항에 있어서, 상기 데이터 기입 단계는

상기 복수개의 메모리들을 활성화하는 단계;

상기 내장 셀프 테스트부가 상기 복수개의 메모리들에 저장된 데이터를 독출하는 단계; 및

상기 내장 셀프 테스트부가 상기 복수개의 메모리들에 데이터를 기입하는 단계를 구비하는 것을 특징으로하는 메모리 로직 복합 반도체 장치의 메모리 테스트 방법.

**청구항 36**

제35항에 있어서, 상기 복수개의 메모리들을 활성화하는 단계는 외부로부터 상기 내장 셀프 테스트부를 활성화시킴으로써 상기 내장 셀프 테스트부가 상기 복수개의 메모리들을 활성화하는 것을 특징으로하는 메모리 로직 복합 반도체 장치의 메모리 테스트 방법.

**청구항 37**

제34항에 있어서, 상기 데이터 독출 단계는

상기 내장 셀프 테스트부가 상기 메모리들에 저장된 데이터를 독출하는 단계; 및

상기 메모리들을 프리차지시키는 단계를 구비하는 것을 특징으로하는 메모리 로직 복합 반도체 장치의 메모리 테스트 방법.

**청구항 38**

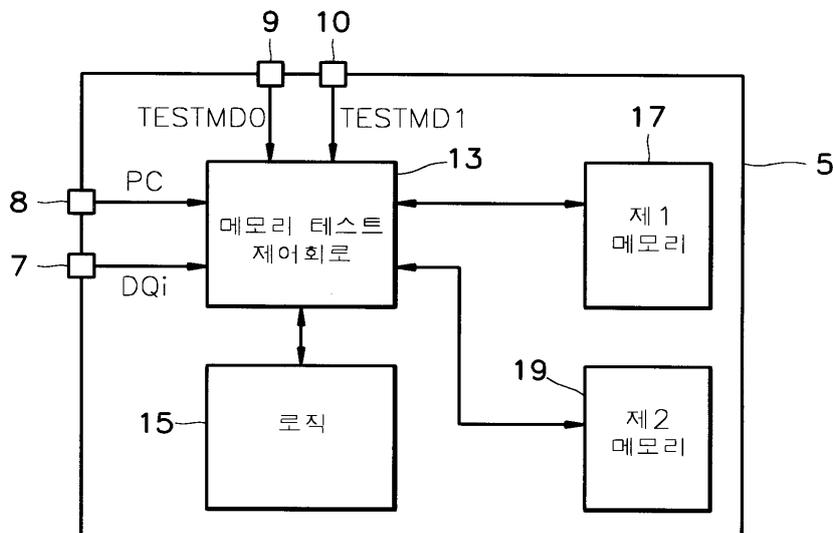
제34항에 있어서, 상기 데이터 기입 단계에서

상기 내장 셀프 테스트부는 상기 복수개의 메모리들에 순차적으로 데이터를 기입하는 것을 특징으로하는 메모리 로직 복합 반도체 장치의 메모리 테스트 방법.

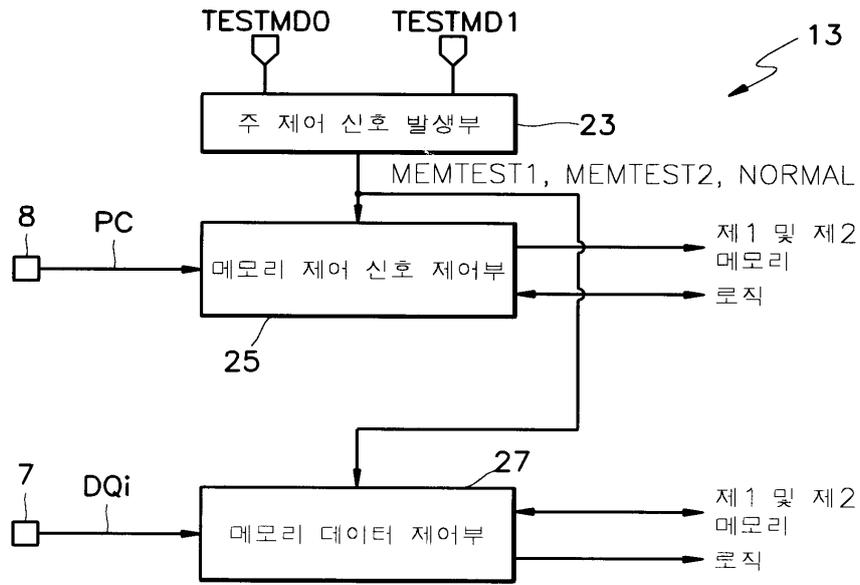
**청구항 39**

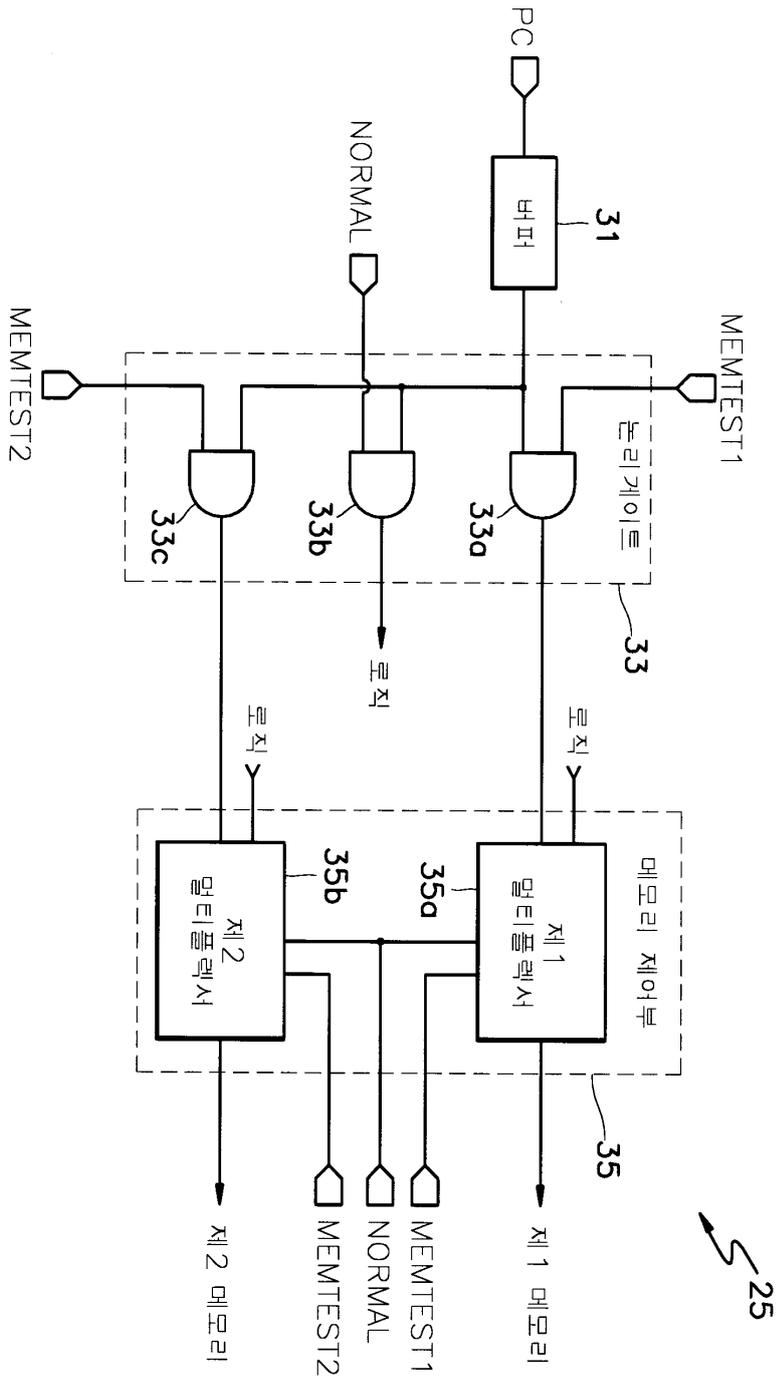
제34항에 있어서, 상기 데이터 독출 단계에서

상기 내장 셀프 테스트부는 상기 복수개의 메모리들로부터 순차적으로 데이터를 독출하는 것을 특징으로하는 메모리 로직 복합 반도체 장치의 메모리 테스트 방법.

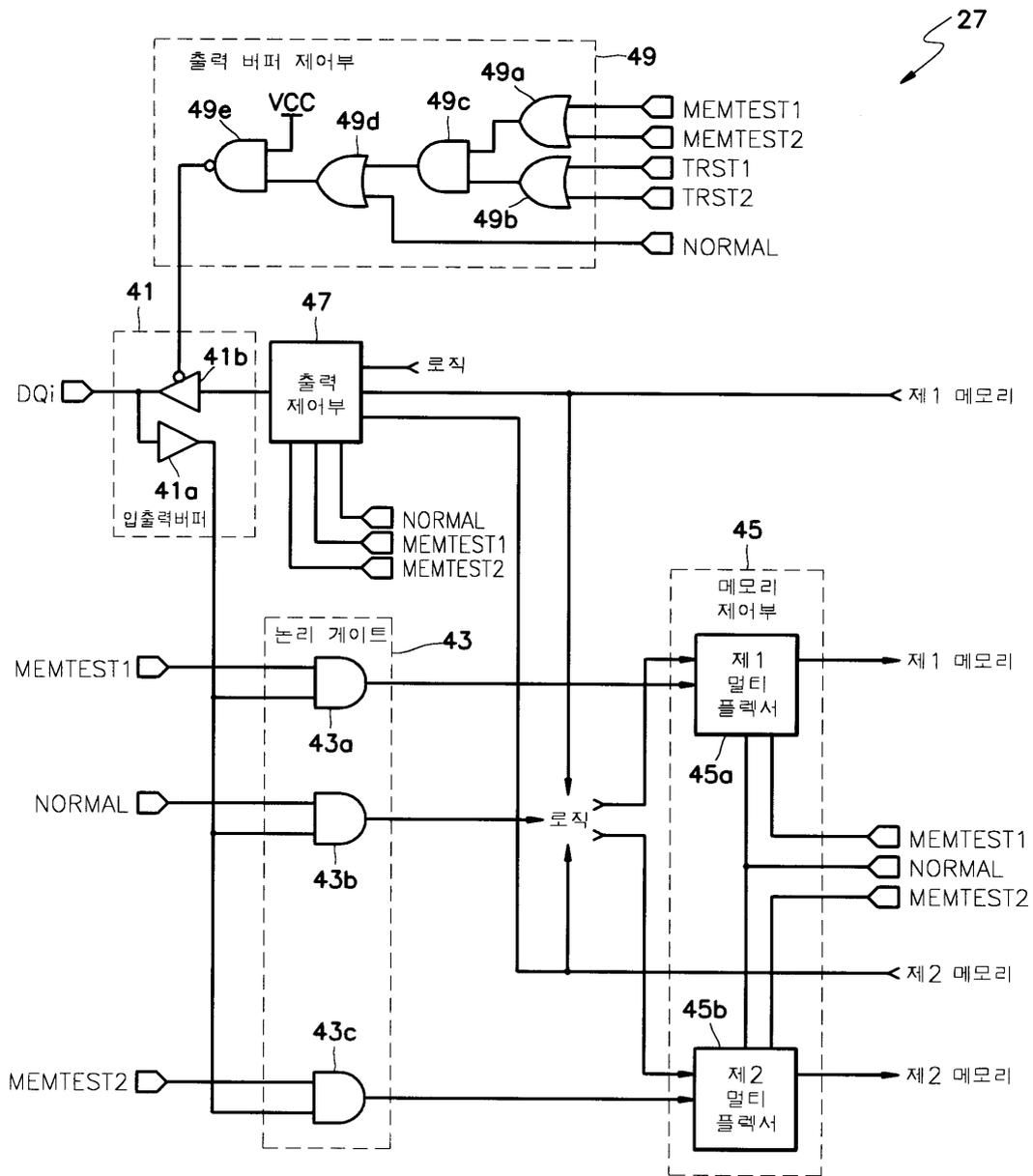
**도면****도면1**

도면2

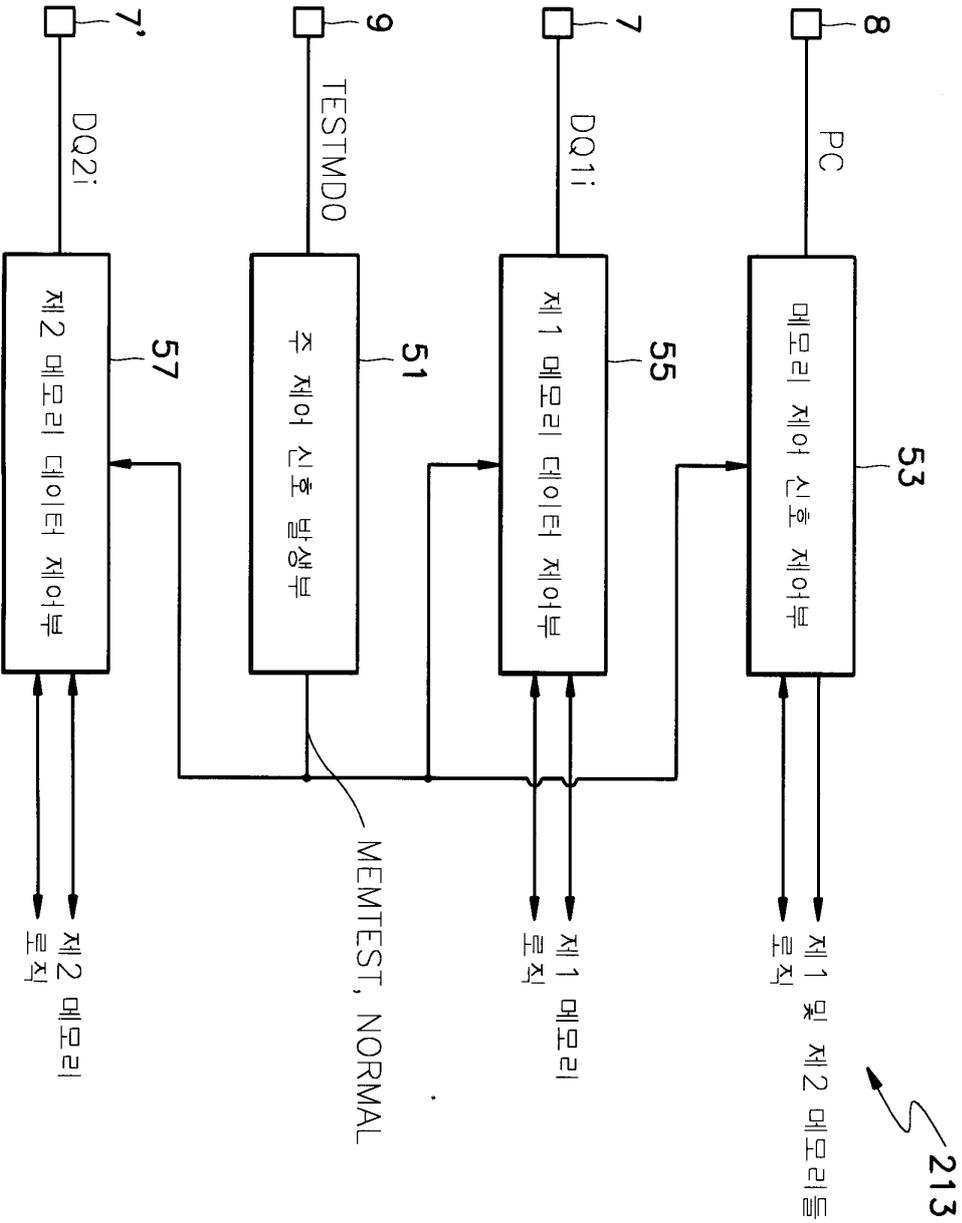




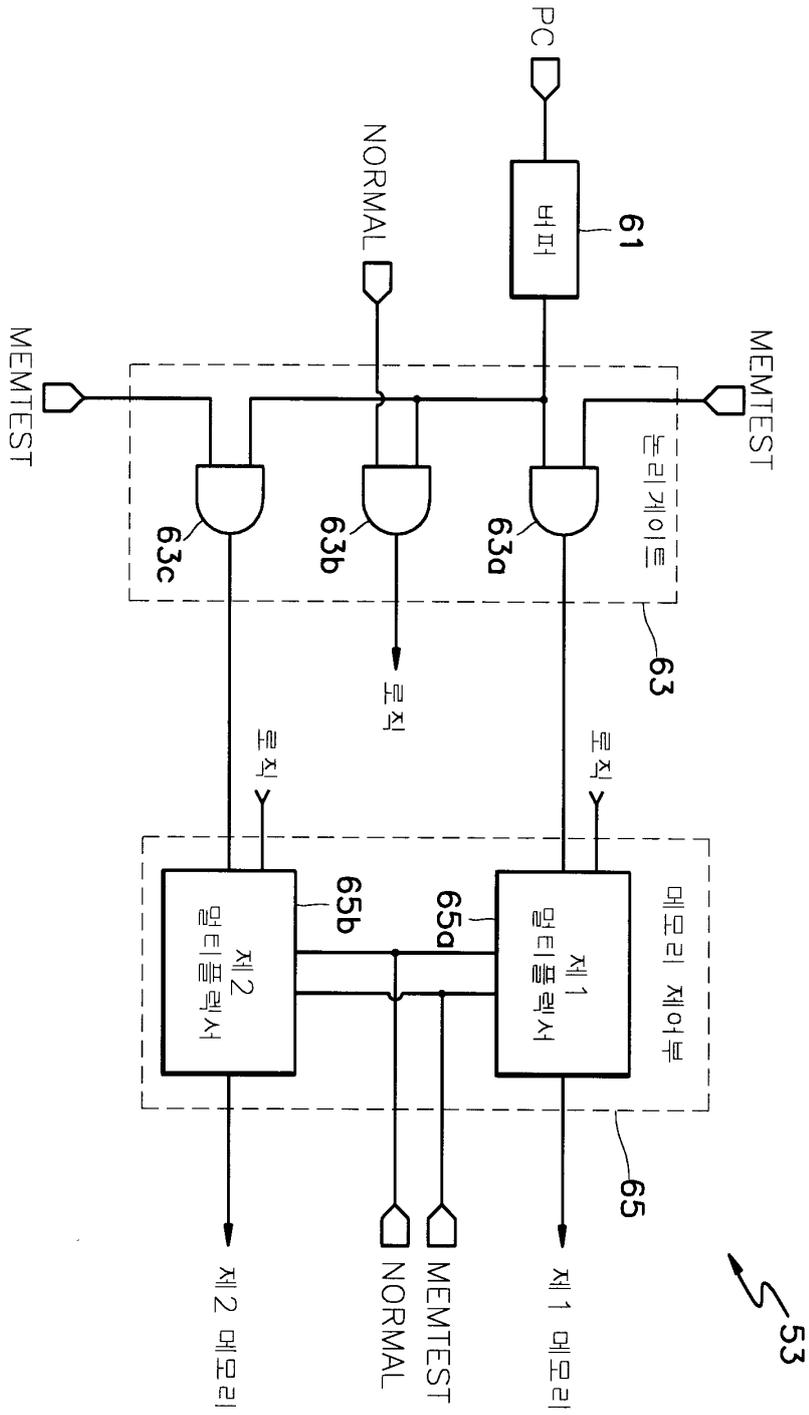
도면4



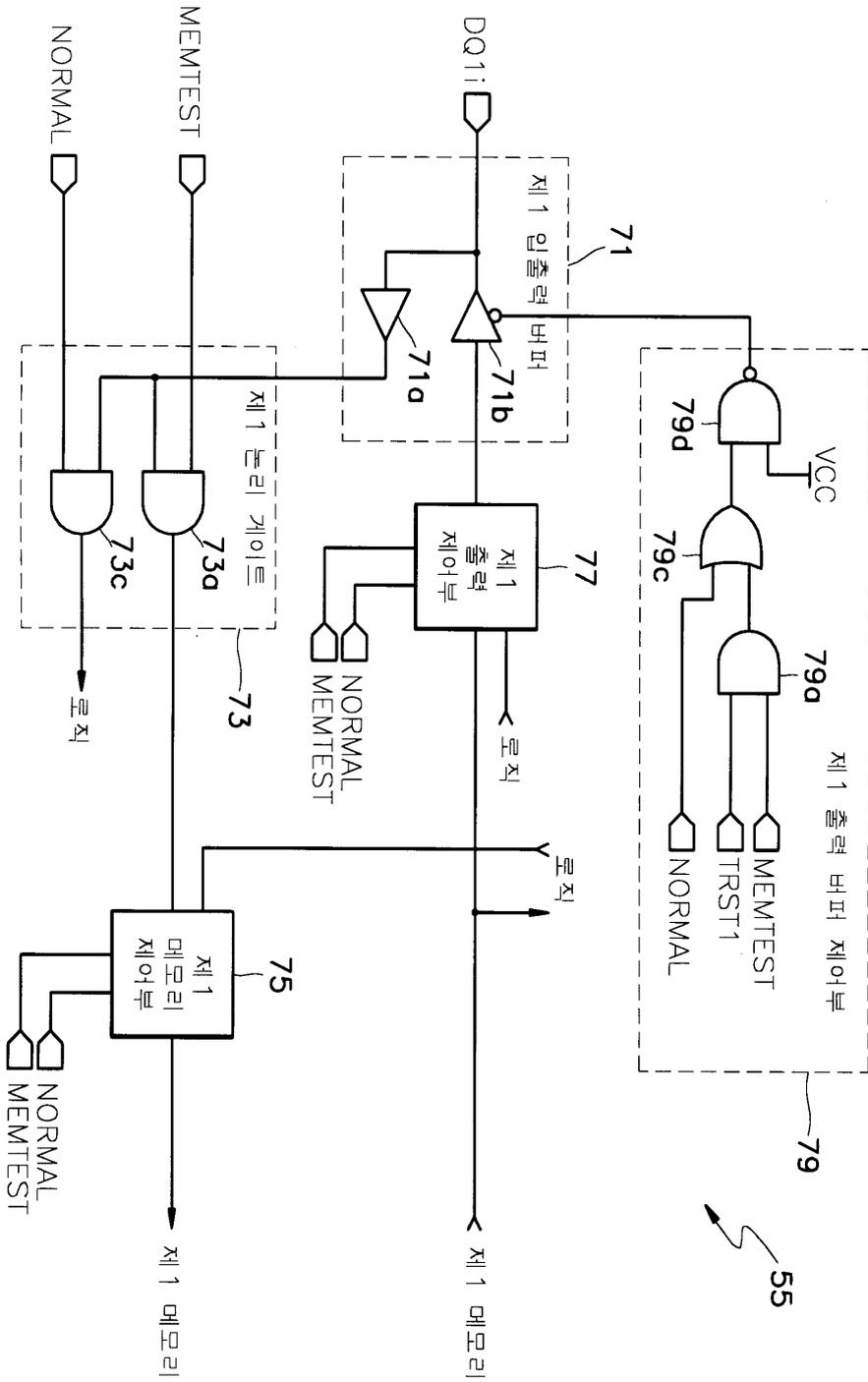
도면5

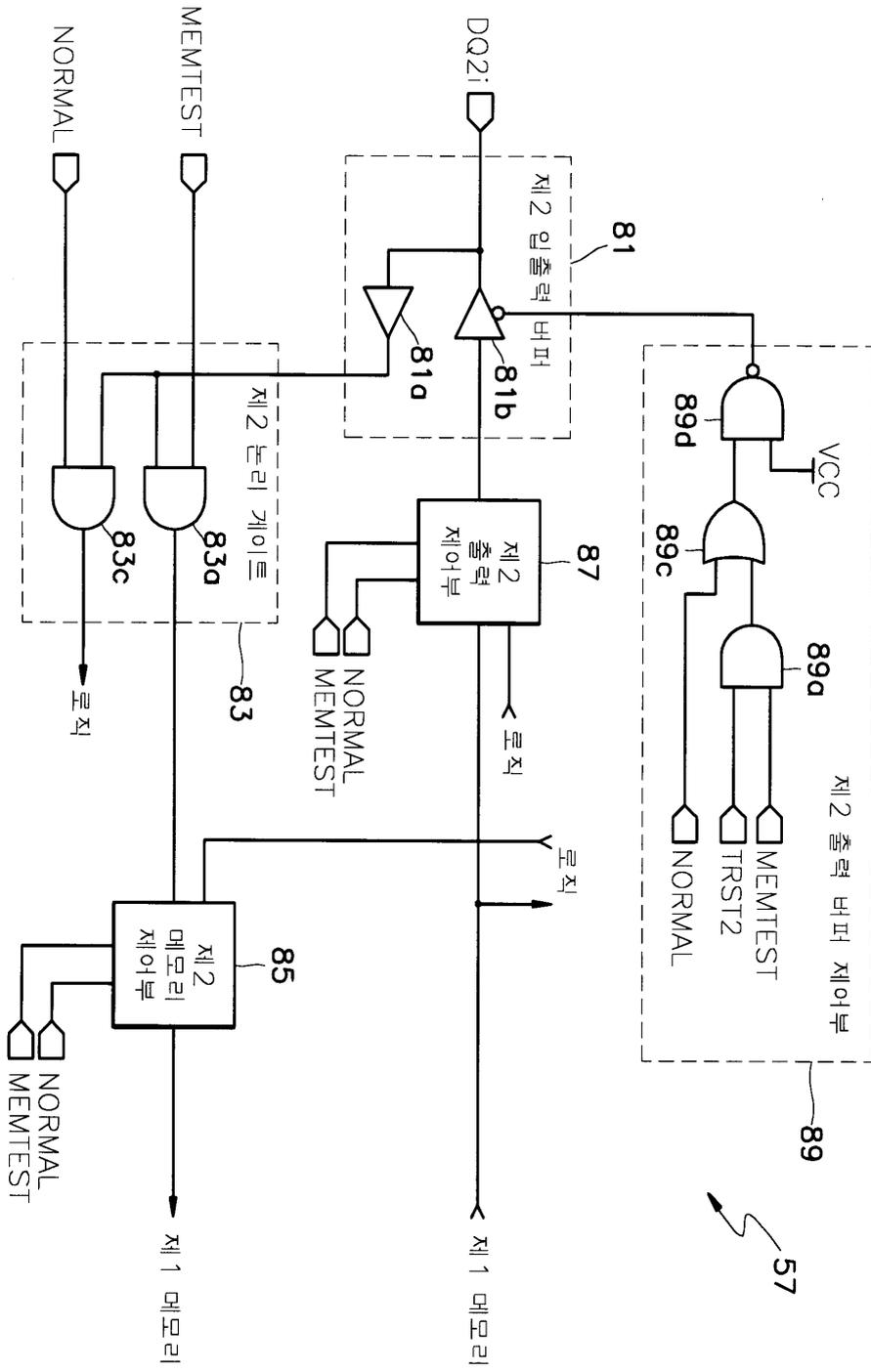


도면6

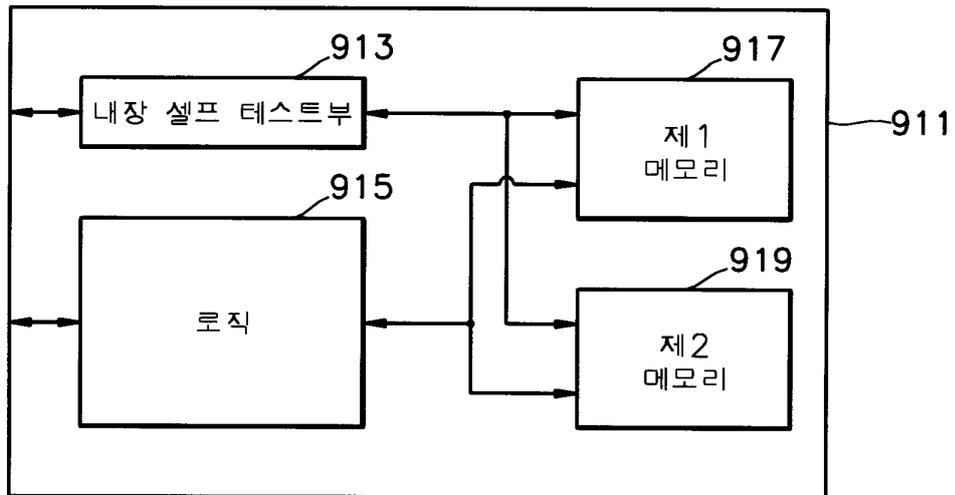


도면7





도면9



도면 10

