

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4837481号
(P4837481)

(45) 発行日 平成23年12月14日(2011.12.14)

(24) 登録日 平成23年10月7日(2011.10.7)

(51) Int.Cl. F I
H O 3 L 7/093 (2006.01) H O 3 L 7/08 E

請求項の数 10 (全 9 頁)

(21) 出願番号	特願2006-210442 (P2006-210442)	(73) 特許権者	500587067
(22) 出願日	平成18年8月2日(2006.8.2)		アギア システムズ インコーポレーテッド
(65) 公開番号	特開2007-43712 (P2007-43712A)		ド
(43) 公開日	平成19年2月15日(2007.2.15)		アメリカ合衆国、18109 ペンシルヴァニア、アレントアウン、アメリカン パークウェイ エヌイー 1110
審査請求日	平成21年7月29日(2009.7.29)		
(31) 優先権主張番号	11/195267	(74) 代理人	100094112
(32) 優先日	平成17年8月2日(2005.8.2)		弁理士 岡部 譲
(33) 優先権主張国	米国 (US)	(74) 代理人	100064447
			弁理士 岡部 正夫
		(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100096943
			弁理士 臼井 伸一

最終頁に続く

(54) 【発明の名称】 スケーリングされた制動コンデンサを有する位相ロック・ループ

(57) 【特許請求の範囲】

【請求項1】

集積回路(IC)であって、
 位相ロック・ループ(PLL)を含み、前記位相ロック・ループが、
 電流制御発振器(ICO)(303)と、
 ループ・フィルタ出力ノード(207)を有するループ・フィルタとを含み、前記ループ・フィルタは、ループ・フィルタ抵抗器(210)と、前記ループ・フィルタ抵抗器へループ・フィルタ中間ノード(208)で接続するループ・フィルタ制動コンデンサ(212)とを含み、さらに、
 電流ミラー出力ノード(305)を有する電流ミラーを含む電流スケーリング回路(301 a、301 b、302 a、302 b)を含み、前記電流スケーリング回路は、前記ループ・フィルタ出力ノードと前記ループ・フィルタ中間ノードとに接続して、前記電流ミラー出力ノードで前記 IC へ印加される電流ミラー出力電流を発生する、集積回路(IC)。

10

【請求項2】

前記電流スケーリング回路が、
 入力電流を発生するよう接続された入力トランジスタ(302 a)と、
 前記入力電流のミラーとしてミラー電流を発生するよう接続されたミラー・トランジスタ(302 b)と、
 前記入力トランジスタ(302 a)から前記入力電流を受信するよう接続された第1の

20

トランジスタ(301a)と、

前記ミラー・トランジスタから前記ミラー電流の一部を受信するよう接続された第2のトランジスタ(301b)とを含み、前記第1及び第2のトランジスタのゲートが、前記ループ・フィルタ中間ノード及び前記ループ・フィルタ出力ノードにそれぞれ接続され、前記ゲートに印加された電圧を前記IC0へ印加される前記電流ミラー出力電流に変換する、請求項1に記載の集積回路。

【請求項3】

前記電流ミラーが、前記ループ・フィルタ制動コンデンサの両端の電圧降下に比例する前記ミラー電流を発生するように構成される、請求項1に記載の集積回路。

【請求項4】

前記電流スケーリング回路が、前記ループ・フィルタ制動コンデンサの有効容量を増大させるように構成される、請求項1に記載の集積回路。

【請求項5】

前記電流スケーリング回路が、前記PLLループ・ダイナミクスに影響を与えることなく前記ループ・フィルタ制動コンデンサの有効容量を増大させるように構成される、請求項1に記載の集積回路。

【請求項6】

前記ループ・フィルタ出力ノードは、前記IC0の入力に直接接続されていない、請求項1に記載の集積回路。

【請求項7】

前記第1及び第2のトランジスタは整合トランジスタである、請求項2に記載の集積回路。

【請求項8】

前記電流ミラーは、前記第2のトランジスタの電流から前記第1のトランジスタの電流を減じる、請求項2に記載の集積回路。

【請求項9】

前記ミラー電流の別の部分が前記IC0へ印加されるように、前記電流ミラーの利得は1よりも小さい、請求項2に記載の集積回路。

【請求項10】

前記ミラー・トランジスタは、前記電流ミラー出力ノードで前記第2のトランジスタへ接続される、請求項2に記載の集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般に、位相/遅延ロック・ループ回路、および詳細には、スケーリング係数を有するチャージ・ポンプ位相ロック・ループ回路に関する。

【背景技術】

【0002】

通信システム、クロック回復回路、周波数乗算器、およびデータ同期回路など、電子回路内のきわめて重要なタイミング要件のために、ローカルに発生されたクロック信号は、基準波形に正確に同期されなければならない。位相ロック・ループ(PLL)は、ローカルに発生された信号の位相または周波数を「ロック時間」と呼ばれる期間内に入力「基準」信号の位相および周波数に一致するように調節するフィードバック制御システムである。一般に、PLLは、低周波オフチップ・クロックを取り除き、高周波オンチップ・クロックを発生するために使用される。遅延ロック・ループ(DLL)は、DLLが入力基準信号に関して規定の遅延で出力信号を発生するように設計されるという点で、PLLに似ている。

【0003】

典型的には、PLLは、3つの構成要素、すなわち、位相/周波数検出器(PFD)、ループ・フィルタ(LF)、および制御発振器(CO)を有する。COは電圧制御(VC

10

20

30

40

50

0)でも、電流制御(ICO)でもよい。COの出力はPFDにフィードバックされる。出力信号の周波数は、通常、入力基準周波数の倍数である。上記3つの構成要素のほかに、PLLはまた、PFDの信号に応じてフィルタのコンデンサの充電量を操作する、チャージ・ポンプ(CP)を含むこともできる。言い換えれば、PFDはCPによって電荷出力を増加するあるいは減少する信号を発生し、CPは電荷をLFコンデンサに付加するあるいはそれから除去する。COは、COに入力される電圧または電流に比例する周波数を有する出力クロックを発生する。

【0004】

PFD/CPは、位相(または周波数)エラーを電流に変換し、出力周波数を入力周波数にロックすることを可能にする。LFは、PFD/CP出力電流に作用して、COで周波数出力を制御する、電圧を発生する。CO出力は、プログラム可能分周器(デバイス)を通じて供給され、次いで、PFDに戻される。PLLは、そのフィードバック特性のため、PFDにあるエラーがゼロになるまでCOを駆動する。

10

【0005】

ループ・フィルタは、1つの抵抗器および2つのコンデンサ、すなわち制動コンデンサと寄生バイパス・コンデンサ、を含むことができる。制動コンデンサの容量が増大すると、集積回路の面積が増大する。面積を増大させることなく、有効制動コンデンサ容量を増大させることが望ましい。コンデンサはPLL内で大きな面積を占めるので、制動コンデンサ C_1 の面積、および自動較正ループに関連するコンデンサの面積を縮小することによって、チャージ・ポンプPLLの面積を縮小することができる。コンデンサのサイズを縮小する1つの方法は、集積コンデンサを作るために使用されるデバイスのゲート酸化膜を縮小することであり、この方法によって、はるかに小さな面積で所望の容量を得ることができる。しかし、より薄いゲート酸化膜は、ゲート漏洩電流を引き起こし、その結果、静位相オフセットが発生する。静位相オフセットを軽減する技法は、米国特許第6043715号に記載されているが、この方法は面積を増大させ、それによって面積を縮小するという目的を無にする。第2の方法は、より小さな容量値を使用するもので、それによってより小さな面積を達成するが、これは、PLLのループ・ダイナミクスに変化を引き起こす可能性があり、その閉ループ性能に悪い影響を及ぼす。第3の方法では、2つのチャージ・ポンプ、すなわち、ループ・フィルタ電圧の比例成分用ポンプおよび積分成分用ポンプを使用する。しかし、第2のチャージ・ポンプと、2つの別々のコンデンサ電圧を合計するのに必要な回路との面積は、コンデンサのサイズを縮小することによって得られるどんな節約も無効にする。これまで見てきたように、知られる方法には、望ましくない結果なしにチャージ・ポンプPLLの面積を縮小するという目的を達成するものは1つもない。したがって、従来技術の改善が必要である。

20

30

【特許文献1】米国特許第6043715号

【発明の開示】

【発明が解決しようとする課題】

【0006】

チャージ・ポンプPLLの面積を縮小するために、フィードバック・ループのループ・ダイナミクスおよび安定性に普通なら及ぼすような影響を及ぼすことなく、ループ・フィルタを実施するために使用されるコンデンサの面積を縮小することができる。

40

【課題を解決するための手段】

【0007】

これは、チャージ・ポンプPLL内で、ループ・フィルタ電圧の比例成分と積分成分を分離し、積分成分が実際に使用されたものよりはるかに大きな値の容量によって影響されたかのように見えるようにするために別の回路を追加することによって、達成することができる。一態様では、電流ミラーを使用して、総ループ・フィルタ電圧からループ・フィルタ電圧の積分成分の一部を減じることができる。次いで、差動信号を使用して、チャージ・ポンプPLL内の発振器を駆動する。他の態様では、第3の積分器または自動較正ループを使用して、発振器の中央周波数を設定する。

50

本開示のこれらおよび他の特徴、目的および利点は、同様の番号は同様の部品を意味する添付の図面に関連する以下の詳細な説明からより容易に理解されることができる。

【発明を実施するための最良の形態】

【0008】

下記の議論は以下の記号を使用する。

Rは、「ゼロ・レジスタ」としても知られる外部ループ・フィルタ抵抗器を意味する。

C_1 は、「制動コンデンサ」と呼ばれることもある、外部ループ・フィルタ内の2つのコンデンサの1つを意味する。このコンデンサは、2つのデバイス・ピンの間のR、または1つのデバイス・ピンとグラウンドの間のRに、直列に接続される。

【0009】

C_2 は、「リップル・バイパス・コンデンサ」と呼ばれることもある、外部ループ・フィルタ内の第2のコンデンサを意味する。このコンデンサは、Rと C_1 の直列回路に並列に接続される。 C_1 は常に C_2 より、一般に係数100だけ、大きい。

【0010】

I_p は、デバイスによって供給されるチャージ・ポンプ電流を意味し、ときどきユーザによって調節可能である。

ϕ は、電圧信号の位相を意味する。

ϕ_e は、位相検出器によって出力される位相エラーである。

β は、この用途で使用される電流ミラーのミラーリング・パラメータを意味する。

sは、ラプラス変換変数を意味する。

K_{vc} は、電圧制御水晶発振器(VCXO)または電圧制御発振器(VCO)の小記号利得を意味する。

Fは、信号の周波数を意味する。

Vは、信号の電圧を意味する。

MおよびNは、出力信号の周波数が入力信号の周波数の分数が倍数のいずれかとすれば、入力およびフィードバック・パスに入れられてよい任意選択の入力、出力またはフィードバック分周器(デバイス)の分周比を意味する。分周が必要ない場合は、分周比は1でよい。

【0011】

図1は、直列に接続されたPFD104、CP106、ループ・フィルタ108、およびCO116を含むPLLを示す。N分周器(デバイス)102は、PFD104の1つの入力に結合される。M分周器(デバイス)118は、CO116の出力に結合され、M分周器(デバイス)118の出力は、PFD104の別の入力に結合され、フィードバックされる。入力信号101はN分周器(デバイス)102に入れられ、N分周器(デバイス)102は入力信号101を係数Nで割って入力基準信号103を供給する。Nで割られた入力基準信号103は、PFD104に入力される。PLL100の出力信号120は、M分周器(デバイス)118に供給され、M分周器(デバイス)118は、出力信号120を係数Mで割って入力フィードバック信号105を発生する。

【0012】

PFD104は、入力基準信号103とフィードバック信号105の周波数および位相を比較し、CP106に対して位相エラー信号を発生する。位相エラー信号は、現在の出力信号の位相(たとえば、フィードバック信号105の位相)と、あるべき信号の位相(たとえば入力基準信号101の位相)との位相差である。位相エラー信号は、CP106から、電流値(たとえば電荷の流れ)に関するループ・フィルタ108に供給される。ループ・フィルタ108は、ある決まった周波数の電流信号は通し、その他の周波数の電流信号は減衰させることによって、CP106からの電流をフィルタし、制御信号を発生して、実際の制御信号と標準動作信号または最適信号との差に基づいて出力信号120の位相を調整する。制御信号は、CO116に供給されて出力信号120に出力位相を提供し、この出力信号120をループが入力基準周波数101の基準位相でロックする。

【0013】

10

20

30

40

50

制御電圧 107 は、2つの部分、すなわち、比例成分である抵抗器 110 にかかる電圧と、ループ・フィルタ電圧の積分成分であるコンデンサ 112 にかかる電圧とからなる。コンデンサ 114 は、チャージ・ポンプからの高周波数信号を減衰させるために使用される小さなコンデンサであり、したがって、これらの信号は、C0116 によって位相ジッタに調整されない。C0116 は、出力位相を有する出力信号 120 を発生し、ループは、この出力位相を入力基準周波数 101 の基準位相でロックする。

【0014】

図 2 は、本明細書中で開示された原理に従って設計された PLL200 のブロック図である。PLL200 は、位相/周波数検出器 (PFD) 204、チャージ・ポンプ (CP) 206、リップル・バイパス・コンデンサ 214、ループ・フィルタ抵抗器 210 およびループ・フィルタ・コンデンサ 212 を有する。フィルタ制御電圧 207 は、抵抗器 210 およびコンデンサ 212 にかかる電圧の合計である。ループ・フィルタ・コンデンサ 212 の容量は、(図 1 の) コンデンサ 112 の容量に比較して小さい。ループ・フィルタ・コンデンサ 212 から取られた電圧 208 は、制御発振器 (CO) 209 に入力として供給される。

10

【0015】

C0209 は、3つの入力を受け取ることに留意されたい。第 1 の入力は、C0209 の中央周波数を設定するために使用される自動較正回路 215 からである。第 2 の入力は、以下では公称低利得入力と称される制御電圧 207 に接続される。第 3 の入力 (電圧 208) は、逆低利得入力と称され、それに小信号利得 (K_{vc}) が関連しており、この小信号利得の値は、符号が反対で、大きさが公称低利得入力より低い。

20

【0016】

図 3 は、積分 (制動) コンデンサ 212 のサイズを縮小するスケーリング係数を有する電流ミラーを組み込むように構成された例示的チャージ・ポンプ PLL のブロック図である。この回路を使用して C0209 に逆低利得入力を実装することによって、コンデンサ 212 は、図 1 の PLL100 からのループ・ダイナミクスを変えることなく、その値を低減されることができ、さらに通常型の 2 入力発振器が使用されることができるようになる。整合トランジスタ 301a および 301b は、フィルタ電圧 207 および 208 を電流に変換する。トランジスタ 301a からの電流は、1 より小さい利得を有する電流ミラーを使用することによってトランジスタ 301b の電流から減じられ、それによって、トランジスタ 301b によって発生される電流がトランジスタ 302b の電流より大きいことを保証する。電流 305 は、電流制御発振器 (ICO) 303 への低利得入力として使用され、電流制御発振器 (ICO) 303 の高利得入力は、自動較正制御ループ 307 によって制御される。電流ミラー利得 () は、1 より小さくならないことに留意されたい。トランジスタ 302b によって発生された新しい電流は、ICO に入力される低利得に入力される電流を低減し、それによってその「積分成分」を低減し、「比例成分」は低減しない。この低減された積分成分は、制動コンデンサ 212 を、そのサイズを増大させることなく、スケーリングすることに等しい効果を生み出す。したがって、制動コンデンサ 212 のサイズは、PLL のループ・ダイナミクスを変更することなく、電流ミラー 204 で発生された電流の大きさに応じてスケール・ダウンされることができ

30

40

【0017】

図 4 は、図 3 に示された PLL の数学的小信号モデルを示す。ループ・フィルタは、直列に接続された抵抗器 R およびコンデンサ C_1 を有する。第 2 コンデンサ C_2 は、RC 低域通過フィルタに並列に接続される。フィルタ Z_s のインピーダンスは、したがって、

【数 1】

$$Z(s) = \left(R + \frac{1}{sC_1} \right) \parallel \left(\frac{1}{sC_2} \right) \quad (1)$$

50

または同等に、

【数 2】

$$Z(s) = \left(\frac{1 + sRC1}{sC1(1 + sC2)} \right) \quad (1)$$

これは電圧 $V1(s)$ を

【数 3】

$$V1(s) = Ip\theta e(s) \left(\frac{1 + sRC1}{sC1(1 + sC2)} \right) \quad (2)$$

10

として与える。

さらに図 4 を参照して、

【数 4】

$$V2(s) = \left(\frac{Ip\theta e(s)}{sC1(1 + sRC2)} \right) \quad (3)$$

20

$$F1(s) = \left(\frac{Kvco * Ip\theta e(s)(1 + sRC1)}{sC1(1 + sRC2)} \right) \quad (4)$$

【数 5】

$$F2(s) = \alpha \left(\frac{Kvco * Ip\theta e(s)}{sC1(1 + sRC2)} \right) \quad (5)$$

30

図 4 から、

$$F3(s) = F1(s) - F2(s) \quad (6a)$$

または同等に、

【数 6】

$$F3(s) = Kvco * Ip\theta e(s) * \left(\frac{(1 + sRC1) - \alpha}{sC1(1 + sRC2)} \right) \quad (6b)$$

40

であることが分かる。

$F3(s)$ は、積分成分と比例成分の組合せとして理解されてよいことに留意されたい。

【数7】

$$F3(s) = \left(\frac{Kvco * Ip\theta e(s)}{sC1(1+sRC2)} \right) \left[(1-\alpha) + sRC1 \right] \quad (6c)$$

【0018】

がゼロと1の間の値を有するように選択された場合、積分成分(1 -)は、比例成分(s R C 1)に影響を及ぼすことなく低減されることができる。その結果として、コンデンサ C 1 の容量を効果的に増大させることができる。これによって、変更前と同じループ・ダイナミクスを維持しながら、 C 1 の面積を縮小することができる。

10

【0019】

当業者は、本発明の範囲から逸脱することなく、本明細書中に示された部品の詳細、材料、および構成に様々な変更を加えることができる。そのような変更は全て、添付の特許請求の範囲の範囲内に当然あるものと解釈されるべきである。

【図面の簡単な説明】

【0020】

【図1】位相ロック・ループ(PLL)の概略図である。

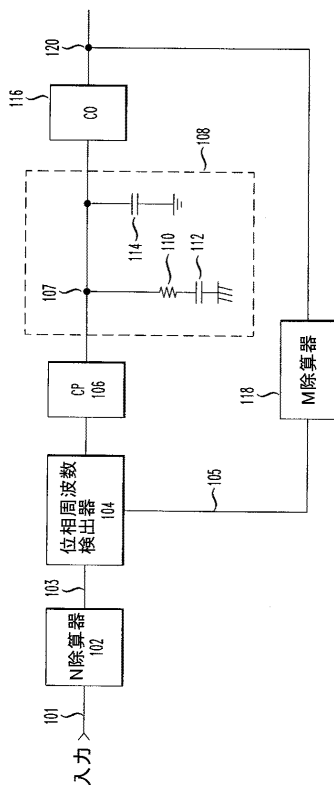
【図2】電流ミラー・フィード・バック・ループを示す、本明細書中に開示の実施形態によるPLLの概略図である。

20

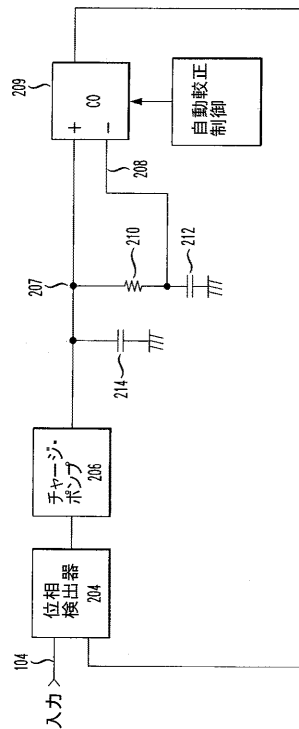
【図3】図2の電流ミラーの詳細図を示す、PLLの別の概略図である。

【図4】開示された原理の小信号の数学的モデルの図である。

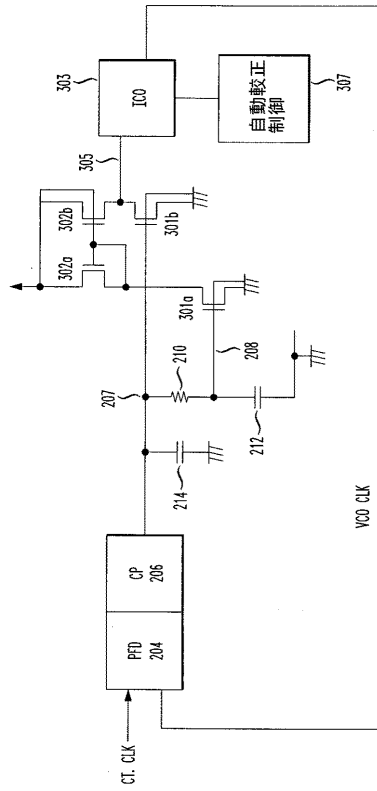
【図1】



【図2】



【 図 3 】



【 図 4 】

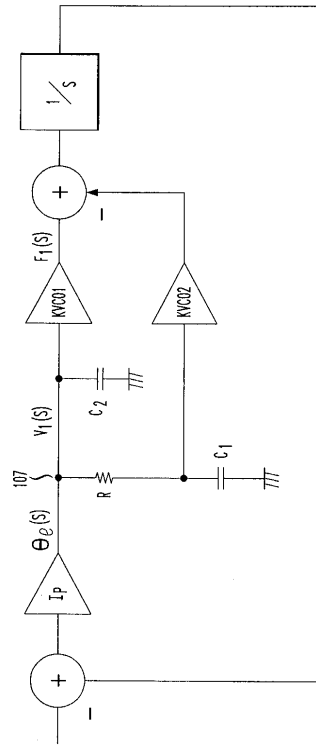


FIG. 4

フロントページの続き

(74)代理人 100101498

弁理士 越智 隆夫

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 ウィリアム ビー・ウィルソン

アメリカ合衆国 1 8 0 6 2 ペンシルヴァニア, マカンギー, プリアーウッド ドライブ 4 9
6 4

審査官 上田 智志

(56)参考文献 米国特許第06344772(US, B1)

特開2005-005932(JP, A)

特開平09-312565(JP, A)

米国特許第06437615(US, B1)

(58)調査した分野(Int.Cl., DB名)

H03L 7/06 - 7/23