



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I629757 B

(45)公告日：中華民國 107 (2018) 年 07 月 11 日

(21)申請案號：105120596

(22)申請日：中華民國 105 (2016) 年 06 月 29 日

(51)Int. Cl. : H01L23/34 (2006.01)

H01L23/49 (2006.01)

H01L27/04 (2006.01)

H03F3/19 (2006.01)

(30)優先權：2015/12/03 日本

2015-236804

(71)申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)  
日本

(72)發明人：高木一考 TAKAGI, KAZUTAKA (JP)

(74)代理人：林志剛

(56)參考文獻：

TW I371135

TW I457982

TW I471986

TW I482280

審查人員：董柏昌

申請專利範圍項數：8 項 圖式數：10 共 36 頁

(54)名稱

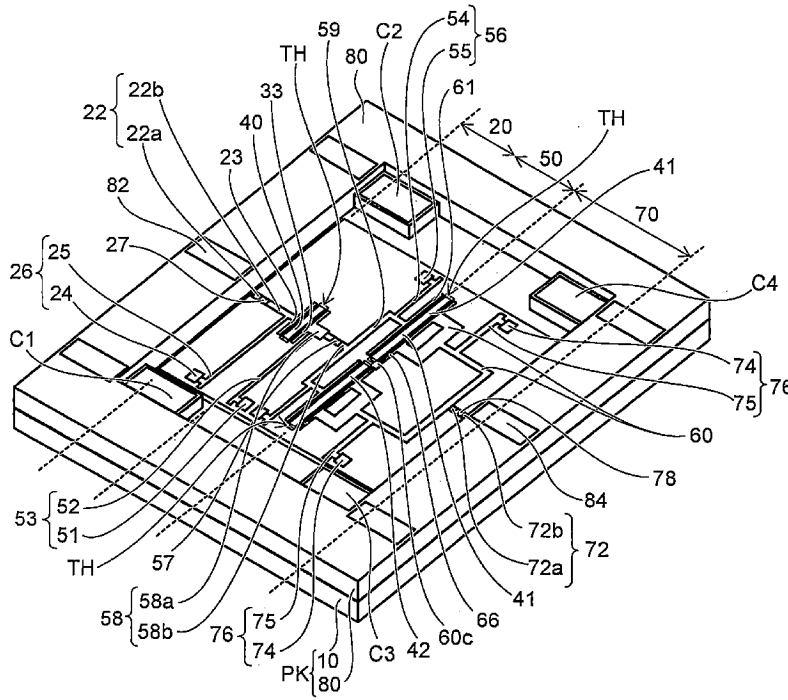
高頻半導體放大器

(57)摘要

一種高頻半導體放大器，具有：輸入電路、第 1 半導體元件、段間電路、第 2 半導體元件、輸出電路、封裝體。輸入電路具有：第 1 直流阻止電容、輸入傳送線路、第 1 偏壓電路，並設於 Si 基板上。第 1 半導體元件包含氮化物系半導體層。段間電路具有：第 2 直流阻止電容、段間傳送線路、分配傳送線路、第 2 偏壓電路、第 3 偏壓電路，並設於 Si 基板上。第 2 半導體元件包含氮化物系半導體層。輸出電路具有：合成傳送線路、第 3 直流阻止電容、輸出傳送線路、第 4 偏壓電路，並設於 Si 基板上。第 1~第 4 接地電容及第 1~第 3 直流阻止電容，係為下金屬膜及上金屬膜挾住包含 Si 氧化膜或 Si 氮化膜的第 1 介電體層的結構，且設置於 Si 基板的表面。第 1 接地電容及第 1 直流阻止電容係分別為：由下金屬膜與上金屬膜所挾住的包含 Si 氧化膜或 Si 氮化膜的第 1 介電體層的結構，且設置於設有輸入電路的 Si 基板表面；第 2 接地電容、第 3 接地電容、第 2 直流阻止電容係分別為：由下金屬膜與上金屬膜所挾住的包含 Si 氧化膜或 Si 氮化膜的第 1 介電體層的結構，且設置於設有段間電路的 Si 基板表面。第 4 接地電容及第 3 直流阻止電容係分別為：由下金屬膜與上金屬膜所挾住的包含 Si 氧化膜或 Si 氮化膜的第 1 介電體層的結構，且設置於設有輸出電路的 Si 基板表面。

指定代表圖：

圖 4



符號簡單說明：

- 10 . . . 金屬板
- 20 . . . 輸入電路
- 22 . . . 輸入傳送線路
- 22a . . . 第 1 區域
- 22b . . . 第 2 區域
- 23 . . . (第 1) 輸入墊片部
- 24 . . . 第 1 接地電容
- 25 . . . 第 1 傳送線路
- 26 . . . 第 1 偏壓電路
- 27 . . . 第 1 直流阻止電容
- 33 . . . (第 1) 輸出墊片部
- 40 . . . 第 1 半導體元件
- 41、42 . . . 第 2 半導體元件
- 50 . . . 段間電路
- 51 . . . 第 2 接地電容
- 52 . . . 第 2 傳送線路
- 53 . . . 第 2 偏壓電路
- 54 . . . 第 3 接地電容
- 55 . . . 第 3 傳送線路
- 56 . . . 第 3 偏壓電路
- 57 . . . 第 2 直流阻止電容

58 . . . 段間傳送線路  
58a、58b . . . 區域  
59 . . . 分配傳送線路  
60 . . . 合成傳送線路  
60c . . . 隔離電阻  
61 . . . 第 2 輸入墊片部  
66 . . . 第 2 輸出墊片部  
70 . . . 輸出電路  
72 . . . 輸出傳送線路  
74 . . . 第 4 接地電容  
75 . . . 第 4 傳送線路  
76 . . . 第 4 偏壓電路  
78 . . . 第 3 直流阻止電容  
80 . . . 框部  
82 . . . 輸入端子  
84 . . . 輸出端子  
TH . . . (設於 Si 基板的)通孔  
PK . . . 封裝體  
C1~C4 . . . 電容

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

高頻半導體放大器

## 【技術領域】

[0001] 本發明的實施形態係有關於高頻半導體放大器。

## 【先前技術】

[0002] 利用 MMIC(Microwave Monolithic Integrated Circuit

: 微波積體電路)化放大器，容易將雷達裝置及通信機器小型化。

[0003] MMIC 化放大器，例如，利用在 SiC 基板或 Si 基板上設置氮化物系半導體層的晶圓來實現。

[0004] 但是，在形成於 SiC 基板上的氮化物系半導體層(AlGaN/GaN/SiC)所設置的 MMIC，其電容的耐壓性低且價位高。此外，在形成於 Si 基板上的氮化物系半導體層(AlGaN/GaN/Si)所設置的 MMIC，對於自半導體元件的發生熱，其放熱性並不充足。

## 【發明內容】

[0005] 本發明的目的為提供一種，放熱性高，低成

本且量產性豐富的高頻半導體放大器。

[0006] 實施形態的高頻半導體放大器具有：輸入電路、第 1 半導體元件、第 1 接合線、段間電路、第 2 接合線、第 2 半導體元件、第 3 接合線、輸出電路、第 4 接合線、封裝體。前述輸入電路，其具有：第 1 直流阻止電容、分別連接至前述第 1 直流阻止電容的兩端之具有 2 個區域的輸入傳送線路、連接至前述輸入傳送線路的第 1 輸入墊片部、第 1 偏壓電路，並設置於 Si 基板上。前述第 1 半導體元件包含氮化物系半導體層。前述第 1 接合線連接前述第 1 輸入墊片部與前述第 1 半導體元件。前述段間電路，其具有：第 2 直流阻止電容、分別連接至前述第 2 直流阻止電容的兩端之具有 2 個區域的段間傳送線路、連接至前述段間傳送線路的第 1 輸出墊片部、第 2 偏壓電路、連接至前述段間傳送線路的分配傳送線路、第 3 偏壓電路、連接至前述分配傳送線路的第 2 輸入墊片部，並設置於 Si 基板上。前述第 2 接合線連接前述第 1 半導體元件與前述第 1 輸出墊片部。前述第 2 半導體元件包含氮化物系半導體層。前述第 3 接合線連接前述第 2 輸入墊片部與前述第 2 半導體元件。前述輸出電路，其具有：第 2 輸出墊片部、連接至第 2 輸出墊片部的合成傳送線路、第 3 直流阻止電容、連接至前述合成傳送線路的輸出端且分別連接至前述第 3 直流阻止電容的兩端之具有 2 個區域的輸出傳送線路、第 4 偏壓電路，並設置於 Si 基板上。前述第 4 接合線連接前述第 2 輸出墊片部與前述第 2 半導體元件。

前述金屬板，其係接合：前述第 1 半導體元件、第 2 半導體元件、設有前述輸入電路的前述 Si 基板、設有前述段間電路的前述 Si 基板、設有前述輸出電路的前述 Si 基板。前述第 1 偏壓電路具有：第 1 接地電容、連接至前述第 1 輸入墊片部和前述第 1 直流阻止電容之間的前述輸入傳送線路的區域與前述第 1 接地電容的第 1 傳送線路。前述第 2 偏壓電路具有：第 2 接地電容、連接至前述第 1 輸出墊片部和前述第 2 直流阻止電容之間的前述段間傳送線路的區域與前述第 2 接地電容的第 2 傳送線路。前述第 3 偏壓電路具有：第 3 接地電容、連接至前述分配傳送線路與前述第 3 接地電容的第 3 傳送線路。前述第 4 偏壓電路具有：第 4 接地電容、連接至前述合成傳送線路與前述第 4 接地電容的第 4 傳送線路。前述第 1 接地電容與前述第 1 直流阻止電容係分別為：由下金屬膜與上金屬膜所挾住的包含 Si 氧化膜或 Si 氮化膜的第 1 介電體層的結構，且設置於設有前述輸入電路的前述 Si 基板表面。前述第 2 接地電容、前述第 3 接地電容及前述第 2 直流阻止電容係分別為：由下金屬膜與上金屬膜所挾住的包含 Si 氧化膜或 Si 氮化膜的第 1 介電體層的結構，且設置於設有前述段間電路的前述 Si 基板表面。前述第 4 接地電容與前述第 3 直流阻止電容係分別為：由下金屬膜與上金屬膜所挾住的包含 Si 氧化膜或 Si 氮化膜的第 1 介電體層的結構，且設置於設有前述輸出電路的前述 Si 基板表面。

[0007] 根據上述構造，能提供一種放熱性高，低成

本且量產性豐富的高頻半導體放大器。

### 【圖式簡單說明】

[0008]

圖 1A 為有關第 1 實施形態的高頻放大器的模式平面圖，圖 1B 為沿著 A-A 線的模式斷面圖。

圖 2A 為直流阻止電容的模式斜視圖，圖 2B 為接地電容的模式斜視圖。

圖 3A 為有關第 1 實施形態的第 1 變形例的高頻半導體放大器的模式平面圖，圖 3B 為有關第 1 實施形態的第 2 變形例的高頻半導體放大器的模式平面圖。

圖 4 為有關第 2 實施形態的高頻半導體放大器的模式斜視圖。

圖 5 為有關第 2 實施形態的高頻半導體放大器的第 2 半導體元件附近的部分擴大模式斜視圖。

圖 6 為有關第 3 實施形態的高頻半導體放大器的模式斜視圖。

圖 7 為有關第 3 實施形態的高頻半導體放大器的第 2 半導體元件附近的部分擴大模式斜視圖。

圖 8 為有關比較例的高頻半導體放大器的模式斜視圖。

圖 9 為有關比較例的高頻半導體放大器的第 2 半導體元件附近的部分擴大模式斜視圖。

圖 10 為表示傳送線路的變形例的模式斷面圖。

## 【實施方式】

[0009] 以下，參照附圖說明有關本發明的實施形態。

圖 1A 為有關第 1 實施形態的高頻半導體放大器的模式平面圖，圖 1B 為沿著 A-A 線的模式斷面圖。

高頻半導體放大器具有：由金屬板 10 及框部 80 所形成的封裝體 PK、輸入電路 20、半導體元件 40、第 1 接合線 62、輸出電路 30、第 2 接合線 64。

[0010] 輸入電路 20 具有：具有互相分離之第 1 區域 22a 與第 2 區域 22b 的輸入傳送線路 22、連接至第 2 區域 22b 的輸入墊片部 23、連接至第 1 區域 22a 與第 2 區域 22b 之間的第 1 直流阻止電容 27、第 1 偏壓電路 26，其中輸入電路 20 設置於 Si 基板 28。第 1 偏壓電路 26 具有：第 1 接地電容 24、具有連接至第 2 區域 22b 的一方之端部與連接至第 1 接地電容 24 的另一方之端部的第 1 傳送線路 25。當使第 1 傳送線路 25 的電長度  $EL_{25}$  在基本波的 4 分之 1 波長附近 ( $81^\circ \sim 99^\circ$ ) 時，能夠提高從輸入傳送線路 22 側觀察時在第 1 偏壓電路 26 的基本波阻抗。

[0011] 輸出電路 30 具有：輸出墊片部 33、連接至輸出墊片部 33 且具有第 1 區域 32a 與第 2 區域 32b 的輸出傳送線路 32、連接至輸出傳送線路 32 的第 1 區域 32a 與第 2 區域 32b 之間的第 2 直流阻止電容 37、輸出偏壓電路 36，其中輸出電路 30 設置於 Si 基板 38。輸出偏壓電



路 36 具有：第 2 接地電容 34、具有連接至輸出傳送線路 32 的第 1 區域 32a 的一方之端部與連接至第 2 接地電容 34 的另一方之端部的第 2 傳送線路 35。

[0012] 第 1 接合線 62 與輸入墊片部 23 及半導體元件 40 的輸入電極 40a 連接。此外，第 2 接合線 64 與半導體元件 40 的輸出電極 40b 及輸出墊片部 33 連接。當使第 2 傳送線路 35 的電長度  $EL_{35}$  在基本波的 4 分之 1 波長附近 ( $81^\circ \sim 99^\circ$ ) 時，能夠提高從輸出傳送線路 32 側觀察時在輸出偏壓電路 36 的基本波阻抗。

[0013] 第 1 及第 2 接地電容 24、34、及第 1 及第 2 直流阻止電容 27、37，係為下金屬膜及上金屬膜挾住 Si 氧化膜或 Si 氮化膜等的介電體層 94 的結構，且設置於各個 Si 基板 28、38 的表面。

[0014] 封裝體 PK 具有：金屬板 10、設於金屬板 10 的周邊部的框部 80。於框部 80 內，金屬板 10 之上配置有：設置輸入電路 20 的 Si 基板 28、設置輸出電路 30 的 Si 基板 38、及形成有半導體元件 40 的基板，例如利用焊接將其分別接合至金屬板 10。框部 80 在該表面具有輸入端子 82、輸出端子 84。在框部 80 的表面也可以再設置用以連接至偏壓電路的端子。框部 80 的表面藉由蓋部(圖未示)來封裝，封裝體內部可以氣密封裝。因此，高頻半導體放大器在封裝體 PK 內封入輸入電路 20、輸出電路 30、及半導體元件 40。

[0015] 框部 80 可以利用氧化鋁 ( $Al_2O_3$ ) 或氮化鋁

(AlN) 等的陶瓷所形成。此外，金屬板 10 也可以利用 CuW 或 CuMo 等形成。框部 80 及金屬板 10 藉由銀錒材等接合。

[0016] 框部 80 與輸入電路 20 之間、及框部 80 與輸出電路 30 之間可以設有晶片電容。晶片電容的靜電容值例如為 100pF 以上，構成該上部電極與偏壓電路的傳送線路的端部由接合線等連接的話，能夠降低電源雜訊等。

[0017] 圖 2A 為直流阻止電容的模式斜視圖，圖 2B 為接地電容的模式斜視圖。

如圖 2A 所示，例如，第 2 直流阻止電容 37 設置於輸出傳送線路 32 的第 1 區域 32a 與第 2 區域 32b 之間的間隙。第 1 區域 32a 之上設有介電體層 94，介電體層 94 之上設有上部電極 37a。利用天橋等所形成的連接導體 37b 分別連接至上部電極 37a 與輸出傳送線路 32 的第 2 區域 32b。另外，直流阻止電容的構造並不侷限於圖 2A 的構造。

[0018] 如圖 2B 所示，第 2 接地電容 34 具有：下部電極 34a、設於下部電極 34a 之上的介電體層 97、設於介電體層 97 之上的上部電極 34b、利用天橋等形成的連接導體 34c。連接導體 34c 與第 2 傳送線路 35 的端部及上部電極 34b 連接。下部電極 34a 通過設於 Si 基板 28、38 的通孔(圖未示)等，連接至金屬板 10(接地)。另外，接地電容的構造並不侷限於圖 2B 的構造。將介電體層 94、97 稱為第 1 介電體層。第 1 介電體層 94 與第 1 介電體層 97 可

以由同一道製程所形成，也可以由不同製程形成不同厚度，不同膜質。

[0019] 因為電路部分不會伴隨著高度的發熱，因此不需要為了電路部分的放熱而將其設置於如 SiC 基板及鑽石基板等高價的晶圓上。若將輸入電路 20 及輸出電路 30 設於 Si 基板 28、38 的話，因為能將需要大面積的電路部分製作於便宜的 Si 基板上，能降低電路部分的成本。此外，將輸入電路 20 及輸出電路 30 設於 Si 基板 28、38 的話，因為能夠使用半導體製程形成構成偏壓電路的接地電容及直流阻止電容，能夠提高電容耐壓。

[0020] 半導體元件 40 可以使用包含 HEMT(High Electron Mobility Transistor)的場效電晶體等來形成。場效電晶體，包含設於 SiC 基板或鑽石基板上的氮化物系半導體層。雖然在 Si 基板上形成氮化物系半導體層能夠降低晶圓價格，但因為 Si 基板相較於 SiC 基板及鑽石基板，放熱性差並且半導體元件 40 的特性及信賴性降低，所以使用 Si 基板並不佳。藉由在 SiC 基板或鑽石基板上設置氮化物系半導體的晶圓上，僅高密度設置伴隨發熱的 HEMT 部分，能夠同時達成兼具高放熱性及低價格的優點。

[0021] 場效電晶體包含藉由多指電極來控制電流的複數單元區域。各個單元區域，設置有包含指狀閘極電極、指狀汲極電極、指狀源極電極的指狀電極。指狀閘極電極被摺住並連接至閘極端子電極。指狀汲極電極被摺住

並連接至汲極端子電極。此外，指狀源極電極被捆住並接地。

[0022] 圖 3A 為有關第 1 實施形態的第 1 變形例的高頻半導體放大器的模式平面圖，圖 3B 為有關第 1 實施形態的第 2 變形例的高頻半導體放大器的模式平面圖。

輸出電路 30 例如可以是更具有預定的特性阻抗及預定的電長度的合成傳送線路 60。合成傳送線路 60 也有作為阻抗變換電路的機能。

[0023] 半導體元件 40 為多單元構造的話，輸出電極 (例如，汲極電極) 40b 沿著單元配列方向延伸。隨著輸出電路 30 的輸出墊片部 33 的延伸，從輸出傳送線路 32 的端部 32c 到單元的距離呈不等。如圖 3A 所表示，合成傳送線路 60 的 2 個端部 60a、60b 與輸出墊片部 33 的連接位置沿著 A-A 線呈對稱，且複數的單元以呈均一動作的方式連接較佳。

[0024] 當使構成輸出偏壓電路 36 的第 2 傳送線路 35 的電長度，在 4 分之 1 波長 (例如， $81^\circ$  以上且  $99^\circ$  以下) 時，能夠提高從輸出傳送線路 32 側觀察時在輸出偏壓電路 36 的阻抗。

[0025] 此外，如圖 3B 所示，將輸出墊片部 33 分割成 2 個也可以。將半導體元件 40 的輸出電極 40b 分割成 2 個，並對應其將輸出墊片部 33 也分割成 2 個 (33a、33b)。再來將輸出墊片部 33a 的中心與合成傳送線路 60 的端部 60a 連接，將輸出墊片部 33b 的中心與合成傳送線

路 60 的端部 60b 連接的話，單元間的動作能均一化。在經分割的輸出墊片部 33a 與 33b 之間設置隔離電阻 33c 也可以。藉此能夠避免迴路振盪，隔離電阻 33c 可以使用可經 Si 半導體製程形成的 Si 塊或金屬薄膜。

[0026] 輸入電路 20 例如可以更具有預定的特性阻抗及預定的電長度的分配傳送線路。此外，分配傳送線路也有作為阻抗變換電路的機能。

[0027] 圖 4 為有關第 2 實施形態的高頻半導體放大器的模式斜視圖。

圖 5 為有關第 2 實施形態的高頻半導體放大器的第 2 半導體元件附近的部分擴大模式斜視圖。相對於第一實施形態為 1 段放大器，第 2 實施形態為多段放大器。為了容易組裝多段放大器，相對第 1 實施形態在複數 Si 基板上分別製作電路部分，第 2 實施形態在 1 枚 Si 基板上形成能夠裝入半導體元件的通孔 TH，在其周邊形成電路。

[0028] 高頻半導體放大器具有：由金屬板 10 及框部 80 形成的封裝體 PK、輸入電路 20、第 1 半導體元件 40、第 1 接合線、段間電路 50、第 2 接合線、第 2 半導體元件 41、42、第 3 接合線 63(圖 5)、輸出電路 70、第 4 接合線 65(圖 5)。另外，在圖 4 中的接合線並未圖示。圖 5 中，作為一例，圖示了第 2 半導體元件 41、與電路連接的第 3 及第 4 接合線 63、65。形成有輸入電路 20、段間電路 50、輸出電路 70 的 Si 基板配置於金屬板 10 之上，例如利用焊接將其接合至金屬板 10。形成第 1 半導體元

件 40 的基板及形成第 2 半導體元件 41、42 的基板也一樣，配置在金屬板 10 之上，例如利用焊接將其各自接合至金屬板 10。

[0029] 輸入電路 20 具有：第 1 直流阻止電容 27、連接至第 1 直流阻止電容 27 的兩端的具有 2 個區域 22a、22b 之輸入傳送線路 22、連接至輸入傳送線路 22 的區域 22b 的第 1 輸入墊片部 23、第 1 偏壓電路 26，其中輸入電路 20 設置於 Si 基板上。

[0030] 第 1 半導體元件 40，包含設於 SiC 基板或鑽石基板上的氮化物系半導體層，並設於金屬板 10 之上。第 1 接合線與第 1 輸入墊片部 23 及第 1 半導體元件 40 連接。

[0031] 段間電路 50 具有：第 2 直流阻止電容 57、連接至第 2 直流阻止電容 57 的兩端之具有 2 個區域 58a、58b 之段間傳送線路 58、連接至段間傳送線路 58 的一方之區域 58a 的第 1 輸出墊片部 33、第 2 偏壓電路 53，連接至段間傳送線路 58 的另一方之區域 58b 的分配傳送線路 59、第 3 偏壓電路 56、連接至分配傳送線路 59 的第 2 輸入墊片部 61，其中段間電路 50 設置於 Si 基板上。

[0032] 第 2 接合線與第 1 半導體元件 40、段間電路 50 的第 1 輸出墊片部 33 連接。第 2 半導體元件 41、42，包含設於 SiC 基板或鑽石基板上的氮化物系半導體層，並設於金屬板 10 之上。第 3 接合線 63 與連接至分配傳送線路 59 的第 2 輸入墊片部 61 及第 2 半導體元件 41、42 連

接。

[0033] 輸出電路 70 具有：第 2 輸出墊片部 66、與第 2 輸出墊片部 66 連接的合成傳送線路 60、在第 3 直流阻止電容 78、連接至合成傳送線路 60 的輸出端且連接至第 3 直流阻止電容 78 的兩端的具有 2 個區域之輸出傳送線路 72、第 4 偏壓電路 76，其中輸出電路 70 設置於 Si 基板上。第 4 接合線 65 與第 2 輸出墊片部 66 及第 2 半導體元件 41、42 連接。在第 2 輸出墊片部 66 的 2 個區域之間也可以設置隔離電阻 60c。

[0034] 輸入電路 20、段間電路 50、輸出電路 70 設於連續的 Si 基板，第 1 半導體元件 40、第 2 半導體元件 41、42 在設於 Si 基板的通孔 TH 內分別配置。

[0035] 第 1 偏壓電路 26 具有：第 1 接地電容 24、連接至第 1 輸入墊片部 23 和第 1 直流阻止電容 27 之間的輸入傳送線路 22 的區域 22b 與第 1 接地電容 24 的第 1 傳送線路 25。

[0036] 第 2 偏壓電路 53 具有：第 2 接地電容 51、連接至第 1 輸出墊片部 33 和第 2 直流阻止電容 57 之間的段間傳送線路 58 的區域 58a 與第 2 接地電容 51 的第 2 傳送線路 52。

[0037] 第 3 偏壓電路 56 具有：第 3 接地電容 54、連接至分配傳送線路 59 和第 3 接地電容 54 的第 3 傳送線路 55。而且，分配傳送線路 59 連接第 2 輸入墊片部 61。

[0038] 第 4 偏壓電路 76 具有：第 4 接地電容 74、連

接至合成傳送線路 60 和第 4 接地電容 74 的第 4 傳送線路 75。而且，合成傳送線路 60 連接第 2 輸出墊片部 66。

[0039] 電容 C1~C4 例如藉由靜電容值為 100pF 以上的晶片電容等來形成。圖 5 中，連接至第 3 偏壓電路 56 的第 3 傳送線路 55 的端部及第 4 偏壓電路 76 的第 4 傳送線路 75 的端部的接合線分別連接至設於 Si 基板外側的晶片電容的上部電極。藉此，能夠降低電源雜訊等。

[0040] 第 1~第 4 接地電容及第 1~第 3 直流阻止電容，係為下金屬膜及上金屬膜挾住包含 Si 氧化膜或 Si 氮化膜的介電體層的結構，且設置於 Si 基板的表面。

[0041] 圖 6 為有關第 3 實施形態的高頻半導體放大器的模式斜視圖。

此外，圖 7 為有關第 3 實施形態的高頻半導體放大器的第 2 半導體元件附近的部分擴大模式斜視圖。

於有關第 3 實施形態的高頻半導體放大器中，輸入電路 20、段間電路 50、輸出電路 70 形成於互相分離的 Si 基板上。設有第 1 半導體元件 40 配置於設有輸入電路 20 的 Si 基板與設有段間電路 50 的 Si 基板之間。此外，第 2 半導體元件 41 配置於設有段間電路 50 的 Si 基板與設有輸出電路 70 的 Si 基板之間。在該構造中，不在 Si 基板設置通孔也可以。在第 2 輸出墊片部 66 的 2 個區域之間也可以設置隔離電阻 60c。

[0042] 圖 8 為有關比較例的高頻半導體放大器的模式斜視圖。



此外，圖 9 為有關比較例的高頻半導體放大器的第 2 半導體元件附近的部分擴大模式斜視圖。

高頻半導體放大器具有：金屬板 110、MMIC 晶片 140、由絕緣體構成的框部 180。MMIC 晶片 140 具有：輸入電路 120、第 1 半導體元件 140a、段間電路 150、第 2 半導體元件 140b、輸出電路 170。

[0043] 輸入電路 120 具有：第 1 直流阻止電容 127、具有連接至第 1 直流阻止電容 127 兩端的 2 個區域之輸入傳送線路 122、第 1 偏壓電路 126。

[0044] 段間電路 150 具有：第 2 直流阻止電容 157、具有連接第 2 直流阻止電容 157 兩端的 2 個區域之段間傳送線路 158、第 2 偏壓電路 153、連接至段間傳送線路 158 的分配傳送線路 159、第 3 偏壓電路 156。

[0045] 輸出電路 170 具有：合成傳送線路 160、第 3 直流阻止電容 178、具有連接至合成傳送線路 160 的輸出端且連接至第 3 直流阻止電容 178 兩端的區域之輸出傳送線路 172、第 4 偏壓電路 176。

[0046] 第 1 半導體元件 140a 及第 2 半導體元件 140b(虛線所表示的區域)具有氮化物系半導體層。

[0047] 第 1 半導體元件 140a、及第 2 半導體元件 140b、輸入電路 120、段間電路 150、輸出電路 170、形成於在 SiC 基板上層積的氮化物系半導體層上。

[0048] 形成於氮化物系半導體層(AlGaN/GaN 層積等)上的包含 Si 氧化膜或 Si 氮化膜的介電體薄膜，使其耐

大器。該高頻半導體裝置能夠廣泛使用於雷達裝置或通信機器等。

[0056] 雖已說明了本發明的幾個實施形態，但該等實施形態僅作為例示，並沒有要限定發明的範圍。該等新穎的實施形態，也可以利用於其他各種形態來實施，在不脫離發明要旨的範圍內，可以進行各種省略、置換、變更。該等實施形態及其變形，在包含於發明的範圍及要旨中的同時，也包含申請專利範圍中所記載之發明的均等範圍。

#### 【符號說明】

[0057]

- 10：金屬板
- 20：輸入電路
- 22：輸入傳送線路
- 14：第 1 接地電容
- 25：第 1 傳送線路
- 26：第 1 偏壓電路
- 23：(第 1)輸入墊片部
- 33：(第 1)輸出墊片部
- 34、51：第 2 接地電容
- 35、52：第 2 傳送線路
- 36：輸出偏壓電路
- 53：第 2 偏壓電路
- 30、70：輸出電路

- 20 : 段間電路
- 40 : 第 1 半導體元件
- 41、42 : 第 2 半導體元件
- 54 : 第 3 接地電容
- 55 : 第 3 傳送線路
- 56 : 第 3 偏壓電路
- 58 : 段間傳送線路
- 59 : 分配傳送線路
- 60 : 合成傳送線路
- 61 : 第 2 輸入墊片部
- 62 : 第 1 接合線
- 63 : 第 3 接合線
- 64 : 第 2 接合線
- 65 : 第 4 接合線
- 66 : 第 2 輸出墊片部
- 72 : 輸出傳送線路
- 74 : 第 4 接地電容
- 75 : 第 4 傳送線路
- 76 : 第 4 偏壓電路
- 80 : 框部
- 93 : 第 2 介電體層
- 94、97 : 第 1 介電體層
- TH : (設於 Si 基板的)通孔
- PK : 封裝體

## 發明摘要

公告本

※申請案號：105120596

※申請日：105年06月29日

※IPC分類：

【發明名稱】(中文/英文)  
高頻半導體放大器

H1L 23/34

H01L 23/49

H01L 27/04

H03F 3/19

## 【中文】

一種高頻半導體放大器，具有：輸入電路、第 1 半導體元件、段間電路、第 2 半導體元件、輸出電路、封裝體。輸入電路具有：第 1 直流阻止電容、輸入傳送線路、第 1 偏壓電路，並設於 Si 基板上。第 1 半導體元件包含氮化物系半導體層。段間電路具有：第 2 直流阻止電容、段間傳送線路、分配傳送線路、第 2 偏壓電路、第 3 偏壓電路，並設於 Si 基板上。第 2 半導體元件包含氮化物系半導體層。輸出電路具有：合成傳送線路、第 3 直流阻止電容、輸出傳送線路、第 4 偏壓電路，並設於 Si 基板上。第 1~第 4 接地電容及第 1~第 3 直流阻止電容，係為下金屬膜及上金屬膜挾住包含 Si 氧化膜或 Si 氮化膜的第 1 介電體層的結構，且設置於 Si 基板的表面。第 1 接地電容及第 1 直流阻止電容係分別為：由下金屬膜與上金屬膜所挾住的包含 Si 氧化膜或 Si 氮化膜的第 1 介電體層的結構，且設置於設有輸入電路的 Si 基板表面；第 2 接地電容、第 3 接地電容、第 2 直流阻止電容係分別為：由下金屬膜與上金屬膜所挾住的包含 Si 氧化膜或 Si 氮化膜的第 1 介電體層的結構，且設置於設有段間電路的 Si 基板表面。第 4 接地電容及第 3 直流阻止電容係分別為：由下金屬膜與上金屬膜所挾住的包含 Si 氧化膜或 Si 氮化膜的第 1 介電體層的結構，且設置於設有輸出電路的 Si 基板表面。

## 【英文】

## 申請專利範圍

1. 一種高頻半導體放大器，具備：設置於 Si 基板上的輸入電路，其具有：第 1 直流阻止電容、分別連接至前述第 1 直流阻止電容的兩端之具有 2 個區域的輸入傳送線路、連接至前述輸入傳送線路的第 1 輸入墊片部、第 1 偏壓電路；

包含氮化物系半導體層的第 1 半導體元件；

連接前述第 1 輸入墊片部與前述第 1 半導體元件的第 1 接合線；

設置於 Si 基板上的段間電路，其具有：第 2 直流阻止電容、分別連接至前述第 2 直流阻止電容的兩端之具有 2 個區域的段間傳送線路、連接至前述段間傳送線路的第 1 輸出墊片部、第 2 偏壓電路、連接至前述段間傳送線路的分配傳送線路、第 3 偏壓電路、連接至前述分配傳送線路的第 2 輸入墊片部；

連接前述第 1 半導體元件與前述第 1 輸出墊片部的第 2 接合線；

包含氮化物系半導體層的第 2 半導體元件；

連接前述第 2 輸入墊片部與前述第 2 半導體元件的第 3 接合線；

設置於 Si 基板上的輸出電路，其具有：第 2 輸出墊片部、連接至前述第 2 輸出墊片部的合成傳送線路、第 3 直流阻止電容、連接至前述合成傳送線路的輸出端且分別連接至前述第 3 直流阻止電容的兩端的具有 2 個區域的輸

出傳送線路、第 4 偏壓電路；

連接前述第 2 輸出墊片部與前述第 2 半導體元件的第 4 接合線；

封裝體，其係接合：前述第 1 半導體元件、第 2 半導體元件、設有前述輸入電路的前述 Si 基板、設有前述段間電路的前述 Si 基板、設有前述輸出電路的前述 Si 基板；

其中，

前述第 1 偏壓電路具有：第 1 接地電容、連接至前述第 1 輸入墊片部和前述第 1 直流阻止電容之間的前述輸入傳送線路的區域與前述第 1 接地電容的第 1 傳送線路；

前述第 2 偏壓電路具有：第 2 接地電容、連接至前述第 1 輸出墊片部和前述第 2 直流阻止電容之間的前述段間傳送線路的區域與前述第 2 接地電容的第 2 傳送線路；

前述第 3 偏壓電路具有：第 3 接地電容、連接至前述分配傳送線路與前述第 3 接地電容的第 3 傳送線路；

前述第 4 偏壓電路具有：第 4 接地電容、連接至前述合成傳送線路與前述第 4 接地電容的第 4 傳送線路；

前述第 1 接地電容與前述第 1 直流阻止電容係分別為由下金屬膜與上金屬膜所挾住的包含 Si 氧化膜或 Si 氮化膜的第 1 介電體層的結構，且設置於設有前述輸入電路的前述 Si 基板表面；

前述第 2 接地電容、前述第 2 接地電容及前述第 2 直流阻止電容係分別為由下金屬膜與上金屬膜所挾住的包含

Si 氧化膜或 Si 氮化膜的第 1 介電體層的結構，且設置於設有前述段間電路的前述 Si 基板表面；

前述第 4 接地電容與前述第 3 直流阻止電容係分別為由下金屬膜與上金屬膜所挾住的包含 Si 氧化膜或 Si 氮化膜的第 1 介電體層的結構，且設置於設有前述輸出電路的前述 Si 基板表面。

2. 如請求項 1 所記載高頻半導體放大器，其中，前述第 1 半導體元件的前述氮化物系半導體層，設於 SiC 基板上或鑽石基板上；

前述第 2 半導體元件的前述氮化物系半導體層，設於 SiC 基板上或鑽石基板上。

3. 如請求項 1 或 2 所記載高頻半導體放大器，其中，前述輸入電路、前述段間電路、前述輸出電路，設於連續的 Si 基板；

前述第 1 半導體元件及前述第 2 半導體元件，分別配置於設於前述連續的 Si 基板的通孔內。

4. 如請求項 1 或 2 所記載高頻半導體放大器，其中，前述輸入電路、前述段間電路、前述輸出電路，分別設於分離的 Si 基板；

前述第 1 半導體元件，配置於設有前述輸入電路的前述 Si 基板與設有前述段間電路的前述 Si 基板之間；前述第 2 半導體元件，配置於設有前述段間電路的前述 Si 基板與設有前述輸出電路的前述 Si 基板之間。

5. 如請求項 1 或 2 所記載高頻半導體放大器，其

中，第 1～4 傳送線路的電長度分別為  $81^\circ$  以上且  $99^\circ$  以下。

6. 如請求項 1 或 2 所記載高頻半導體放大器，其中，前述輸入傳送線路與前述第 1 傳送線路，分別作為在設有前述輸入電路的前述 Si 基板上所設置的金屬膜上所設的包含 Si 氧化膜或 Si 氮化膜的第 2 介電體層；前述段間傳送線路、前述分配傳送線路、前述第 2 傳送線路、及第 3 傳送線路，分別作為在設有前述段間電路的前述 Si 基板上所設置的金屬膜上所設的包含 Si 氧化膜或 Si 氮化膜的第 2 介電體層；前述合成傳送線路、前述輸出傳送線路、前述第 4 傳送線路，分別作為在設有前述輸出電路的前述 Si 基板上所設置的金屬膜上所設的包含 Si 氧化膜或 Si 氮化膜的第 2 介電體層。

7. 如請求項 1 所記載高頻半導體放大器，其中，前述第 1 接地電容的前述下金屬膜，通過在設有前述輸入電路的前述 Si 基板所設置的通孔連接至前述封裝體；前述第 2 接地電容與前述第 3 接地電容各自的前述下金屬膜，通過在設有前述段間電路的前述 Si 基板所設置的通孔連接至前述封裝體；前述第 4 接地電容的前述下金屬膜，通過在設有前述輸出電路的前述 Si 基板所設置的通孔連接至前述封裝體。

8. 一種高頻半導體放大器，具備：設置於 Si 基板上的輸入電路，其具有：第 1 直流阻止電容、分別連接至前述第 1 直流阻止電容的兩端之具有 2 個區域的輸入傳送線



路、連接至前述輸入傳送線路的輸入墊片部、第 1 偏壓電路；

包含氮化物系半導體層的第 1 半導體元件；

連接前述輸入墊片部與前述第 1 半導體元件的輸入電極之第 1 接合線；

設置於 Si 基板上的輸出電路，其具有：輸出墊片部、第 2 直流阻止電容、連接至前述輸出墊片部且分別連接至前述第 2 直流阻止電容的兩端的具有 2 個區域的輸出傳送線路、第 2 偏壓電路；

連接前述輸出墊片部與前述半導體元件的輸出電極之第 2 接合線；

封裝體，其係接合：前述第 1 半導體元件、設有前述輸入電路的前述 Si 基板、設有前述輸出電路的前述 Si 基板；

其中，

前述第 1 偏壓電路具有：第 1 接地電容、連接至前述第 1 輸入墊片部和前述第 1 直流阻止電容之間的前述輸入傳送線路的區域與前述第 1 接地電容的第 1 傳送線路；

前述第 2 偏壓電路具有：第 2 接地電容、連接至前述第 1 輸出墊片部和前述第 2 直流阻止電容之間的前述輸出傳送線路的區域與前述第 2 接地電容的第 2 傳送線路；

前述第 1 接地電容及前述第 1 直流阻止電容為由下金屬膜與上金屬膜所挾住的包含 Si 氧化膜或 Si 氮化膜的第 1 介電體層的結構，且設置於設有前述輸入電路的前述 Si

基板表面；

前述第 2 接地電容及前述第 2 直流阻止電容為由下金屬膜與上金屬膜所挾住的包含 Si 氧化膜或 Si 氮化膜的第 1 介電體層的結構，且設置於設有前述輸出電路的前述 Si 基板表面。

# 圖式

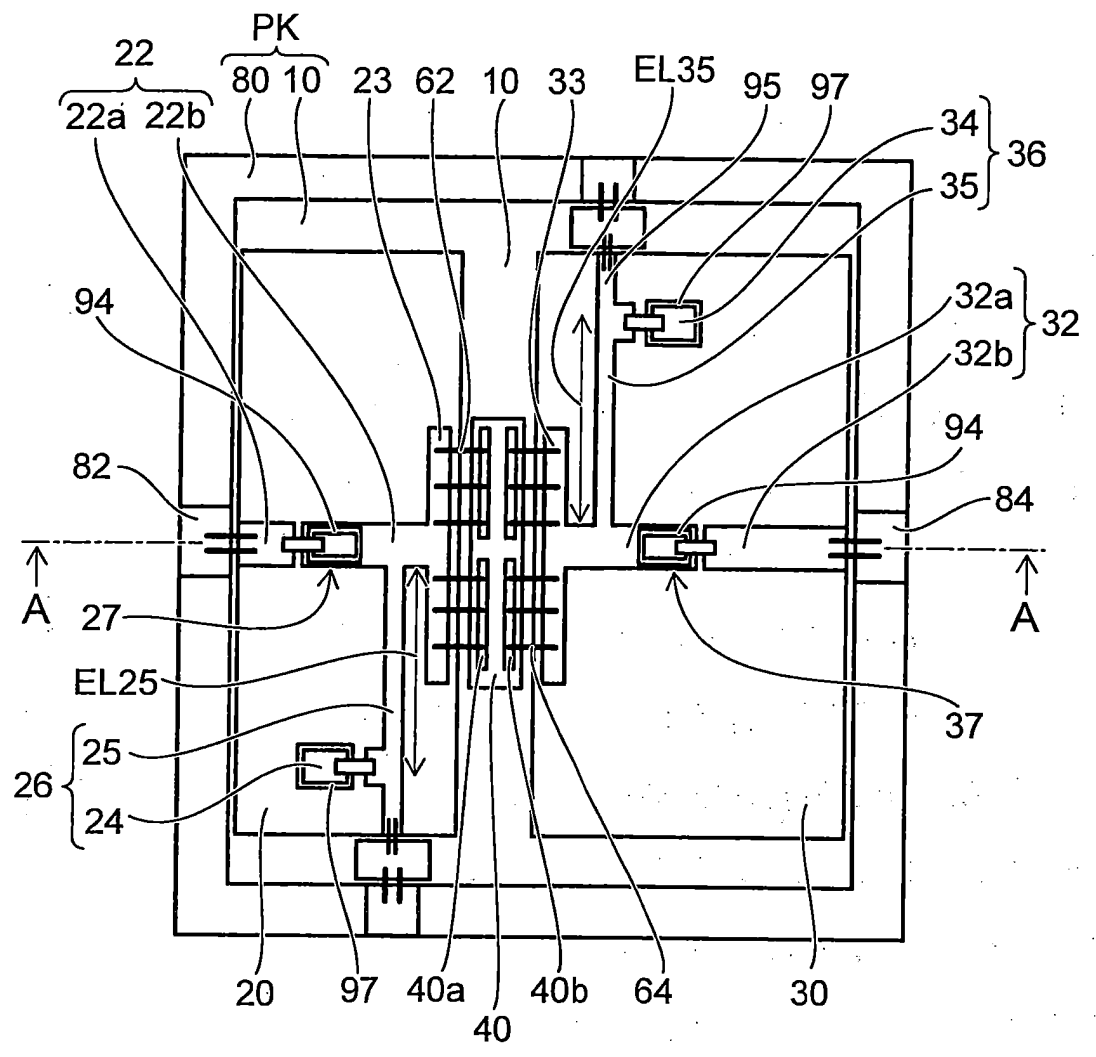


圖 1A

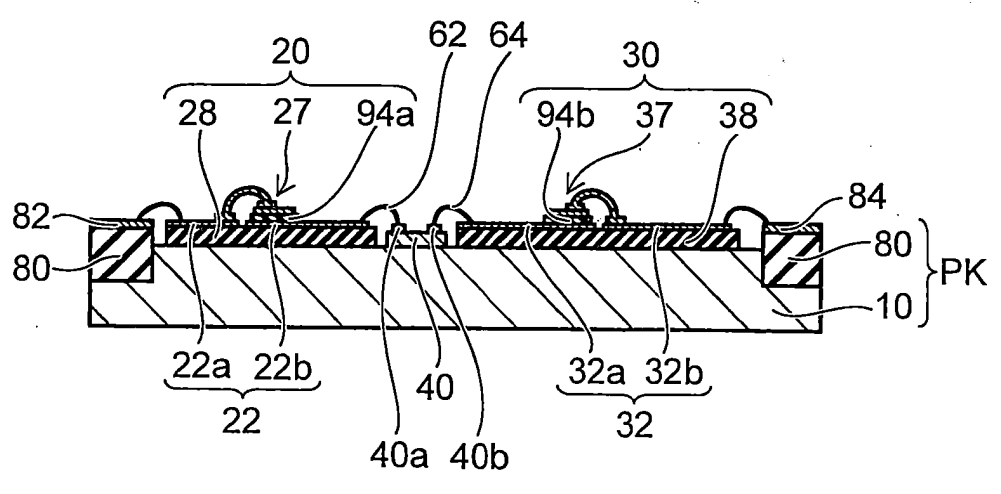


圖 1B

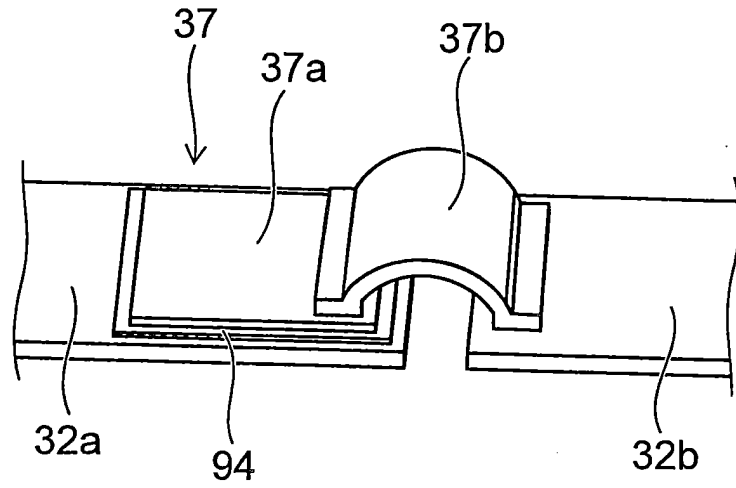


圖 2A

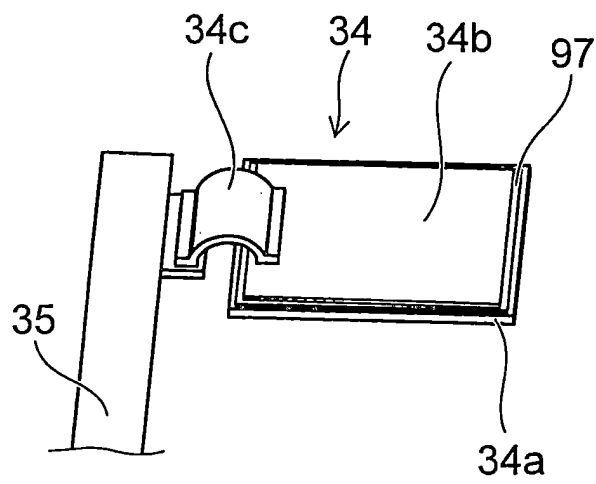


圖 2B

圖 3A

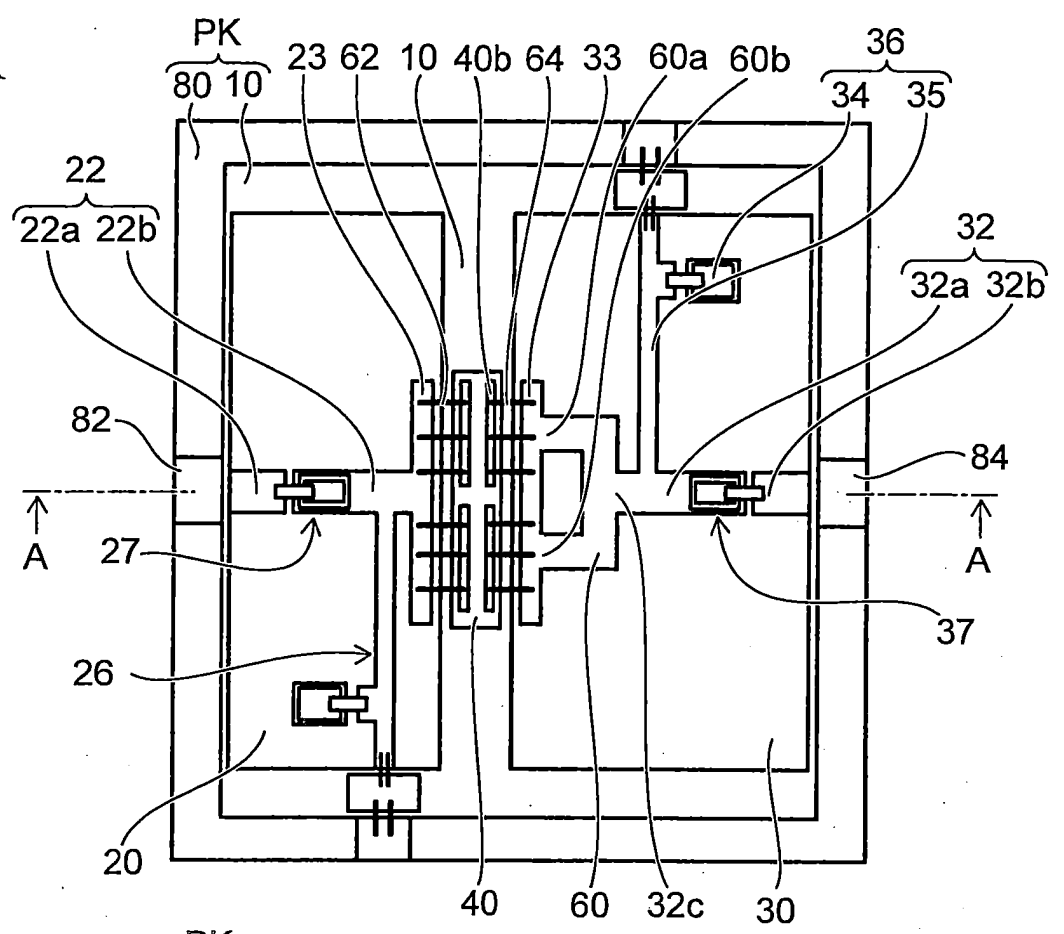
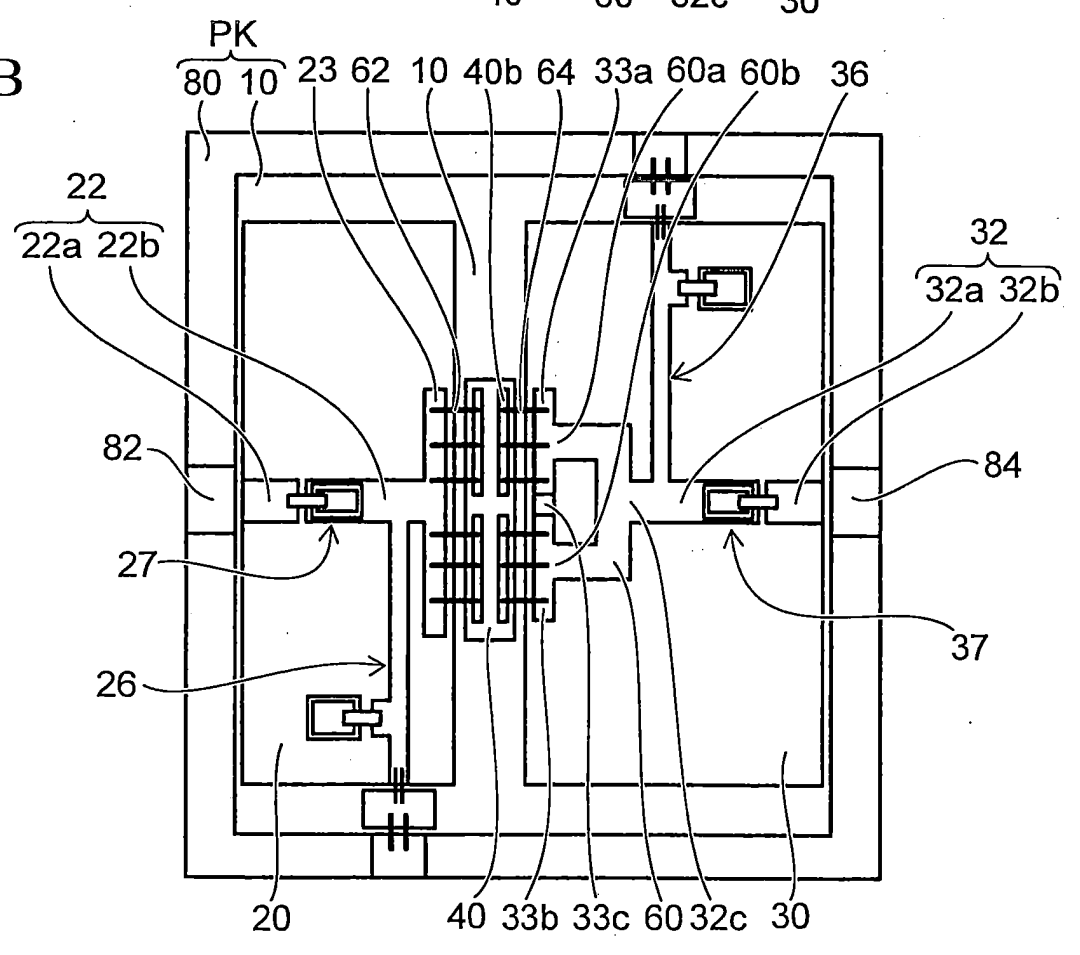


圖 3B



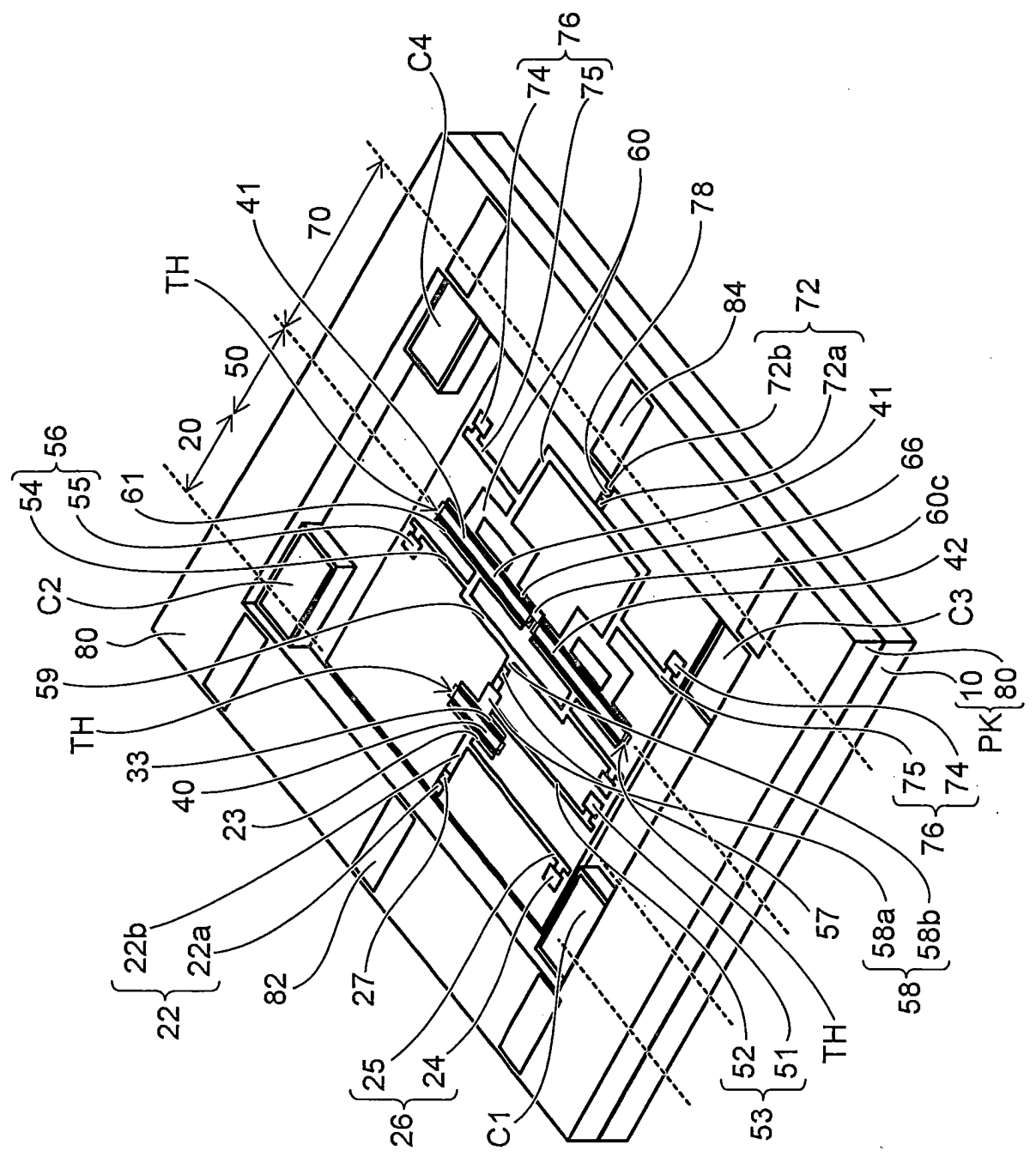


圖 4

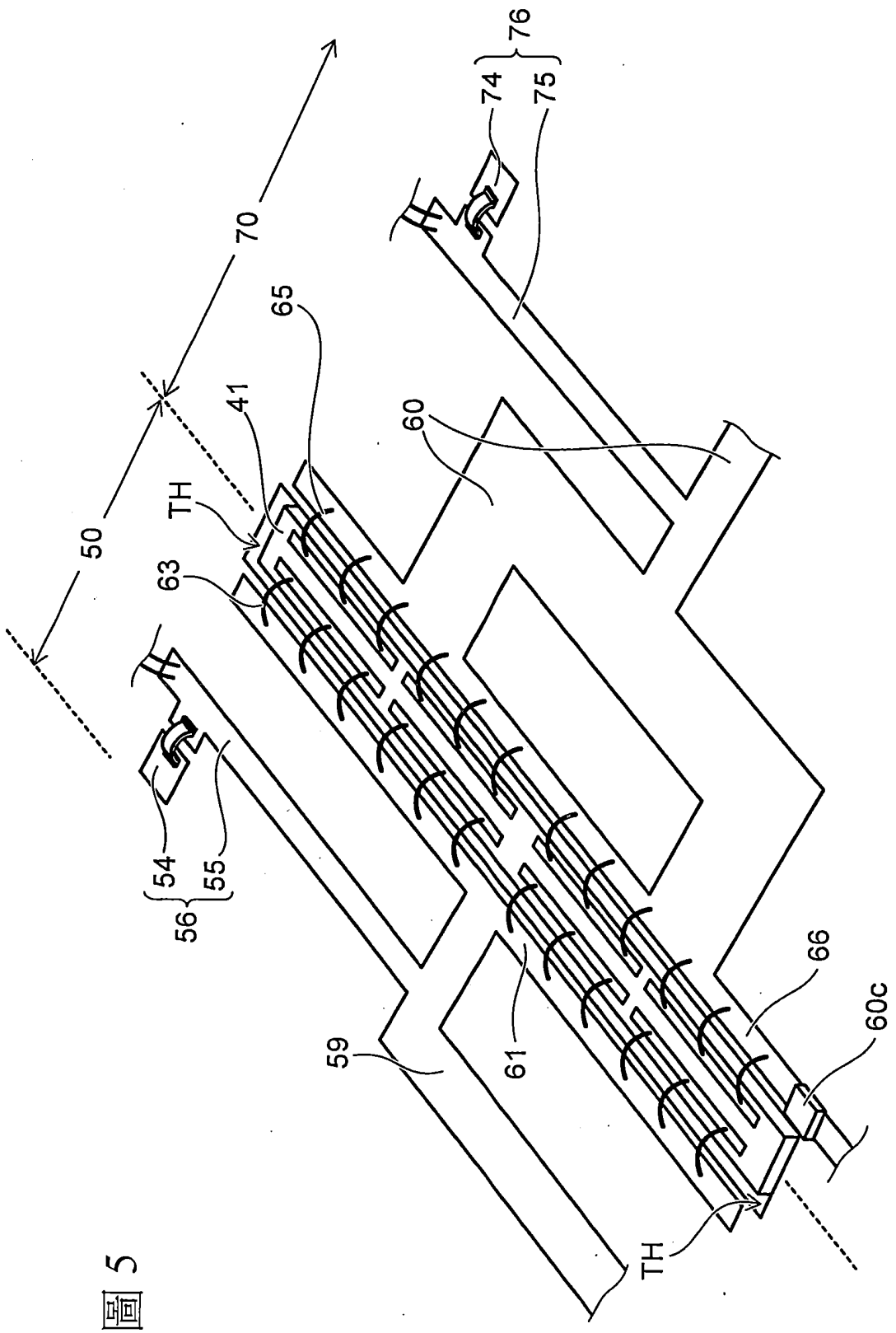


圖 5

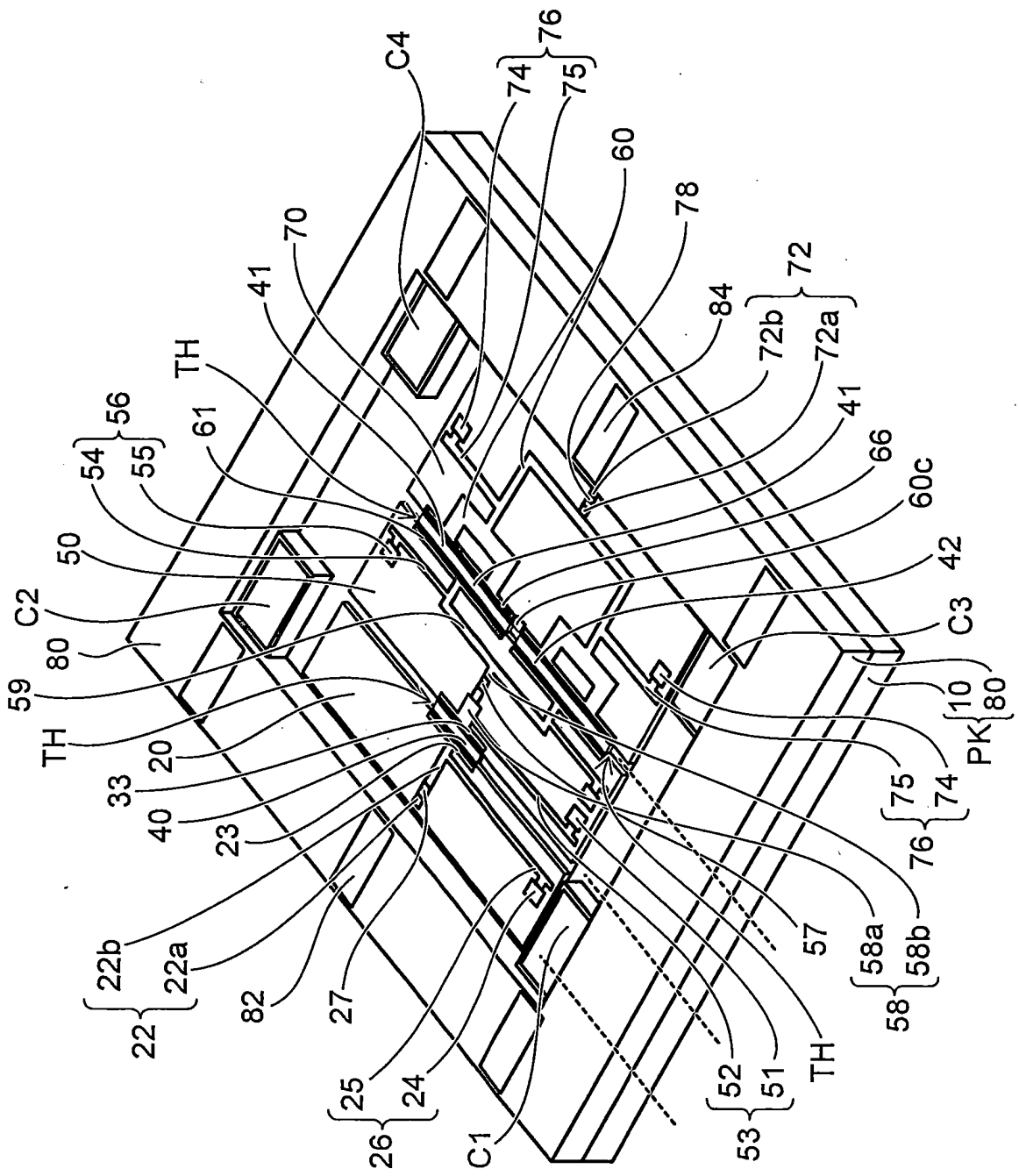


圖 6



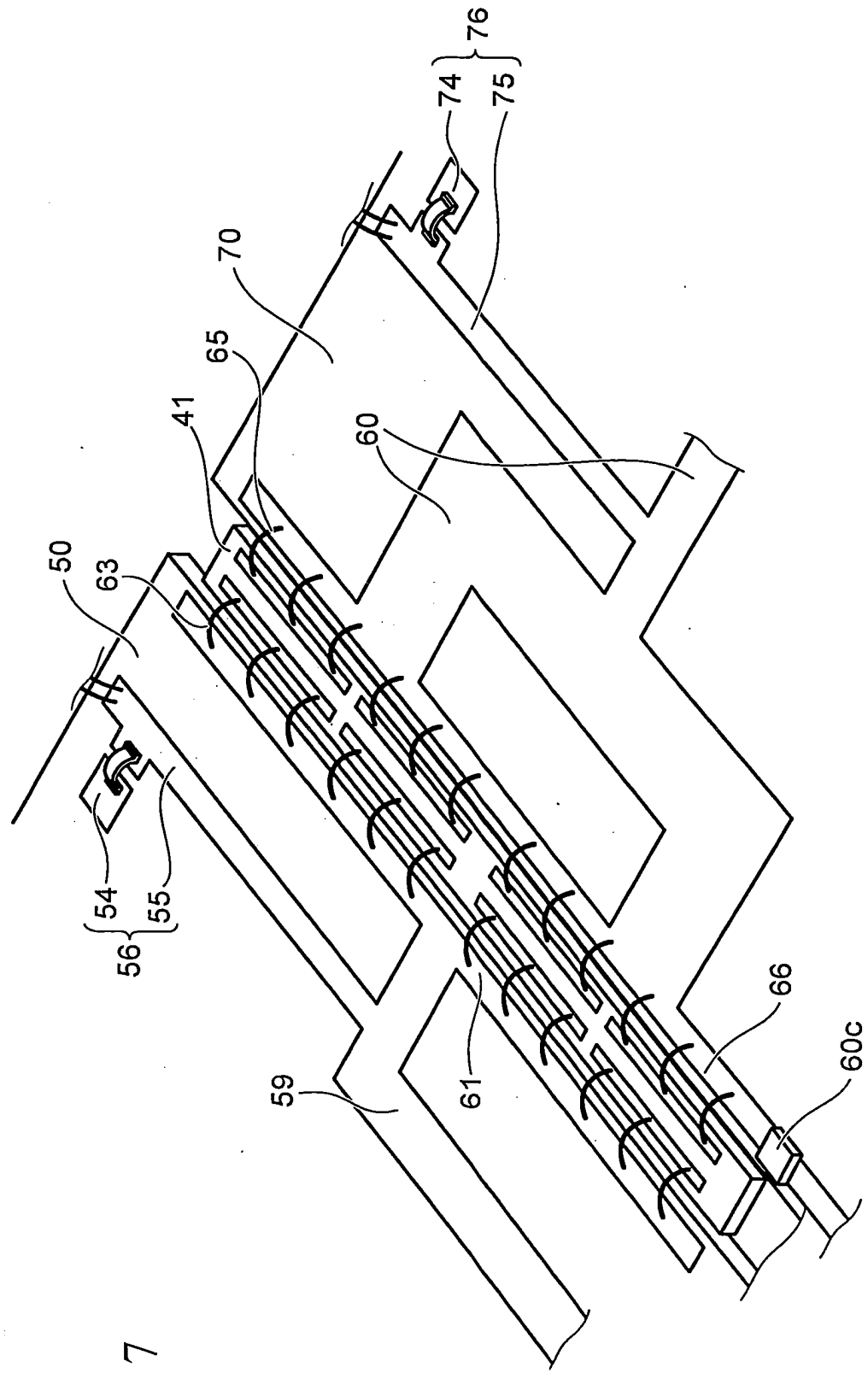


圖 7

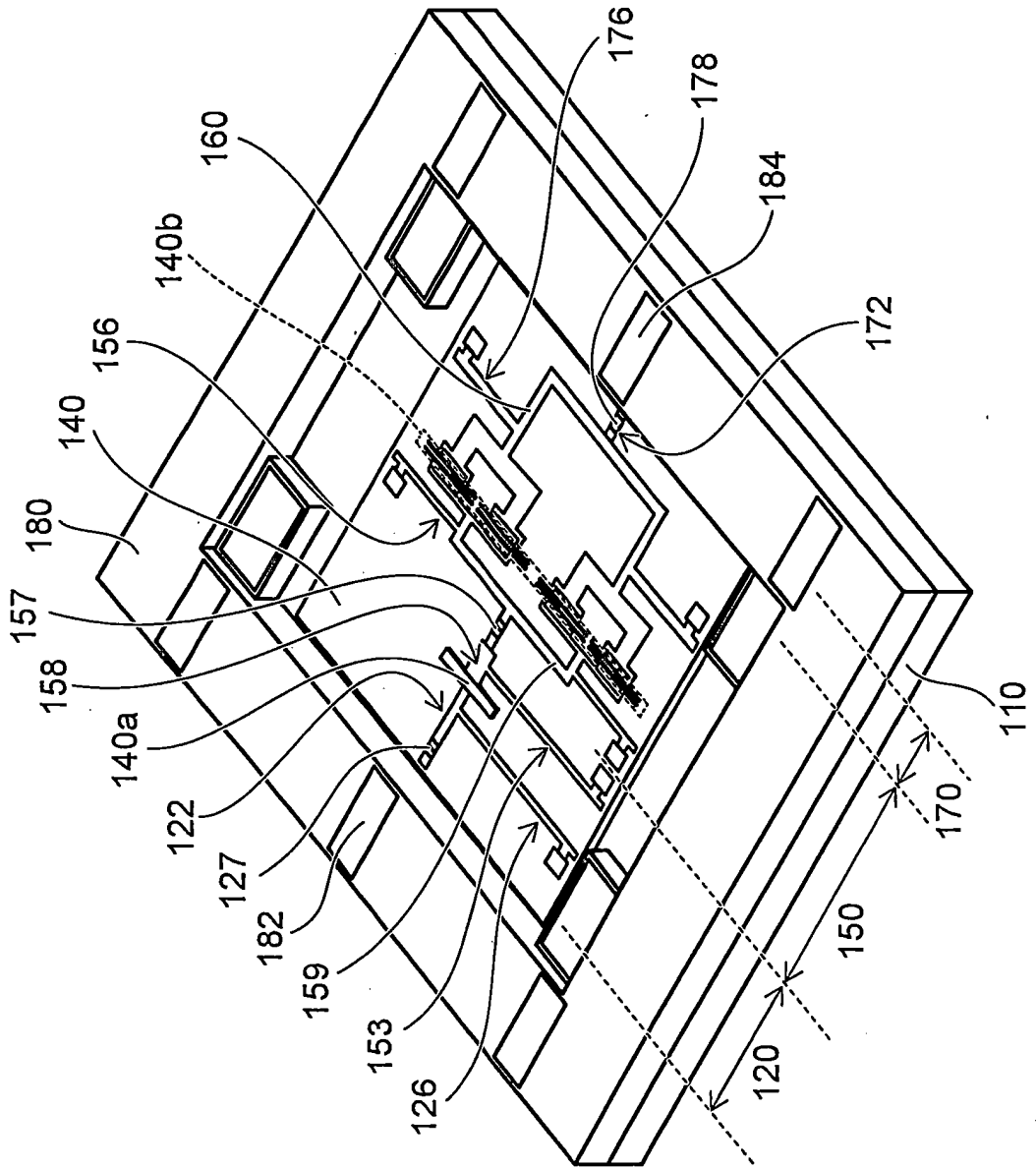


圖 8

## 【代表圖】

【本案指定代表圖】：第(4)圖。

【本代表圖之符號簡單說明】：

10：金屬板	20：輸入電路
22：輸入傳送線路	22a：第1區域
22b：第2區域	23：(第1)輸入墊片部
24：第1接地電容	25：第1傳送線路
26：第1偏壓電路	27：第1直流阻止電容
33：(第1)輸出墊片部	40：第1半導體元件
41、42：第2半導體元件	50：段間電路
51：第2接地電容	52：第2傳送線路
53：第2偏壓電路	54：第3接地電容
55：第3傳送線路	56：第3偏壓電路
57：第2直流阻止電容	58：段間傳送線路
58a、58b：區域	59：分配傳送線路
60：合成傳送線路	60c：隔離電阻
61：第2輸入墊片部	66：第2輸出墊片部
70：輸出電路	72：輸出傳送線路
74：第4接地電容	75：第4傳送線路
76：第4偏壓電路	78：第3直流阻止電容
80：框部	82：輸入端子
84：輸出端子	TH：(設於Si基板的)通孔
PK：封裝體	C1~C4：電容

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

壓在 100V 以上安定地保持以製程來說是困難的。當要求比 100V 還高的耐壓性之氮化物系半導體元件時，需要將電容外接於 MMIC 的外部電路。因此，部件的點數增加且組裝工程變得更複雜，高頻半導體放大器的價格因此而提高。

[0049] 相對於此，根據本實施形態，在 Si 基板上利用矽製程所形成的 Si 氧化膜及 Si 氮化膜的耐壓性安定且能在 100V 以上。因此，場效電晶體能在比 50V 還高的電壓下作動，藉由高頻半導體放大器得到高輸出。

[0050] 此外，SiC 或具有形成於鑽石基板上的氮化物系半導體的晶圓價格高，且難以大口徑化。另一方面，因為 MMIC 的晶片尺寸大，每一晶圓的容納量變少。因此，有關比較例的 MMIC 晶片的價格會更高，用其形成的高頻半導體放大器的價格也會變高。在 Si 基板上形成氮化物系半導體層的話，晶圓能夠大口徑化。不過，相較於 SiC 基板及鑽石基板，因為 Si 基板的放熱性差，利用在 Si 基板上形成的氮化物系半導體層的半導體元件的特性及信賴性降低，所以使用 Si 基板並不佳。

[0051] 相對於此，根據本實施形態，因為第 1 半導體元件 40 及第 2 半導體元件 41、42 的尺寸比 MMIC 的晶片尺寸還充分地小，每一晶圓的容納量更多。因此，即便是用高價的晶圓，半導體元件晶片的價格也能夠相對地降低。再來，利用 Si 量產製程在 Si 基板上形成的電路，因為電容的耐壓性高，故能夠提高信賴性。且利用 Si 量產

製程在 Si 基板上形成的電路，因為其量產性豐富，故能使高頻半導體放大器低價化。

[0052] 此外，因為半導體元件利用形成於 SiC 基板或鑽石基板上的氮化物系半導體來作成，且電路形成於 Si 基板上，能夠實現低價格、高輸出、高放熱的高頻半導體放大器。再來，即便半導體元件利用形成於薄層 Si 基板上的氮化物系半導體，且電路形成於 Si 基板上，也能夠實現低價格、高輸出、高放熱的高頻半導體放大器。

[0053] 圖 10 為表示傳送線路的變形例的模式斷面圖。

Si 氧化膜及 Si 氮化膜的介電體損失，比 Si 介電體損失還低。當傳送線路為微帶線路時，使介電體層為 Si 氧化膜或 Si 氮化膜的話，在 10GHz 以上的頻率時，也能夠降低介電體損失。

[0054] 例如，如圖 10 所表示的，成為接地導體的導電層 90 設於 Si 基板 28 之上。在導電層 90 之上設有由 Si 氧化膜或 Si 氮化膜所形成的第 2 介電體層 93。在第 2 介電體層 93 的表面形成上部導電層，成為傳送線路 22 等。Si 基板 28 設有通孔 28a，藉由設於通孔 28a 內的導電體層 91，導電層 90 藉由設於 Si 基板 28 的裏面導電體 92 來接地。從輸入端子 82 發出的高頻信號(箭頭方向)由介電體損失低的第 2 介電體層 93 傳送。因此，電力損失降低。

[0055] 根據第 1~第 3 實施形態及附加於其等的變形例，提供一種放熱性及量產性高且低價格的高頻半導體放

106年7月4日修正替換頁

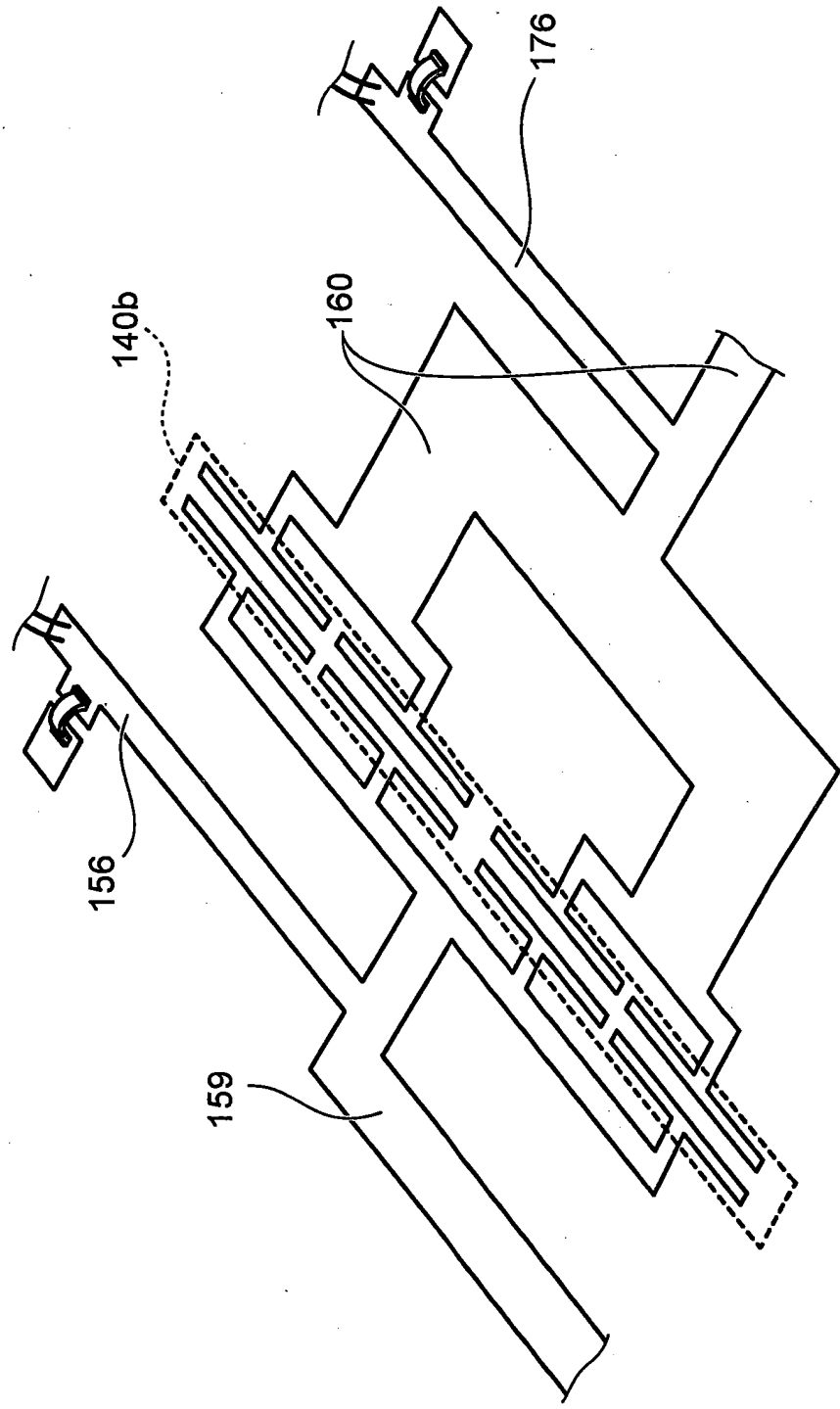


圖 9

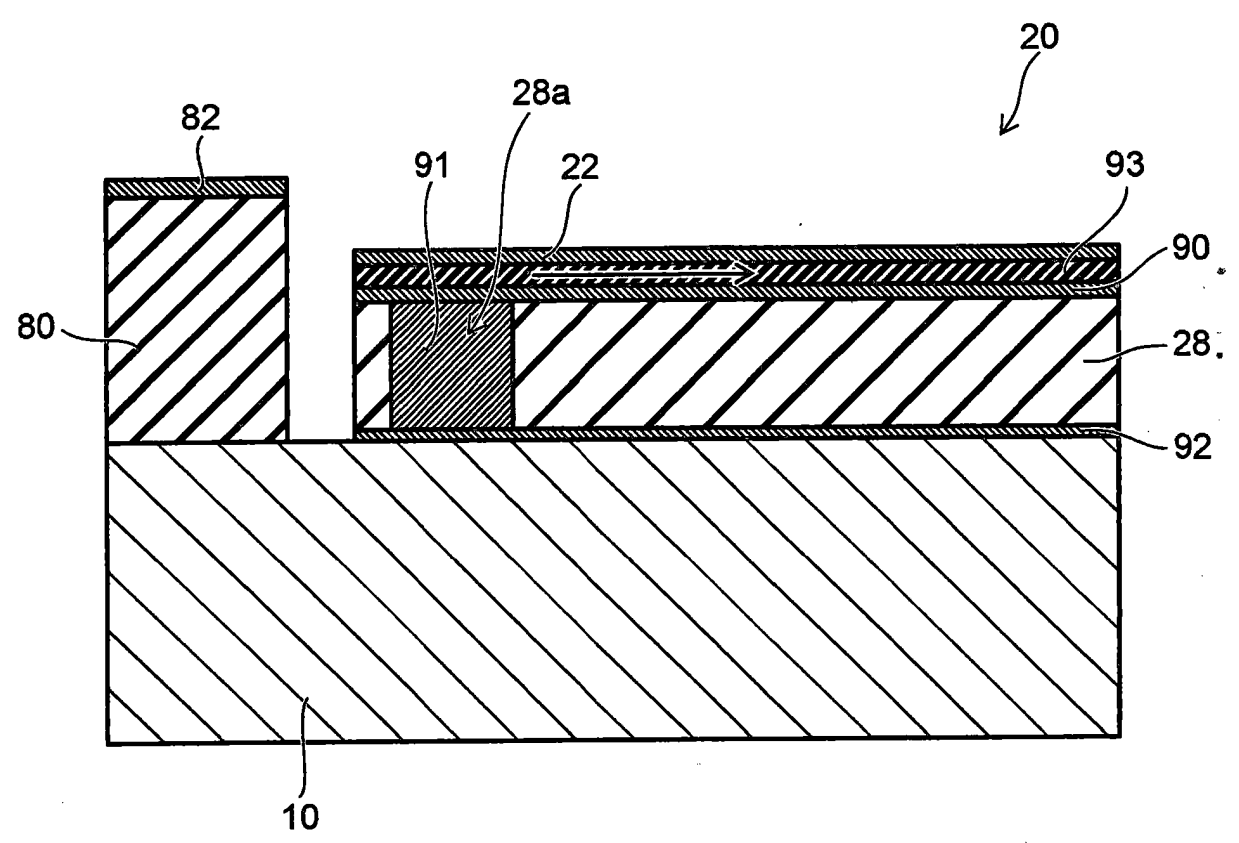


圖 10