



(12) 发明专利

(10) 授权公告号 CN 111613172 B

(45) 授权公告日 2023.05.26

(21) 申请号 202010596027.7

审查员 孟慧慧

(22) 申请日 2020.06.24

(65) 同一申请的已公布的文献号
申请公布号 CN 111613172 A

(43) 申请公布日 2020.09.01

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
专利权人 合肥鑫晟光电科技有限公司

(72) 发明人 张晓哲 王建军 刘媛媛

(74) 专利代理机构 北京天昊联合知识产权代理
有限公司 11112
专利代理师 柴亮 姜春咸

(51) Int.Cl.
G09G 3/20 (2006.01)

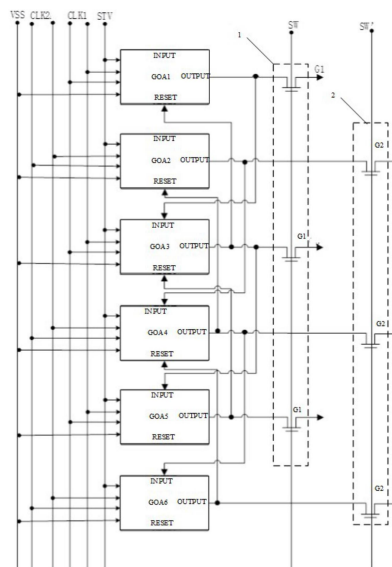
权利要求书1页 说明书6页 附图6页

(54) 发明名称

栅极驱动电路及其驱动方法、显示基板

(57) 摘要

本发明提供一种栅极驱动电路及其驱动方法、显示基板,属于显示技术领域,其可至少部分解决现有的显示面板由于分辨率高而导致的功耗高的问题。本发明的一种栅极驱动电路,其特征在于,包括:多个级联的移位寄存器,分为第一组移位寄存器和第二组移位寄存器,每级的移位寄存器的输出端对应一条栅线;第一控制单元,用于控制部分第一组移位寄存器的输出端;第二控制单元,用于控制部分第二组移位寄存器的输出端。



1. 一种显示基板,其特征在于,包括栅极驱动电路,和阵列分布的多个像素单元,所述像素单元与栅线连接:所述栅极驱动电路包括:

多个级联的移位寄存器,分为第一组移位寄存器和第二组移位寄存器,每级移位寄存器的输出端对应一条栅线;

第一控制单元,用于控制部分所述第一组移位寄存器的输出端;

第二控制单元,用于控制部分所述第二组移位寄存器的输出端;

其中,从第二级移位寄存器开始,相邻的两个移位寄存器为一组依次分为多个子组,所述第一组移位寄存器包括第一级移位寄存器以及第偶数个子组中的移位寄存器,所述第二组移位寄存器包括第奇数个子组中的移位寄存器;每条数据线对应连接相邻两列像素单元,每列所述像素单元的颜色相同,且每行像素单元中,以第一颜色像素、第二颜色像素、第三颜色像素的顺序依次排列,相邻两条栅线依次对应一行像素单元,每行像素单元中的第奇数个像素单元连接其对应的两条栅线中的前一条栅线,每行像素单元中的第偶数个像素单元连接其对应的两条栅线中的后一条栅线。

2. 根据权利要求1所述的显示基板,其特征在于,所述第一控制单元包括:多个第一晶体管,所述第一晶体管与所述第一组移位寄存器一一对应,每个所述第一晶体管的栅极连接第一电压端,第一极连接与其对应的移位寄存器输出端,第二极连接与其对应的移位寄存器对应的栅线;

所述第二控制单元包括:多个第二晶体管,所述第二晶体管与所述第二组移位寄存器一一对应,每个所述第二晶体管的栅极连接第二电压端,第一极连接与其对应的移位寄存器输出端,第二极连接与其对应的移位寄存器对应的栅线。

3. 根据权利要求1所述的显示基板,其特征在于,还包括:

第一时钟线,所有所述移位寄存器的时钟端均与第一时钟线连接。

4. 根据权利要求1所述的显示基板,其特征在于,还包括:

第一时钟线,所述第一组移位寄存器的时钟端与第一时钟线连接;

第二时钟线,所述第二组移位寄存器的时钟端与第二时钟线连接。

5. 一种显示基板的驱动方法,其特征在于,基于权利要求1至4中任意一项所述的显示基板,所述方法包括:

向栅极驱动电路的第一控制单元输入导通信号,向栅极驱动电路的第二控制单元输入关断信号,使得第一组移位寄存器将控制信号输入至其对应的栅线;或者,向第一控制单元输入关断信号,向第二控制单元输入导通信号,使得第二组移位寄存器将控制信号输入至其对应的栅线。

栅极驱动电路及其驱动方法、显示基板

技术领域

[0001] 本发明属于显示技术领域,具体涉及一种栅极驱动电路及其驱动方法、显示基板。

背景技术

[0002] 随着科技的发展,现有的显示面板可达到较高的分辨率(PPI),对于高分辨率的显示面板而言,每一个像素级别的图案已经不能被人眼识别,而能够被人眼识别的最小的显示图案(如字体、照片等)由多个像素形成。

[0003] 然而,高分辨率的显示面板具有功耗高的缺点。

发明内容

[0004] 本发明至少部分解决现有的显示面板由于分辨率高而导致的功耗高的问题,提供一种功耗低的高分辨率的显示面板的栅极驱动电路。

[0005] 解决本发明技术问题所采用的技术方案是一种栅极驱动电路,包括:

[0006] 多个级联的移位寄存器,分为第一组移位寄存器和第二组移位寄存器,每级移位寄存器的输出端对应一条栅线;

[0007] 第一控制单元,用于控制部分所述第一组移位寄存器的输出端;

[0008] 第二控制单元,用于控制部分所述第二组移位寄存器的输出端。

[0009] 进一步优选的是,所述第一控制单元包括:多个第一晶体管,所述第一晶体管与所述第一组移位寄存器一一对应,每个所述第一晶体管的栅极连接第一电压端,第一极连接与其对应的移位寄存器输出端,第二极连接与其对应的移位寄存器对应的栅线;所述第二控制单元包括:多个第二晶体管,所述第二晶体管与所述第二组移位寄存器一一对应,每个所述第二晶体管的栅极连接第二电压端,第一极连接与其对应的移位寄存器输出端,第二极连接与其对应的移位寄存器对应的栅线。

[0010] 进一步优选的是,所述第一组移位寄存器包括第奇数级移位寄存器;所述第二组移位寄存器包括第偶数级移位寄存器。

[0011] 进一步优选的是,从第二级移位寄存器开始,相邻的两个移位寄存器为一组依次分为多个子组,所述第一组移位寄存器包括第一级移位寄存器以及第偶数个子组中的移位寄存器;所述第二组移位寄存器包括第奇数个子组中的移位寄存器。

[0012] 进一步优选的是,该栅极驱动电路还包括:第一时钟线,所有所述移位寄存器的时钟端均与第一时钟线连接。

[0013] 进一步优选的是,该栅极驱动电路还包括:第一时钟线,所述第一组移位寄存器的时钟端与第一时钟线连接;第二时钟线,所述第二组移位寄存器的时钟端与第二时钟线连接。

[0014] 解决本发明技术问题所采用的技术方案是一种显示基板,包括:

[0015] 上述的栅极驱动电路;

[0016] 阵列分布的多个像素单元,所述像素单元与栅线连接。

[0017] 进一步优选的是,所述栅极驱动电路为上述的栅极驱动电路;每列像素单元连接一条数据线,每列所述像素单元的颜色相同,且每行像素单元中,以第一颜色像素、第二颜色像素、第三颜色像素的顺序依次排列,除第一条栅线和最后一条栅线外,每条栅线对应相邻的两行像素单元,每条栅线连接其对应的像素单元中前一行的第偶数个像素单元以及后一行的第奇数个像素单元,第一条栅线连接第一行像素单元中的第奇数个像素单元,最后一条栅线连接最后一行像素单元中的第偶数个像素单元。

[0018] 进一步优选的是,所述栅极驱动电路为上述的栅极驱动电路;每条数据线对应连接相邻两列像素单元,每列所述像素单元的颜色相同,且每行像素单元中,以第一颜色像素、第二颜色像素、第三颜色像素的顺序依次排列,相邻两条栅线依次对应一行像素单元,每行像素单元中的第奇数个像素单元连接其对应的两条栅线中的前一条栅线,每行像素单元中的第偶数个像素单元连接其对应的两条栅线中的后一条栅线。

[0019] 解决本发明技术问题所采用的技术方案是一种栅极驱动电路的驱动方法,基于上述的栅极驱动电路,所述方法包括:

[0020] 向第一控制单元输入导通信号,向第二控制单元输入关断信号,使得第一组移位寄存器将控制信号输入至其对应的栅线;或者,向第一控制单元输入关断信号,向第二控制单元输入导通信号,使得第二组移位寄存器将控制信号输入至其对应的栅线。

附图说明

[0021] 附图是用来提供对本发明的进一步理解,并且构成说明书的一部分,与下面的具体实施方式一起用于解释本发明,但并不构成对本发明的限制。在附图中:

[0022] 图1为本发明的实施例的一种栅极驱动电路的结构示意图;

[0023] 图2为与图1对应的一种的显示基板的像素单元排布的结构示意图;

[0024] 图3为本发明的实施例的一种栅极驱动电路的结构示意图;

[0025] 图4为本发明的实施例的一种栅极驱动电路的结构示意图

[0026] 图5为与图3或图4对应的一种的显示基板的像素单元排布的结构示意图;

[0027] 图6为与图3或图4对应的一种的显示基板的像素单元排布的结构示意图;

[0028] 图7为本发明的实施例的一种栅极驱动电路的控制单元的时序图;

[0029] 其中,附图标记为:1、第一控制单元;2、第二控制单元;SW、第一电压端;SW'、第二电压端;GOA、移位寄存器;OUTPUT、输出端;INPUT、输入端;RESET、重置端;G1、第一晶体管;G2、第二晶体管;CKL1、第一时钟线;CKL2、第二时钟线;Gate、栅线;Source、数据线。

具体实施方式

[0030] 为使本领域技术人员更好地理解本发明的技术方案,下面结合附图和具体实施方式对本发明作进一步详细描述。

[0031] 以下将参照附图更详细地描述本发明。在各个附图中,相同的元件采用类似的附图标记来表示。为了清楚起见,附图中的各个部分没有按比例绘制。此外,在图中可能未示出某些公知的部分。

[0032] 在下文中描述了本发明的许多特定的细节,例如部件的结构、材料、尺寸、处理工艺和技术,以便更清楚地理解本发明。但正如本领域的技术人员能够理解的那样,可以不按

照这些特定的细节来实现本发明。

[0033] 实施例1:

[0034] 如图1至图7所示,本实施例提供一种栅极驱动电路,包括:

[0035] 多个级联的移位寄存器GOA,分为第一组移位寄存器GOA和第二组移位寄存器GOA,每级的移位寄存器GOA的输出端OUTPUT对应一条栅线Gate;

[0036] 第一控制单元1,用于控制部分第一组移位寄存器GOA的输出端OUTPUT;

[0037] 第二控制单元2,用于控制部分第二组移位寄存器GOA的输出端OUTPUT。

[0038] 其中,也就是说通过第一控制单元1和第二控制单元2分别控制移位寄存器GOA向对应的栅线Gate输出信号。第一控制单元1和第二控制单元2的控制是相互独立的,即可以是只有第一组移位寄存器GOA输出信号,也可以是只有第二组移位寄存器GOA输出信号,也可以是所有的移位寄存器GOA同时输出信号。

[0039] 本实施例的栅极驱动电路通过设置控制不同的移位寄存器GOA的输出端OUTPUT,在不需要向所有栅线Gate输入信号的情况下,可以使得只有第一组移位寄存器GOA输出信号或者只有第二组移位寄存器GOA输出信号,从而使得栅极驱动电路在正常工作的前提下,减少能耗。

[0040] 优选的,第一控制单元1包括:多个第一晶体管G1,第一晶体管G1与第一组移位寄存器GOA一一对应,每个第一晶体管G1的栅极连接第一电压端SW,第一极连接与其对应的移位寄存器GOA输出端OUTPUT,第二极连接与其对应的移位寄存器GOA对应的栅线Gate;第二控制单元2包括:多个第二晶体管G2,第二晶体管G2与第二组移位寄存器GOA一一对应,每个第二晶体管G2的栅极连接第二电压端SW',第一极连接与其对应的移位寄存器GOA输出端OUTPUT,第二极连接与其对应的移位寄存器GOA对应的栅线Gate。

[0041] 其中,也就是说第一控制单元1由多个第一晶体管G1组成,且每一个第一晶体管G1对应第一组移位寄存器GOA中的一个移位寄存器GOA,当第一晶体管G1关断时,对应的移位寄存器GOA不能像栅线Gate输出信号,当第一晶体管G1导通时,对应的移位寄存器GOA能够像栅线Gate输出信号,以使该栅线Gate对应的像素单元显示。相应的,第二控制单元2由多个第二晶体管G2组成,且每一个第二晶体管G2对应第二组移位寄存器GOA中的一个移位寄存器GOA,当第二晶体管G2关断时,对应的移位寄存器GOA不能像栅线Gate输出信号,当第二晶体管G2导通时,对应的移位寄存器GOA能够像栅线Gate输出信号,以使该栅线Gate对应的像素单元显示。

[0042] 进一步优选的,所有晶体管均为N型晶体管(如全部为N型薄膜晶体管);或者,所有晶体管均为P型晶体管(如全部为P型薄膜晶体管)。

[0043] 优选的,如图1所示,一种方案为:第一组移位寄存器GOA包括第奇数级移位寄存器GOA;第二组移位寄存器GOA包括第偶数级移位寄存器GOA。

[0044] 其中,在该方案中,也就是说第一组移位寄存器GOA包括第一级移位寄存器GOA1、第三级移位寄存器GOA3、第五级移位寄存器GOA5……;第二组移位寄存器GOA包括第二级移位寄存器GOA2、第四级移位寄存器GOA4、第六级移位寄存器GOA6……。

[0045] 这样,当只有第一组移位寄存器GOA输出信号或者只有第二组移位寄存器GOA输出信号时,只有一半的栅线Gate能够接收到来自移位寄存器GOA的信号,即对应的显示基板中只有一半的像素单元可以使工作,另一半的像素单元可以使不工作,从而可节约对应的显

示基板的50%的功耗,使得该显示基板在显示的过程中大大降低了功耗。

[0046] 优选的,如图3或者图4所示,另一种方案为:从第二级移位寄存器GOA开始,相邻的两个移位寄存器GOA为一组依次分为多个子组,第一组移位寄存器GOA包括第一级移位寄存器GOA以及第偶数个子组中的移位寄存器GOA;第二组移位寄存器GOA包括第奇数个子组中的移位寄存器GOA。

[0047] 其中,在该方案中,也就是说第一组移位寄存器GOA包括第一级移位寄存器GOA1、第四级移位寄存器GOA4、第五级移位寄存器GOA5……;第一组移位寄存器GOA包括第二级移位寄存器GOA2、第三级移位寄存器GOA3、第六级移位寄存器GOA6、第七级移位寄存器GOA7……。

[0048] 这样,当只有第一组移位寄存器GOA输出信号或者只有第二组移位寄存器GOA输出信号时,约只有一半的栅线Gate能够接收到来自移位寄存器GOA的信号,即对应的显示基板中约只有一半的像素单元可以使工作,另外的像素单元可以使不工作,从而可节约对应的显示基板的约50%的功耗,使得该显示基板在显示的过程中大大降低了功耗。

[0049] 需要说明的是,第一组移位寄存器GOA或者第二组移位寄存器GOA的还可以是由其他适合的方式的移位寄存器GOA组成,不仅限于上述的两种情况。

[0050] 此外,针对本实施例的时钟线线的分布,有以下两种情况:

[0051] 优选的,如图3所示,一种情况,本实施例的栅极驱动电路还包括:

[0052] 第一时钟线CKL1,所有移位寄存器GOA的时钟端均与第一时钟线CKL1连接。

[0053] 其中,也就是说与所有移位寄存器GOA连接的时钟线是一样的,具体的,第一时钟线CKL1包括第一子时钟线和第二子时钟线,即第一时钟线CKL1可以同时控制所有移位寄存器GOA的时钟端。

[0054] 优选的,如图4所示,另一种情况,本实施例的栅极驱动电路还包括:

[0055] 第一时钟线CKL1,第一组移位寄存器GOA的时钟端与第一时钟线CKL1连接;

[0056] 第二时钟线CKL2,第二组移位寄存器GOA的时钟端与第二时钟线CKL2连接。

[0057] 其中,也就是说与第一组移位寄存器GOA和第二组移位寄存器GOA连接的时钟线是不同的,即第一时钟线CKL1连接第一组移位寄存器GOA的时钟端,第二时钟线CKL2连接第二组移位寄存器GOA的时钟端。具体的,第一时钟线CKL1包括第一子时钟线和第二子时钟线,第二时钟线CKL2包括第三子时钟线和第四子时钟线。

[0058] 当第一控制单元1导通、第二控制单元2不导通,可以不向第二时钟线CKL2输入时钟信号,只向第一时钟线CKL1输入时钟信号;当第一控制单元1不导通、第二控制单元2导通,可以不向第一时钟线CKL1输入时钟信号,只向第二时钟线CKL2输入时钟信号,从而进一步减少栅极驱动电路的功耗。

[0059] 需要说明的是,时钟线的连接方式还可以是由其他适合的方式连接,不仅限于上述的两种情况。

[0060] 此外,在同一组移位寄存器GOA中,每个移位寄存器GOA的输出端OUTPUT与上一级的重置端RESET连接,每个移位寄存器GOA的输出端OUTPUT与下一级的输入端INPUT连接。所有移位寄存器GOA连接一条第一电压线VSS、连接一条第二电压线STV。

[0061] 本实施例还提供一种栅极驱动电路的驱动方法,基于上述的栅极驱动电路,方法包括:

[0062] 向第一控制单元1输入导通信号,向第二控制单元2输入关断信号,使得第一组移位寄存器GOA将控制信号输入至其对应的栅线Gate;或者,向第一控制单元1输入关断信号,向第二控制单元2输入导通信号,使得第二组移位寄存器GOA将控制信号输入至其对应的栅线Gate,如图7所示。

[0063] 其中,导通信号是指当加载在晶体管栅极上时,可使晶体管导通的信号,而关断信号是指当加载在晶体管栅极上时,可使晶体管关断的信号。

[0064] 以下以所有晶体管均是N型晶体管为例进行说明,故其中导通信号为高电平信号,关断信号为低电平信号。

[0065] 也就是说,首先,向第一控制单元1输入导通信号,向第二控制单元2输入关断信号,使得第一组移位寄存器GOA将控制信号输入至其对应的栅线Gate;然后,向第一控制单元1输入关断信号,向第二控制单元2输入导通信号,使得第二组移位寄存器GOA将控制信号输入至其对应的栅线Gate,即第一组移位寄存器GOA和第二组移位寄存器GOA轮流向栅线Gate输出信号。

[0066] 也可以是,一直向第一控制单元1输入导通信号,向第二控制单元2输入关断信号,使得第一组移位寄存器GOA将控制信号输入至其对应的栅线Gate;或者,一直向第一控制单元1输入关断信号,向第二控制单元2输入导通信号,使得第二组移位寄存器GOA将控制信号输入至其对应的栅线Gate。

[0067] 实施例2:

[0068] 如图1至图7所示,本实施例提供一种显示基板,包括:

[0069] 实施例1中的栅极驱动电路;

[0070] 阵列分布的多个像素单元,像素单元与栅线Gate连接。

[0071] 优选的,栅极驱动电路为实施例1中的一种方案的栅极驱动电路;每列像素单元连接一条数据线Source,每列像素单元的颜色相同,且每行像素单元中,以第一颜色像素、第二颜色像素、第三颜色像素的顺序依次排列,除第一条栅线Gate和最后一条栅线Gate外,每条栅线Gate对应相邻的两行像素单元,每条栅线Gate连接其对应的像素单元中前一行的第偶数个像素单元以及后一行的第奇数个像素单元,第一条栅线Gate连接第一行像素单元中的第奇数个像素单元,最后一条栅线Gate连接最后一行像素单元中的第偶数个像素单元。

[0072] 需要说明的是,第一颜色像素、第二颜色像素、第三颜色像素可以分别是红像素R、绿像素G、蓝像素B。

[0073] 其中,实施例1中的一种方案的栅极驱动电路具体为:第一组移位寄存器GOA包括第奇数级移位寄存器GOA;第二组移位寄存器GOA包括第偶数级移位寄存器GOA。

[0074] 也就是说,栅线Gate与像素单元的连接方式如图2所示(图中的阴影像素单元表示不显示的像素单元),当只有第一组移位寄存器GOA向栅极输出信号或者只有第二组移位寄存器GOA向栅极输出信号时,每一行中像素单元交替显示,且由于对于该分辨率的显示基板中,每一个像素单元级别的图案已经不能被人眼识别,而能够被人眼识别的最小的显示图案(如字体、照片等)由多个像素单元形成,因此上述的像素单元的显示中即使有一半的像素单元不显示,也影响形成的显示画面,即在保证显示画面的前提下,该显示基板的显示能够大大降低功耗,节约能源。

[0075] 优选的,栅极驱动电路为实施例1中的另一种方案的栅极驱动电路;每条数据线

Source对应连接相邻两列像素单元,每列像素单元的颜色相同,且每行像素单元中,以第一颜色像素、第二颜色像素、第三颜色像素的顺序依次排列,相邻两条栅线Gate依次对应一行像素单元,每行像素单元中的第奇数个像素单元连接其对应的两条栅线Gate中的前一条栅线Gate,每行像素单元中的第偶数个像素单元连接其对应的两条栅线Gate中的后一条栅线Gate。

[0076] 其中,实施例1中的另一种方案的栅极驱动电路具体为:从第二级移位寄存器GOA开始,相邻的两个移位寄存器GOA为一组依次分为多个子组,第一组移位寄存器GOA包括第一级移位寄存器GOA以及第偶数个子组中的移位寄存器GOA;第二组移位寄存器GOA包括第奇数个子组中的移位寄存器GOA。

[0077] 也就是说,栅线Gate与像素单元的连接方式如图5和图6所示(图中的阴影像素单元表示不显示的像素单元),当只有第一组移位寄存器GOA向栅极输出信号或者只有第二组移位寄存器GOA向栅极输出信号时,每一行中像素单元交替显示,且由于对于该分辨率的显示基板中,每一个像素单元级别的图案已经不能被人眼识别,而能够被人眼识别的最小的显示图案(如字体、照片等)由多个像素单元形成,因此上述的像素单元的显示中即使有一半的像素单元不显示,也影响形成的显示画面,即在保证显示画面的前提下,该显示基板的显示能够大大降低功耗,节约能源。

[0078] 需要说明的是,像素单元与栅线Gate的连接方式还可以是由其他适合的方式连接,不仅限于上述的两种情况。

[0079] 具体的,该显示基板可为液晶显示面板、有机发光二极管(OLED)显示面板、电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0080] 应当说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0081] 依照本发明的实施例如上文,这些实施例并没有详尽叙述所有的细节,也不限制该发明仅为所述的具体实施例。显然,根据以上描述,可作很多的修改和变化。本说明书选取并具体描述这些实施例,是为了更好地解释本发明的原理和实际应用,从而使所属技术领域技术人员能很好地利用本发明以及在本发明基础上的修改使用。本发明仅受权利要求书及其全部范围和等效物的限制。

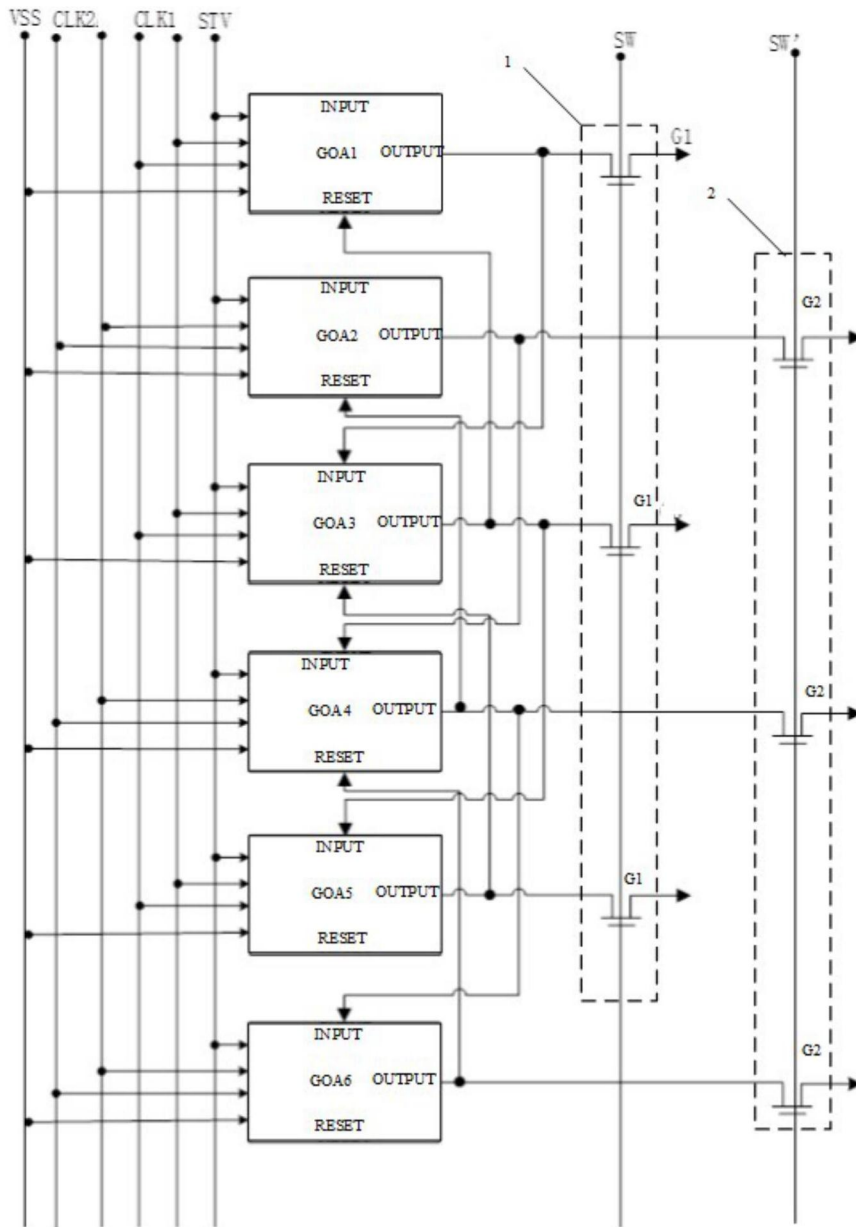


图1

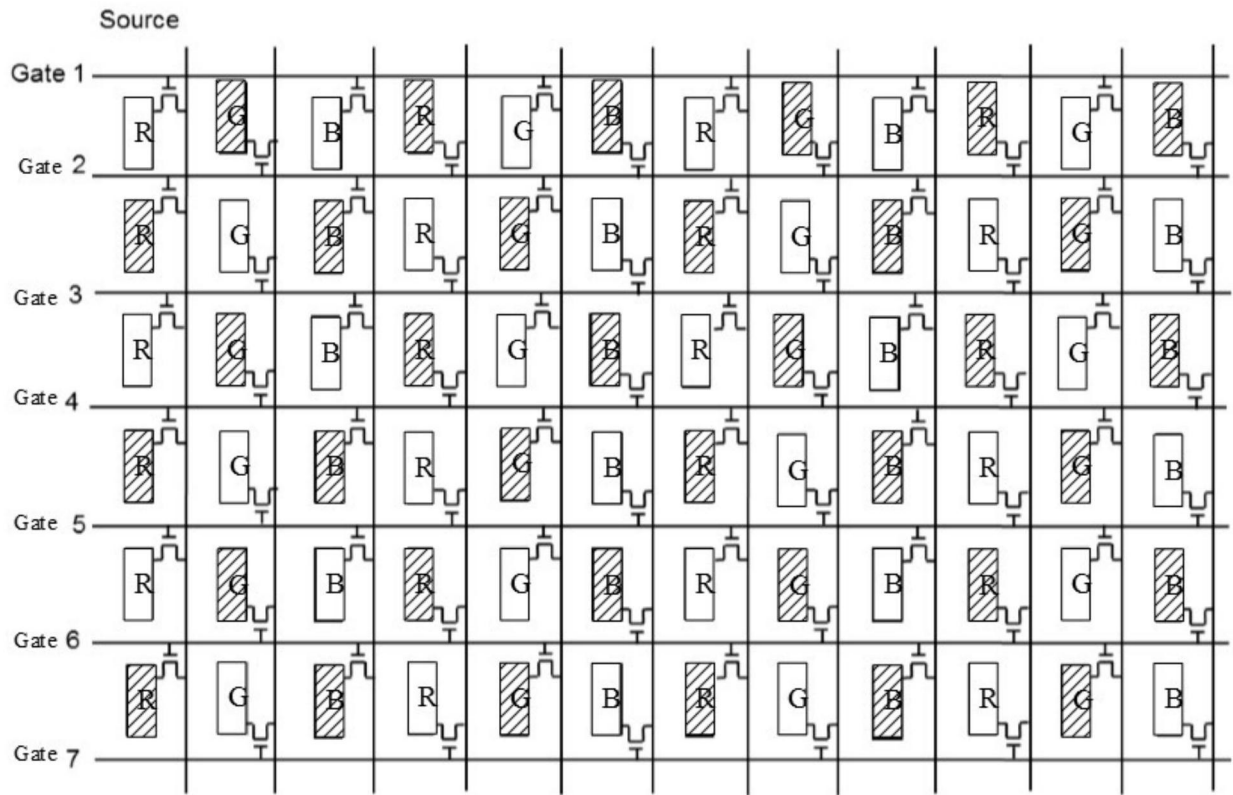


图2

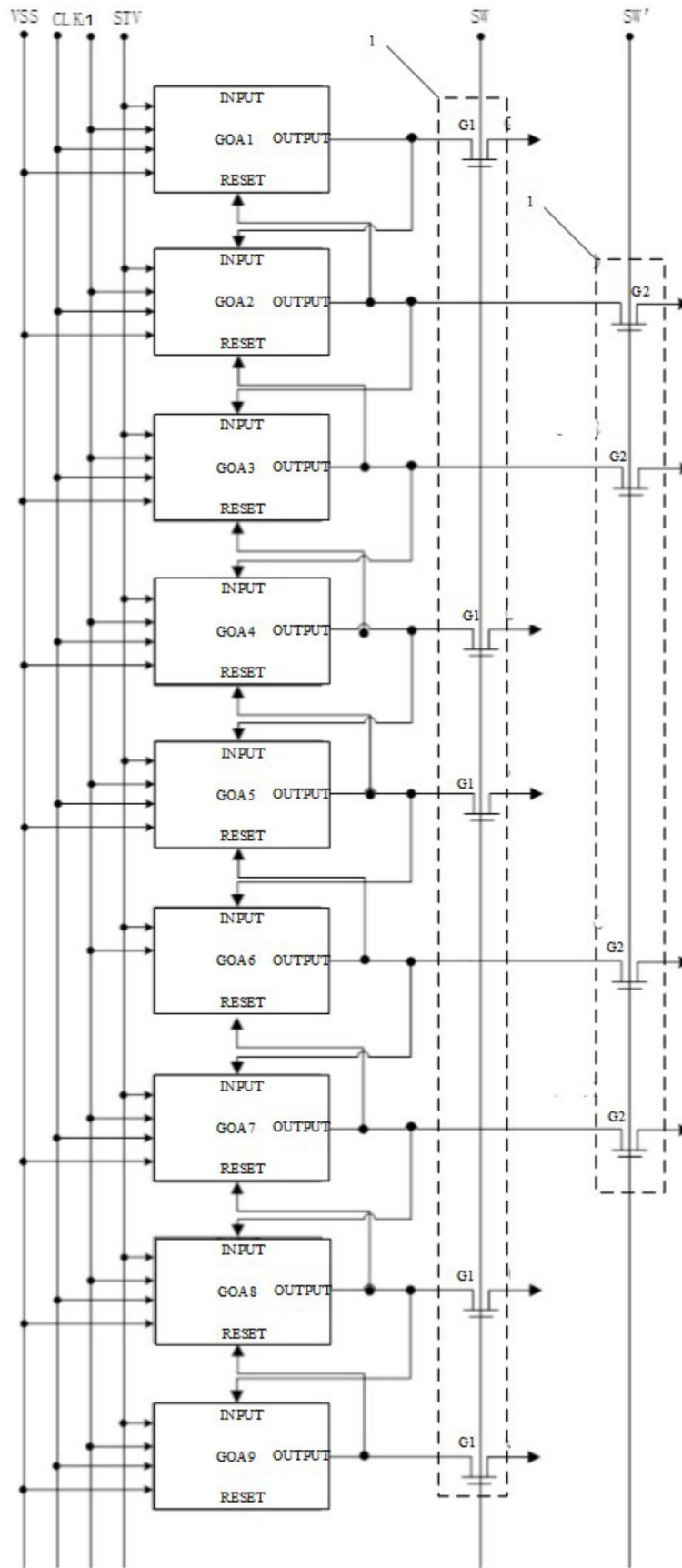


图3

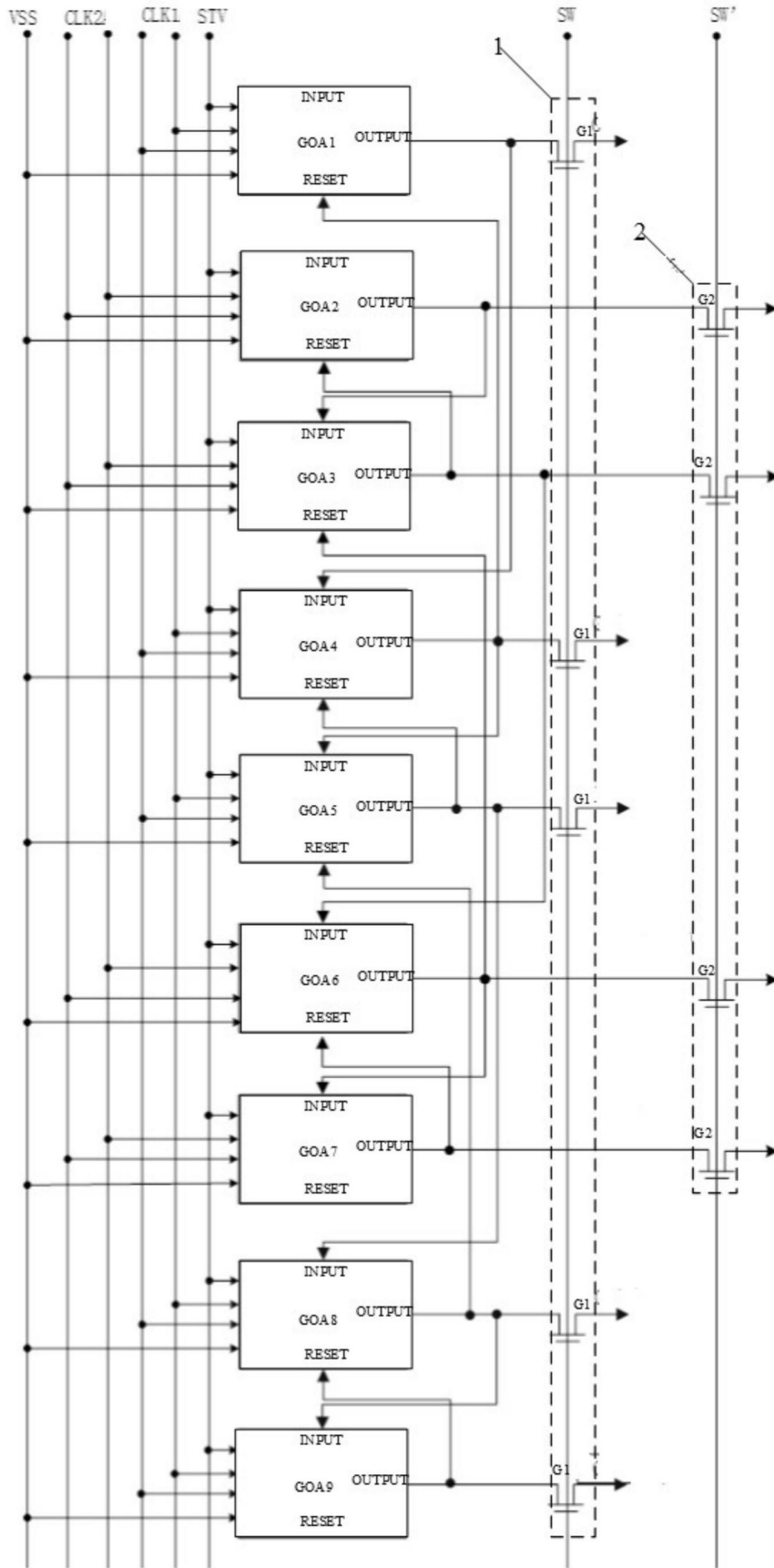


图4

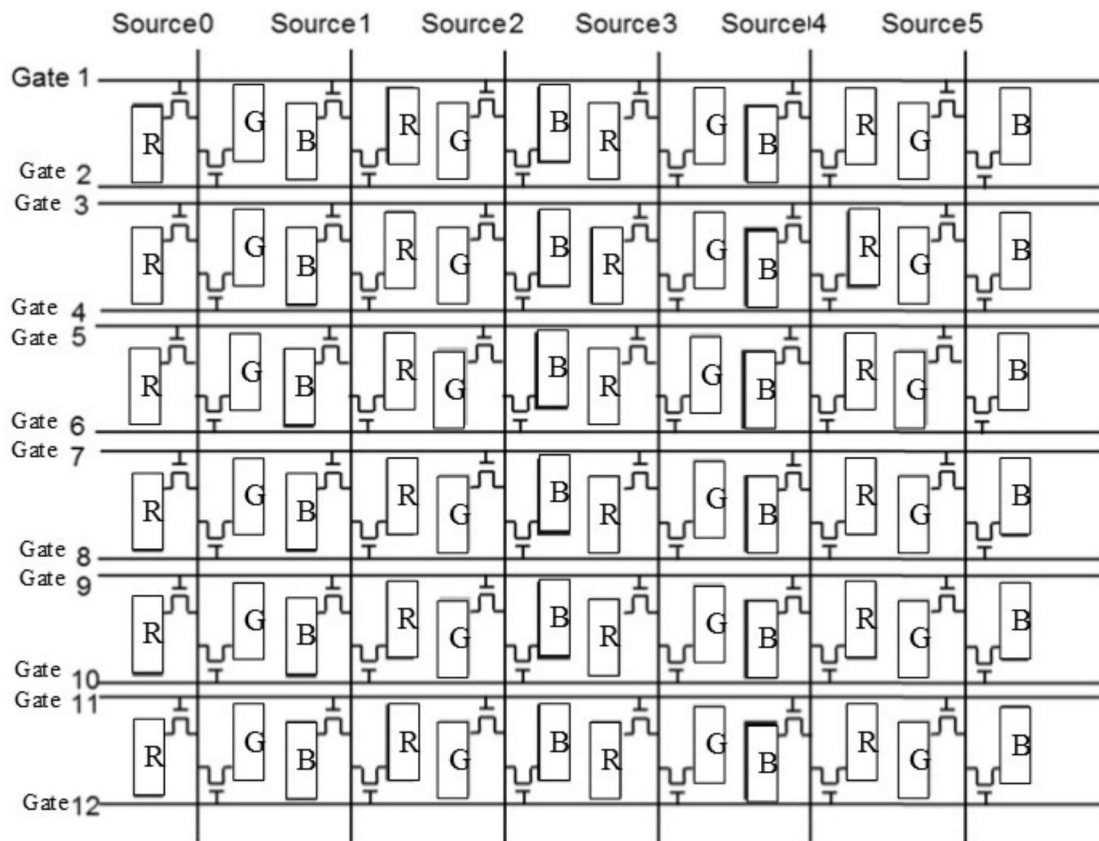


图5

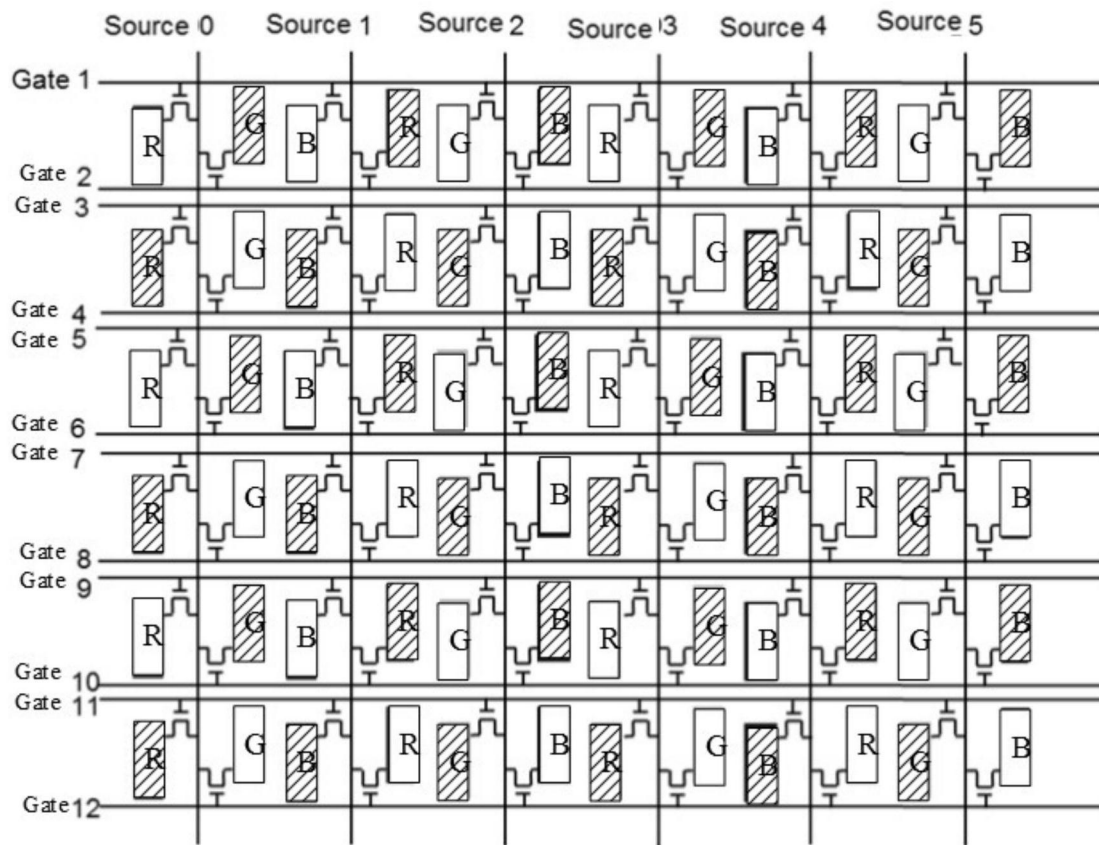


图6

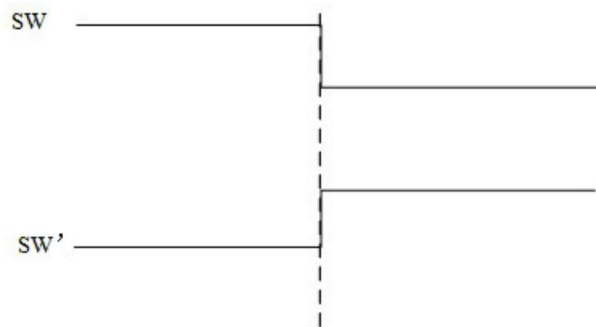


图7