



(12)发明专利

(10)授权公告号 CN 108107389 B

(45)授权公告日 2020.05.12

(21)申请号 201810031086.2

(22)申请日 2018.01.12

(65)同一申请的已公布的文献号
申请公布号 CN 108107389 A

(43)申请公布日 2018.06.01

(73)专利权人 重庆迈格威电子科技有限公司
地址 400030 重庆市沙坪坝区教院路8号

(72)发明人 徐征 朱云峰 何为 贺玉成
吴嘉敏

(74)专利代理机构 北京同恒源知识产权代理有限公司 11275

代理人 赵荣之

(51)Int.Cl.

G01R 33/36(2006.01)

(56)对比文件

CN 101413994 A,2009.04.22,

CN 102724162 A,2012.10.10,

WO 2017131594 A1,2017.08.03,

JP 2008264101 A,2008.11.06,

CN 105203976 A,2015.12.30,

李聿为.基于FPGA与DDS的磁共振成像射频脉冲发生器.《波普学杂志》.2016,第33卷(第4期),第590-596页.

Xiao Liang等.A radio-frequency source using direct digital synthesis and field programmable gate array for nuclear magnetic resonance.《Review of Scientific Instruments》.2009,第80卷(第12期),第1-5页.

审查员 程元

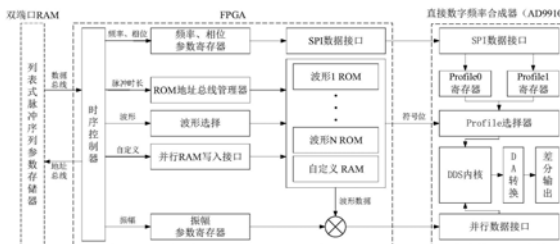
权利要求书1页 说明书4页 附图1页

(54)发明名称

基于数字调制技术的核磁共振射频脉冲发生器及控制方法

(57)摘要

本发明涉及一种基于数字调制技术的核磁共振射频脉冲发生器及控制方法,属于核磁共振技术领域。包含双端口RAM芯片,FPGA芯片和直接数字频率合成器;双端口RAM芯片连接至FPGA芯片,FPGA芯片连接至直接数字频率合成器;双端口RAM芯片用于存放核磁共振脉冲序列的脉冲参数,FPGA芯片用于读取脉冲参数并转换为数字频率合成器的控制参数,直接数字频率合成器用于在FPGA芯片的控制下生成射频脉冲信号。本发明解决了现有核磁共振射频脉冲发生器中存在的电路结构复杂,模拟调制噪声过大等问题。



1. 基于数字调制技术的核磁共振射频脉冲发生器的时序控制方法,其特征在于:该方法包含如下步骤:

S1: 在脉冲发生器上电或复位后对FPGA芯片和数字频率合成器的基础配置进行初始化;

S2: 脉冲发生器进入空闲状态,等待外部使能信号;

S3: 令双端口RAM芯片的地址 $add=add+1$,FPGA芯片读取下一个射频脉冲信号的脉冲参数,更新延时时间 t ,并选择波形存储器,将频率、相位信息写入直接数字频率合成器中对应的Profile寄存器,经过延时时间 t ,执行S4;

S4: 通过FPGA芯片的ROM地址总线管理器根据脉冲时长调整地址步进率,在脉冲发生期间均匀读取波形ROM内的包络波形文件并与振幅参数寄存器中的振幅数据做乘法运算生成并行调制数据;

S5: 并行调制数据通过直接数字频率合成器的并行接口对输出振幅实时调制,同时波形ROM内波形数据的符号位通过控制Profile寄存器的切换进行快速反相处理;

S6: 当射频脉冲完成后,进行判定,若整个脉冲序列处于已完成状态,则进行步骤S2;若整个脉冲序列处于未完成状态,则进行步骤S3。

2. 根据权利要求1所述的基于数字调制技术的核磁共振射频脉冲发生器的时序控制方法,其特征在于:步骤S5中对输出振幅实时调制具体为:

射频脉冲频率、相位的数字化调制:通过向直接数字频率合成器的两个Profile射频参数寄存器写入频率相同、相位相反的控制字,结合波形数据符号位的Profile寄存器选择功能,完成频率、初始相位的调制及波形调制过程中的快速反相操作;

射频脉冲振幅的数字化调制:将FPGA芯片的振幅参数寄存器中的振幅数据与波形数据做数字乘法运算后,通过直接数字频率合成器的并行接口实时控制射频脉冲的输出幅度;

射频脉冲波形的数字化调制:将可选波形数据存储于FPGA芯片的多个ROM存储器中,FPGA芯片的ROM地址总线管理器在系统时钟作用下控制ROM存储器中波形数据的有序输出,波形数据的数据位数据与振幅参数寄存器中的振幅数据做数字乘法运算后通过直接数字频率合成器的并行接口实时控制射频脉冲的输出幅度,其符号位数据通过控制Profile射频参数寄存器的快速切换完成波形调制过程中的快速反相操作。

3. 根据权利要求1或2所述的基于数字调制技术的核磁共振射频脉冲发生器的时序控制方法,其特征在于:所述核磁共振射频脉冲发生器包含双端口RAM芯片,FPGA芯片和直接数字频率合成器;

所述双端口RAM芯片连接至所述FPGA芯片,所述FPGA芯片连接至所述数字频率合成器;

所述双端口RAM芯片用于存放核磁共振脉冲序列的脉冲参数,所述FPGA芯片用于读取脉冲参数并转换为数字频率合成器的控制参数,所述数字频率合成器用于在所述FPGA芯片的控制下生成射频脉冲信号。

基于数字调制技术的核磁共振射频脉冲发生器及控制方法

技术领域

[0001] 本发明属于核磁共振技术领域,涉及一种基于数字调制技术的核磁共振射频脉冲发生器及控制方法。

背景技术

[0002] 射频脉冲激励是核磁共振信号产生的先决条件,对射频脉冲信号幅度、频率、相位、波形、持续时间等参数的精确控制,不仅对核磁共振的检测结果和成像质量具有显著影响,也可以通过合理的序列设计,进一步拓展核磁共振的应用范围。

[0003] 产生射频脉冲信号的硬件设备称为射频脉冲发生器。目前,射频脉冲发生器的设计多采用以下两种结构:(1)采用FPGA驱动DDS芯片或集成DDS内核的方式生成一定幅度的基频信号,同时通过读取RAM中波形调制数据生成包络信号,二者分别经DA转换后通过模拟乘法器相乘实现波形调制;(2)采用FPGA集成DDS内核的方式生成基频信号和包络信号后,首先在FPGA内部经数字乘法器进行波形调制,再经DA转换输出所需射频脉冲。前者采用模拟调制技术,开发难度较小,但硬件成本较高,且引入了过多的模拟器件,抗干扰能力差;后者采用数字调制技术,增强了抗干扰能力,降低了硬件成本,但其在完成数字化的波形调制后,对射频脉冲总体幅度的控制是通过调节DA转换器的参考电平实现的,是一种不完全的数字调制技术。

[0004] 此外,为便于扩展,现有各类商用核磁共振谱仪一般采用模块化设计,脉冲发生器和序列控制器之间需要复杂的接口电路,增加了开发难度和设计成本,且不同模块之间的时钟同步问题对信号质量带来影响。

发明内容

[0005] 有鉴于此,本发明的目的在于提供一种基于数字调制技术的核磁共振射频脉冲发生器及控制方法,解决现有核磁共振射频脉冲发生器中存在的电路结构复杂,模拟调制噪声过大等问题,并通过集成射频脉冲序列控制器的方式,简化射频脉冲发生器的接口电路。

[0006] 为达到上述目的,本发明提供如下技术方案:

[0007] 基于数字调制技术的核磁共振射频脉冲发生器,包含双端口RAM芯片,FPGA芯片和直接数字频率合成器;

[0008] 所述双端口RAM芯片连接至所述FPGA芯片,所述FPGA芯片连接至所述数字频率合成器;

[0009] 所述双端口RAM芯片用于存放核磁共振脉冲序列的脉冲参数,所述FPGA芯片用于读取脉冲参数并转换为数字频率合成器的控制参数,所述数字频率合成器用于在所述FPGA芯片的控制下生成射频脉冲信号。

[0010] 基于数字调制技术的核磁共振射频脉冲发生器的时序控制方法,该方法包含如下步骤:

[0011] S1:在脉冲发生器上电或复位后对FPGA芯片和数字频率合成器的基础配置进行初

始化；

[0012] S2:脉冲发生器进入空闲状态,等待外部使能信号；

[0013] S3:令双端口RAM芯片的地址 $add=add+1$,FPGA芯片读取下一个射频脉冲信号的脉冲参数,更新延时时间 t ,并选择波形存储器,将频率、相位信息写入直接数字频率合成器中对应的Profile寄存器,经过延时时间 t ,执行S4；

[0014] S4:通过FPGA芯片的ROM地址总线管理器根据脉冲时长调整地址步进率,在脉冲发生期间均匀读取波形ROM内的包络波形文件并与振幅参数寄存器中的振幅数据做乘法运算生成并行调制数据；

[0015] S5:并行调制数据通过直接数字频率合成器的并行接口对输出振幅实时调制,同时波形ROM内波形数据的符号位通过控制Profile寄存器的切换进行快速反相处理；

[0016] S6:当射频脉冲完成后,进行判定,若整个脉冲序列处于已完成状态,则进行步骤S2;若整个脉冲序列处于未完成状态,则进行步骤S3。

[0017] 进一步,步骤S5中对输出振幅实时调制具体为:

[0018] 射频脉冲频率、相位的数字化调制:通过向直接数字频率合成器的两个Profile射频参数寄存器写入频率相同、相位相反的控制字,结合波形数据符号位的Profile寄存器选择功能,完成频率、初始相位的调制及波形调制过程中的快速反相操作；

[0019] 射频脉冲振幅的数字化调制:将FPGA芯片的振幅参数寄存器中的振幅数据与波形数据做数字乘法运算后,通过直接数字频率合成器的并行接口实时控制射频脉冲的输出幅度；

[0020] 射频脉冲波形的数字化调制:将可选波形数据存储于FPGA芯片的多个ROM存储器中,FPGA芯片的ROM地址总线管理器在系统时钟作用下控制ROM存储器中波形数据的有序输出,波形数据的数据位数据与振幅参数寄存器中的振幅数据做数字乘法运算后通过直接数字频率合成器的并行接口实时控制射频脉冲的输出幅度,其符号位数据通过控制Profile射频参数寄存器的快速切换完成波形调制过程中的快速反相操作。

[0021] 本发明的有益效果在于:

[0022] 1、电路结构简单,整个脉冲发生器仅需双端口RAM、DDS、FPGA三块芯片及其外围电路。

[0023] 2、本发明射频脉冲的各项参数均为数字调制,最终生成的数字信号直接经DA转换后输出,相对于模拟调制方法具有更高的抗干扰能力。

[0024] 3、本发明采用专用DDS芯片进行信号调制,降低对FPGA的资源及速率要求,相对于在FPGA内部集成DDS内核的方法具有更高的运算效率。

[0025] 4、本发明通过“延时+脉冲”的可循环脉冲序列控制器,将各类脉冲序列参数列表化,并通过双端口RAM精简了射频脉冲发生器的对外接口,降低了上级单元的控制要求。

附图说明

[0026] 为了使本发明的目的、技术方案和有益效果更加清楚,本发明提供如下附图进行说明:

[0027] 图1为本发明实施例结构框图；

[0028] 图2为本发明实施例控制时序。

具体实施方式

[0029] 下面将结合附图,对本发明的优选实施例进行详细的描述。

[0030] 本发明实施例主要由一片双端口RAM芯片、一片FPGA芯片和一片AD9910芯片组成,如图1所示。双端口RAM芯片用于存放核磁共振脉冲序列的参数列表,主要包含待发射脉冲的时长、幅度、相位、频率、波形、重复次数等信息;FPGA用于读取脉冲参数并转换为AD9910所需的控制参数,从而向AD9910发送控制指令;AD9910是一片集成了14位模数转换(DAC)的直接数字频率合成(DDS)芯片,用于在FPGA控制下生成符合要求的射频脉冲信号。

[0031] AD9910是一款高性能DDS芯片,内部运行时钟为1GHz,支持高达400MHz的模拟输出,其频率、相位、幅度的分辨率分别为32bits、16bits和14bits;支持单频、并口、RAM和DRG四种调制模式,可灵活实现多种调制功能;内置一个1GSPS的14位DAC,可使射频脉冲发生器在硬件上节约一个外置DAC芯片;支持两路平衡输出,可有效抑制信号传输中的共模噪声。

[0032] 本发明实施例采用单频模式对射频脉冲的频率及相位进行数字调制,在该模式下,射频脉冲的频率和相位参数由AD9910的有效Profile寄存器直接提供,AD9910内置8个Profile寄存器,支持外部引脚对有效Profile寄存器进行快速切换。通过SPI串行接口将不同频率、相位参数写入不同的Profile寄存器,结合外部引脚的Profile选择功能,可实现最多8种射频参数的快速切换。

[0033] 本发明实施例采用并口模式对射频脉冲的输出幅度进行数字调制,在该模式下,射频脉冲的幅度参数由AD9910的高速并行接口直接提供,其数据更新率为250MHz,在射频脉冲发生期间,按照射频脉冲的包络曲线实时调制射频脉冲的输出幅度,可完成射频脉冲的波形调制。

[0034] FPGA设计运行时钟为100MHz,在序列控制器作用下有序读取存放于双端口RAM中的射频脉冲参数。其中,32bits频率参数和16bits相位参数通过SPI接口写入AD9910的Profile寄存器;振幅参数作为数字乘法器的一项参与乘法运算;波形参数用于选择存放不同包络波形的波形数据ROM存储器;ROM地址总线管理器根据脉冲时长的不同,通过调整ROM地址的步进量或步进率尽可能均匀的读出波形数据;波形数据为12位有符号型数据,表征-1~1之间的波形调制系数,其11位数据位作为数字乘法器的另一项与振幅数据相乘后生成14bits射频脉冲幅度参数,经并行接口实时调制射频脉冲的输出幅度,使其在一定脉冲强度的基础上按照包络波形的形状变化,其1位符号位通过AD9910的外置Profile选择引脚使能不同的Profile寄存器,通过在两个Profile寄存器分别写入互为反相的射频参数,即可完成包络波形过零点时射频脉冲的快速反相操作。

[0035] 射频脉冲序列的控制过程:射频脉冲各项参数的时序配合是通过FPGA内部的时序控制器来完成的,如图2所示。①初始化:硬件在上电或复位后先通过初始化阶段完成对AD9910的基础配置,主要包括AD9910的运行时钟、调制模式等功能寄存器的参数更新。与此同时,完成AD9910和FPGA各模块的初始化;②空闲:完成各模块初始化配置后,等待外部使能信号;③延时:令双端口RAM的地址加1,读取下一个射频脉冲的调制参数,更新本阶段的延时时间,完成波形存储器的选择,并通过SPI接口将频率、相位信息写入相应的Profile寄存器,当延时时间到时执行下一步骤;④脉冲发生:ROM地址总线管理器根据脉冲时长调整地址步进率,在脉冲发生期间均匀读取波形系数文件,与振幅数据做乘法运算后生成14bits并行调制数据后按100MHz的速率对射频信号进行实时调制,同时波形文件的符号位

通过控制Profile寄存器的切换进行快速反相处理。当射频脉冲完成后,执行步骤③,若整个序列已经完成,则执行步骤②。

[0036] 最后说明的是,以上优选实施例仅用以说明发明的技术方案而非限制,尽管通过上述优选实施例已经对本发明进行了详细的描述,但本领域技术人员应当理解,可以在形式上和细节上对其作出各种各样的改变,而不偏离本发明权利要求书所限定的范围。

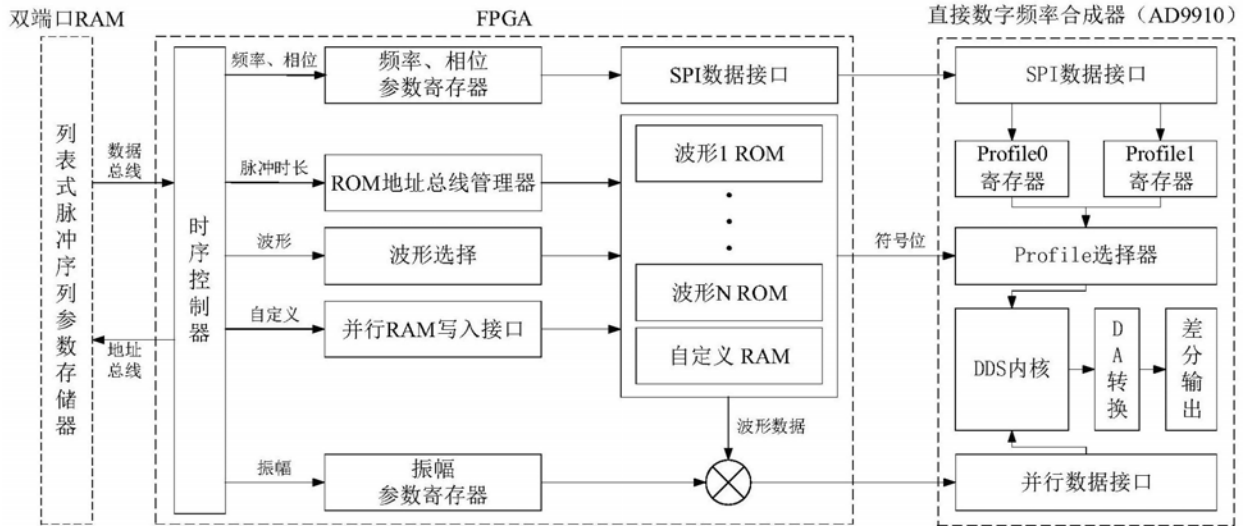


图1



图2