

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200810145511.7

[51] Int. Cl.

H01L 21/48 (2006.01)

H01L 21/50 (2006.01)

H01L 21/60 (2006.01)

H01L 23/498 (2006.01)

H01L 25/00 (2006.01)

[43] 公开日 2009年3月25日

[11] 公开号 CN 101393871A

[22] 申请日 2004.9.30

[21] 申请号 200810145511.7

分案原申请号 200410083359.6

[30] 优先权

[32] 2003.9.30 [33] JP [31] 339123/03

[71] 申请人 三洋电机株式会社

地址 日本大阪府

[72] 发明人 白井良辅 水原秀树 中村岳史

[74] 专利代理机构 北京市柳沈律师事务所

代理人 岳雪兰

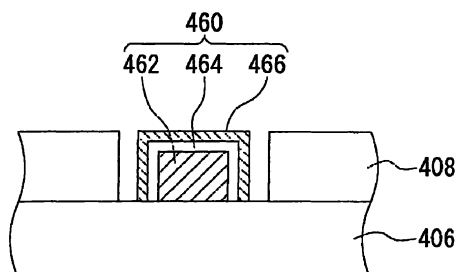
权利要求书1页 说明书7页 附图7页

[54] 发明名称

层积半导体芯片的半导体装置及其制造方法

[57] 摘要

一种层积半导体芯片的半导体装置及其制造方法。其在电极膜表面形成粘合膜，再在其上形成覆盖膜。粘合膜的构成材料使用镍、铬、钼、钨、铝及这些金属的合金等。覆盖膜的材料使用金、银、白金及这些金属的合金等。



1、一种半导体装置的制造方法，其特征在于，包括如下工序：准备含有导电路的基件的工序；形成覆盖所述基件至少一部分的绝缘膜，同时在所述基件的表面或所述绝缘膜的表面形成连接所述导电路的垫片电极的工序；在所述绝缘膜的表面及所述垫片电极的表面露出的状态下进行等离子处理的工序。

2、如权利要求1所述的半导体装置的制造方法，其特征在于，形成所述垫片电极的工序包含如下工序：在所述绝缘膜上形成电极膜的工序；以覆盖所述电极膜的方式形成密封膜的工序；以覆盖所述密封膜的方式形成覆盖膜的工序。

3、一种半导体装置的制造方法，其特征在于，包括如下工序：准备含有导电路的基件的工序；形成覆盖所述基件至少一部分的绝缘膜，同时在所述基件的表面或所述绝缘膜的表面形成连接所述导电路的垫片电极的工序；在所述绝缘膜上形成元件的工序；在所述绝缘膜的表面、所述垫片电极和所述元件的表面露出的状态下进行等离子处理的工序。

4、如权利要求3所述的半导体装置的制造方法，其特征在于，形成所述垫片电极的工序包含如下工序：在所述绝缘膜上形成电极膜的工序；以覆盖所述电极膜的方式形成密封膜的工序；以覆盖所述密封膜的方式形成覆盖膜的工序。

5、如权利要求3或4所述的半导体装置的制造方法，其特征在于，所述元件至少为半导体芯片或有源元件。

6、如权利要求1或3所述的半导体装置的制造方法，其特征在于，通过进行所述等离子处理，在所述绝缘膜的表面形成微小突起群。

7、如权利要求1或3所述的半导体装置的制造方法，其特征在于，通过进行所述等离子处理，在所述垫片电极的表面形成微小突起群。

8、如权利要求3所述的半导体装置的制造方法，其特征在于，通过进行所述等离子处理，在所述元件的表面形成微小突起群。

层积半导体芯片的半导体装置及其制造方法

本申请为三洋电机株式会社于2004年9月30日向中国专利局提交的题为“层积半导体芯片的半导体装置及其制造方法”的申请号为200410083359.6的中国专利申请的分案申请。

技术领域

本发明涉及搭载半导体芯片的半导体装置及其制造方法。

背景技术

在手机、PDA、DVC、DSC 这样的便携式电子设备加速高功能化中，要使这样的产品被市场接受必须使其小型、轻量化，为此，对高集成系统 LSI 的要求越来越高。另一方面对这些电子设备又要求使用更加便利，对于设备中的 LSI 要求高性能、高集成化。因此，随着 LSI 芯片的高集成化，其 I/O 数量增加，也增强了对封装件自身小型化的要求，为同时满足上述这两方面的要求，而强烈要求开发出适用于半导体部件的高密度衬底安装的半导体封装件。为满足这样的要求，开发被称为 CSP (Chip Size Package) 的各种封装技术。

这样封装件例如可知 BGA (Ball Grid Array)。在 BAG 中，在封装用衬底上安装半导体芯片，在将其树脂模制后，在相反侧的面上以区域状 (エリ了状) 形成作为外部端子的焊锡球。在 BGA 中，由于安装区域以面形成，故可较容易地将封装件小型化。另外，即使在电路衬底侧也不必对应狭缝，也不需要高精度的安装技术，故当使用 BGA 时，即使在封装件成本稍微高时，也可以降低整体的安装成本。

图 1 是表示例如特开平 7-183426 号公报中公开的一般 BGA 的结构示意图。BGA100 具有介由粘接层 108 将 LSI 芯片 102 搭载在玻璃环氧树脂衬底 106 上的结构。LSI 芯片 102 用密封树脂 110 进行模制。利用金属线 104 将 LSI 芯片 102 和玻璃环氧树脂衬底 106 电连接。在玻璃环氧树脂衬底 106 的背面以阵列状排列焊球 112。介由该焊球 112 将 BGA100 安装在印刷线路

板上。

在这样的封装件中，半导体芯片和配线层利用引线结合方式或倒装法连接。即，在配线层的最上部设置由金属膜成的垫片电极，利用规定的导电部件即金属线或焊锡等将该垫片电极和半导体芯片的垫片电极连接。降低该连接位置的电阻和稳定地提高连接强度，在提高合格品率及元件可靠性基础上成为又一重要技术课题。

专利文献

特开平 7-183426 号公报

通过封装件形成工艺有时不能充分得到该连接部分的电阻或强度。本发明者根据研究确定，特别是在配线层上形成元件的工序中，当采用含有等离子处理工序时，常常产生引线结合等的不合格现象。

本发明是鉴于上述问题点而开发的，其目的在于，抑制半导体封装件的半导体芯片和配线层的连接不良，提高元件可靠性及合格品率。

发明内容

关于引起半导体芯片和配线层的连接不良的主要原因，本发明者进行了专心的研讨。其结果可知，在配线层上部搭载元件的工序中，若实施使等离子处理等金属表面改性的工序，垫片电极表面改性，连接强度降低。本发明是基于此研发的。

即，本发明提供一种半导体装置，其特征在于，包括：基件；导电路，其设在基件中；绝缘膜，其覆盖基件的至少一部分；垫片电极，其设在基件表面或绝缘膜表面，连接导电路；半导体芯片，其形成在绝缘膜上；导电部件，其电连接垫片电极及半导体芯片。其中，所述绝缘膜的表面是等离子处理面，垫片电极具有电极膜及在其表面形成的导电性保护膜，导电部件的一端连接导电性保护膜。

另外，本发明提供一种半导体装置的制造方法，其特征在于，包括如下工序：准备含有导电路的基件；形成覆盖基件至少一部分的绝缘膜，同时在基件的表面或绝缘膜的表面形成连接导电路的垫片电极；在绝缘膜的表面及垫片电极的表面露出的状态下进行等离子处理。

根据本发明，由于在垫片电极表面设有导电性保护膜，故可抑制垫片电极表面的劣化。

在该半导体装置中，导电膜表面由耐等离子性材料构成。另外，利用该等离子处理也可以形成在绝缘膜表面形成微小突起群的结构。通过等离子处理绝缘膜表面提高和形成于其上部的膜的粘接性，但相反，存在着垫片电极表面发生劣化、半导体芯片和配线层接触不良的问题。根据上述结构，由于可通过导电性保护膜来抑制垫片电极表面的劣化，故可解决上述问题。

另外，上述半导体装置中，上述绝缘膜具有凹部，在所述凹部的内部设置上述垫片电极，在上述凹部的内壁和上述垫片电极的侧面之间设置缝隙部。由此，和设于绝缘膜上部的密封树脂等的粘接性变得良好。另外，在垫片电极上不容易附着绝缘膜材料的渣滓等。

本发明的导电性保护膜可包括粘合膜和覆盖膜，其中，该粘合膜在电极膜上形成，覆盖膜在该粘合膜上形成，构成导电性保护膜的最表面。

附图说明

图 1 是现有技术的封装件的结构图；

图 2 是 ISB（注册商标）的结构图；

图 3A、图 3B 是 BGA 及 ISB（注册商标）的制造工序图；

图 4 是实施例的半导体装置的结构图；

图 5A、图 5B、图 5C 是实施例的半导体装置的制造方法的图；

图 6A、图 6B 是实施例的半导体装置的制造方法的图；

图 7A、图 7B、图 7C 是实施例的半导体装置的制造方法的图。

具体实施方式

以下，说明本发明的实施方式，首先说明实施例采用的 ISB 结构。ISB（Integrated System in Board；注册商标）是根据本申请开发的特有的封装件。在以半导体裸片为核芯的电路封装件中，ISB 是具有铜形成的配线图案的同时不使用支承电路元件的芯子（基件）的特有的无芯系统内装式封装件。

图 2 是表示 ISB 的一例的结构示意图。在此，为便于理解 ISB 的整体结构，仅表示一个配线层，但实际上是多个配线层层积的结构。该 ISB 是由铜图案 205 构成的配线将 LSI 裸片 201、Tr 裸片 202 及片状 CR203 连接的结构。LSI 裸片 201 通过金属结合线 204 导通引出电极和配线。在 LSI 裸片 201 的正下方设置导电膏 206，介由该导电膏将 ISB 安装在印刷线路板上。ISB 整体由用环氧树脂等构成的树脂封装层 207 密封。另外，该图中表示的

是具有单层配线层的结构，也可采用多层配线结构。

图 3 是现有 CSP 和本发明 ISB 的制造工序对比图。图 3A 是表示现有 CSP 的制造工序。首先，在衬底上形成框架，在各框架划分的元件形成区域安装芯片。然后，对各元件通过热硬性树脂设置密封层，然后，利用模型冲切成各个元件。在最终工序的冲切中，模制树脂及衬底一起切断，存在切断面具有表面起毛等问题。另外，由于完成冲切后大量产生下脚料，存在不利于环保的问题。

另一方面，图 3B 是 ISB 制造工序图。首先，在金属箔上设置框架，在各模块形成区域形成配线图案，在其上搭载 LSI 等电路元件。然后，在每个模块上施行封装，沿划线区域进行切割，得到制品。由于在封装完成后划线工序前除去形成基底的金属箔，故在划线工序的切割中，仅切断树脂层。因此，可抑制切断面起毛，提高切割的准确性。

在采用 ISB 的结构时，得到如下优点。

(i) 由于可采用无芯安装，故可实现晶体管、IC、LSI 的小型、薄型化。

(ii) 由于可由晶体管电路形成（回路形成）系统 LSI，乃至电路形成片型电容和电阻，将其封装，故可实现高度 SIP（System in Package）。

(iii) 由于可组合现有的半导体芯片，故可在短时间内开发系统 LSI。

(iv) 在单层 ISB 结构中，半导体裸片被直接安装在正下方的铜材料上，可得到良好的放热性。

(v) 由于电路配线是铜材料而没有芯件，故形成低电容率的电路配线，可在高数据传输或高频电路中发挥优良的特性。

(vi) 由于电极埋入封装层内部，故可抑制电极材料产生粒子污染。

(vii) 由于封装尺寸自由，当将每个下脚料和 64 引脚的 SQFP 封装件比较时，为大约 1/10 的量，故可降低对环境的影响。

(viii) 可实现从搭载部件的印刷电路衬底向功能型电路衬底的新概念系统结构。

(ix) 由于 ISB 的图案设计和印刷电路衬底的图案设计一样地容易，故设备制造厂的工程师可自行设计。

以下，参照附图说明本发明的实施方式。

以下，以具有上述的 ISB 结构的半导体装置为例说明本发明的最优实施方式。图 4 是表示本实施例的半导体装置的剖面结构图。该半导体装置，把

由层间绝缘膜 405、层间绝缘膜 406 及铜构成的配线 407 构成的多个配线层形成层积层，由最上层形成抗焊料剂层 408 的多层配线结构体和其表面形成的元件 410a 及电路元件 410b 形成。在多层配线结构体的背面设置焊锡球 420。元件 410a 和电路元件 410b 由模制树脂 415 模制。

垫片电极 460 和配线 407 电连接。通过金线 470 将垫片电极 460 和元件 410a 引线结合，以倒装法将垫片电极 460 和元件 410b 连接。垫片电极 460 由铜膜和由在其表面形成的导电材料构成的等离子保护膜构成。后述等离子保护膜的结构。

构成抗焊料剂层 408、层间绝缘膜 405 及模制树脂 415 的材料可分别单独选择树脂材料，例如，BT 树脂等蜜胺电介质、液晶聚合物、环氧树脂、PPE 树脂、聚酰亚胺树脂、酚醛树脂、聚酰胺双马来酰亚胺等热硬性树脂。其中，最好使用高频特性优良的液晶聚合物、环氧树脂、BT 树脂等蜜胺电介质。也可以和这些树脂一起适量地添加填充物或添加剂。

其次，参照图 5~图 7 说明图 4 所示的半导体装置的制造方法。首先，如图 5A 所示，在金属箔 400 上的规定表面上设置通孔 404，并在其位置有选择地形成导电覆膜 402。具体地说，在由光致抗蚀剂 401 覆盖金属箔 400 后，利用电解镀敷法在金属箔 400 的露出面上形成导电覆膜 402。导电覆膜 402 的膜厚为例如 1~10 μm 程度。由于该导电覆膜 402 最终成为半导体装置的背面电极，故最好使用与焊锡等焊材的粘接性优良的金或银形成。

如图 5B 所示，在金属箔 400 上形成第一层配线图案。首先，化学研磨金属箔 400，进行表面的清洗和表面粗化。其次，在金属箔 400 上由热硬性树脂覆盖导电覆膜 402 的整个面，并使其加热硬化，形成具有平坦表面的膜。然后，在该膜中形成到达导电覆膜 402 的直径 100 μm 左右的通孔。作为设置通孔的方法，在本实施例中使用激光加工，但也可以使用机械加工、药液的化学蚀刻加工、等离子的干蚀法等。之后，在利用激光照射除去蚀刻渣滓后，整面形成填充通孔 404 的铜涂敷层。然后，以光致抗蚀剂 401 为掩膜，蚀刻铜涂敷层，形成由铜构成的配线 407。例如，可在从抗蚀剂露出的位置喷涂化学蚀刻液，蚀刻除去不要的铜箔，形成配线图案。

如上所述，通过反复顺次进行形成层间绝缘膜 405、通孔、铜涂敷层及铜涂敷层的图案的工序，如图 5C 所示，形成层积配线 407 及由层间绝缘膜 405、406 构成的配线层的多层配线结构。

然后,如图 6A 所示,形成垫片电极 460 和在该垫片电极 460 的形成区域具有开口部的抗焊料剂层 408,并在抗焊料剂层 408 上形成元件 410a 及电路元件 410b。抗焊料剂层 408 由焊锡等耐热性优良的绝缘材料构成。例如,可使用环氧树脂等。元件 410a 及电路元件 410b 可使用晶体管、二极管、IC 芯片等半导体芯片或片状电容、片状电阻等无源元件。另外,也可以安装 CPS、BGA 等倒装的半导体元件。在本实施例中,元件 410a 是半导体裸片(晶体管芯片),电路元件 410b 是片状电容。这些被固定在光致抗蚀剂层 408 上。

参照图 7 说明图 6A 所示结构的形成工序。首先,在层间绝缘膜 406 上形成铜膜后,进行图案形成,形成电极膜 462。然后,采用选择涂敷法在电极膜 462 的表面形成粘合膜 464,在其上还形成覆盖膜 466。粘合膜 464 的材料例如镍、铬、钼、钨、铝及这些金属的合金等。覆盖膜 466 的材料例如金、银、铂及这些金属的合金等。每个膜是单层多层皆可。其次,在层间绝缘膜 406 的表面粘贴光致抗蚀剂片,通过热压形成光致抗蚀剂层 408。然后,进行曝光及显影,使形成电极膜 462 的位置开口。在电极膜 462 侧壁和光致抗蚀剂层 408 开口部内壁之间设置缝隙部。另外,在本实施例中,使用环氧树脂片形成环氧树脂的光致抗蚀剂层 408,但不限于此,也可以使用各种材料。

在电极膜 462 为铜或铜铝合金时,作为最好的粘合膜 464 和覆盖膜 466 组合,例如由镍构成的粘合膜 464 及由金构成的覆盖膜 466。在本实施例中使用该组合。

这样,在电极膜 462 上形成垫片电极 460,该垫片电极 460 形成以层积粘合膜 464→覆盖膜 466 这样的顺序形成的等离子保护膜。在该结构中,覆盖膜 466 有助于提高等离子体的耐性,粘合膜 464 有助于提高覆盖膜 466 和电极膜 462 的粘接性。如上所述,可得到图 6A 所示的结构。

然后,在图 6A 的状态下进行等离子处理。等离子照射的条件对应使用的树脂材料适宜设定,以形成上述的微小突起。另外,最好不对衬底施加偏压。例如,为如下条件。

偏压:不施加

等离子气体:氩气 10~20sccm、氧气 0~10sccm

通过该等离子照射净化配线 407 的表面,将光致抗蚀剂层 408 的表面改

性，同时将由聚酰亚胺保护膜构成的元件 410 的表面改性，在这些表面上形成微小突起。在光致抗蚀剂层 408 的表面及元件 410 的表面形成平均直径 1 ~ 10nm、数密度 $1 \times 10^3 \mu\text{m}^{-2}$ 左右的微小突起群。

其次，如图 6B 所示，在使用金属线 470 将元件 410a 和垫片电极 460 引线结合后，利用模制树脂 415 将这些进行模制。图 6B 表示模制的状态。半导体元件的模制相对设于金属箔 400 上的多个模块使用模型同时进行。该工序可通过传递模、注入模、浇注或浸渍来实现。作为树脂材料，环氧树脂等热硬性树脂可通过传递模或浇注来实现，聚酰亚胺树脂、聚苯硫化物等热塑性树脂可通过注入模来实现。

然后，从图 6B 的状态除去金属箔 400，在背面形成焊锡球。金属箔 400 的除去可通过研磨、研削、蚀刻、激光金属蒸发等进行。在本实施例中采用以下方法。即，利用研磨装置或研削装置将金属箔 400 的整个面研削 $50 \mu\text{m}$ 左右，并利用化学湿蚀除去残留的金属箔 400。另外，也可以利用湿蚀除去整个金属箔 400。通过这样的工序，在和搭载半导体元件侧相对的一侧的面上形成露出第一层配线 407 的背面的结构。由此，由本实施例得到的模块的背面形成得平坦，在安装半导体装置时，利用焊锡等表面张力就这样水平移动，得到可容易地自调整这样工艺上的优点。

其次，在通过除去金属箔 400 露出的导电覆膜 402 上覆盖焊锡等导电材料，形成焊锡球 420，通过切割完成图 4 所示的半导体装置。然后，通过切割切断晶片，得到半导体装置芯片。直至进行到上述的金属箔 400 的除去工序，金属箔 400 形成支承衬底。金属箔 400 也可以在配线 407 形成时的电镀工序中用作电极。另外，在将模制树脂 415 模制时，向模型搬运安装的作业性良好。

本实施例的半导体模块在图 6A 的工序中，进行氩等离子处理，将光致抗蚀剂层 408 表面及元件 410 表面改性，形成微小突起。因此，这些和模制树脂 415 之间的界面粘接性明显得以改善，提高合格品率及元件可靠性。

另外，由于即使进行这样的等离子处理，垫片电极 460 的表面也不劣化，故可抑制引线结合工序中的半导体芯片和配线层的连接不良等产生，实现高的可靠性和良好的合格品率。

以上，参照附图叙述了本发明的实施方式，这些是本发明的示例，但也可以采用上述以外的各种结构。

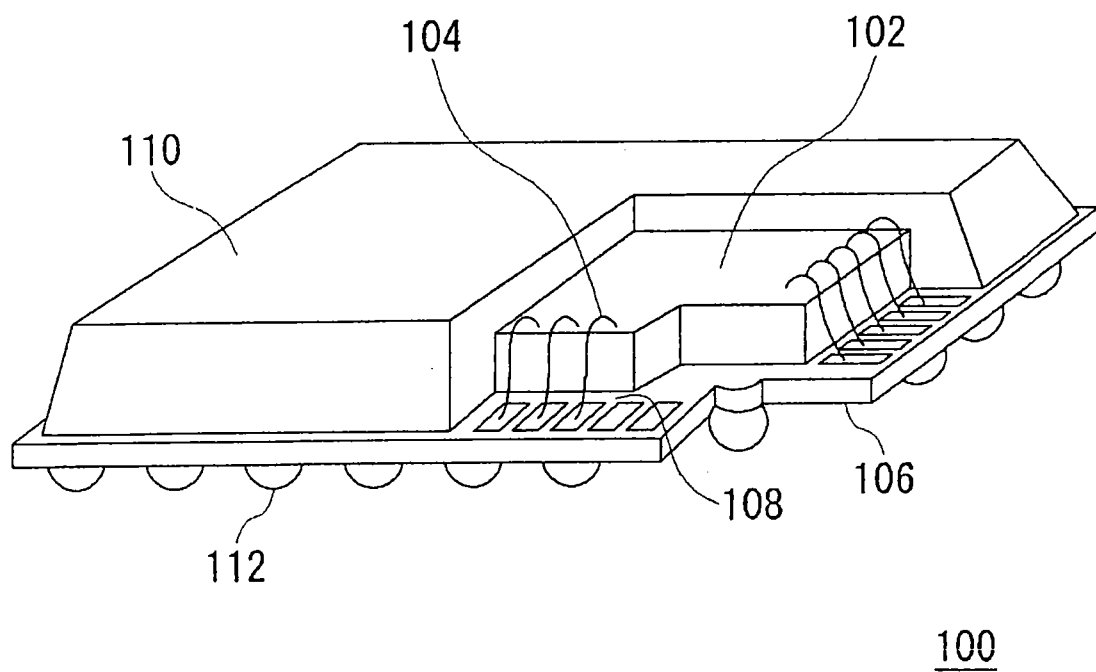


图 1

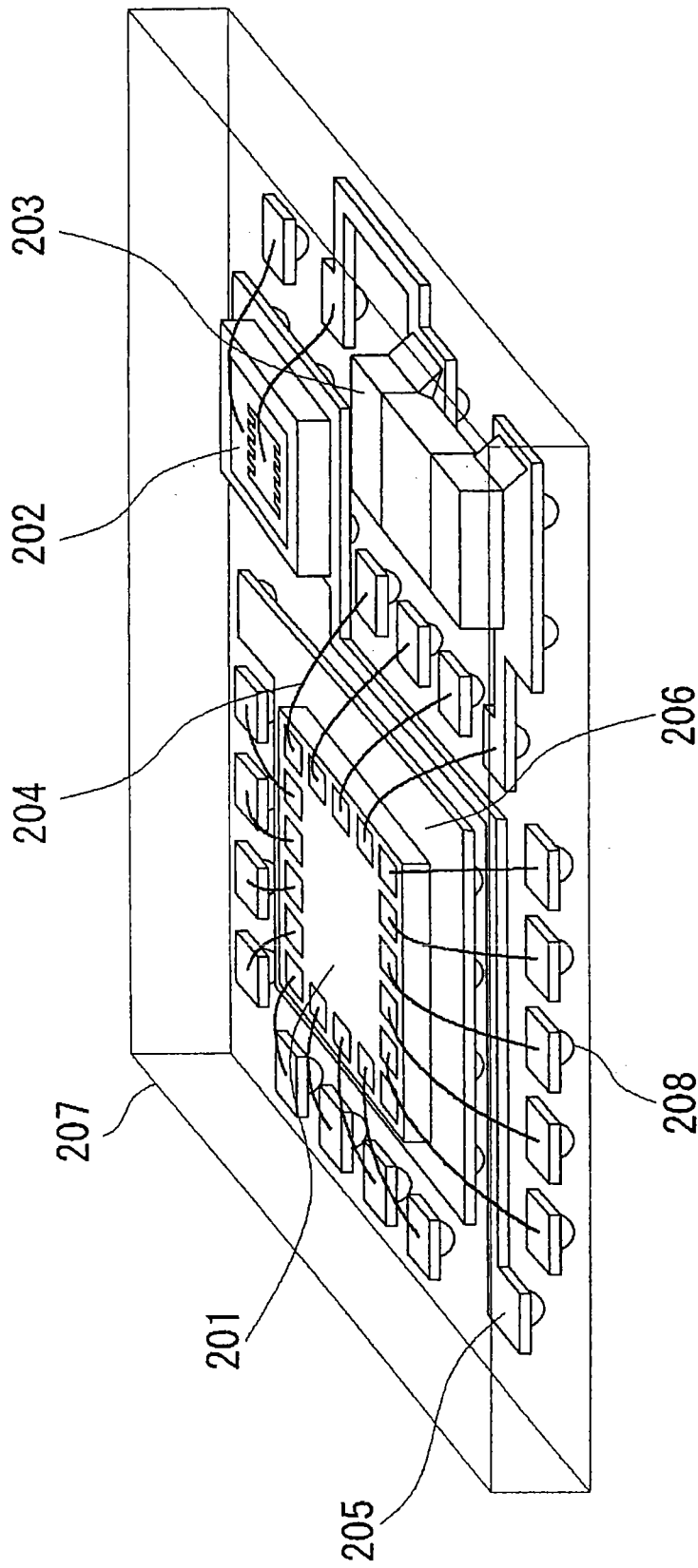


图 2

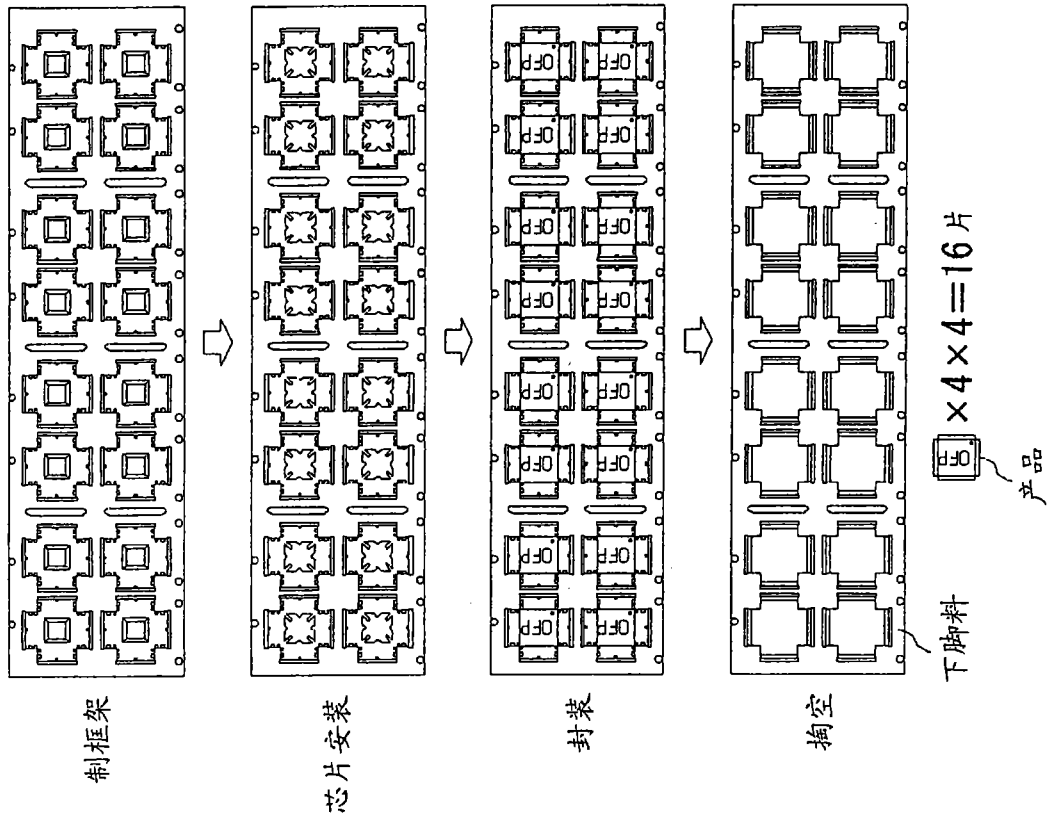


图 3A

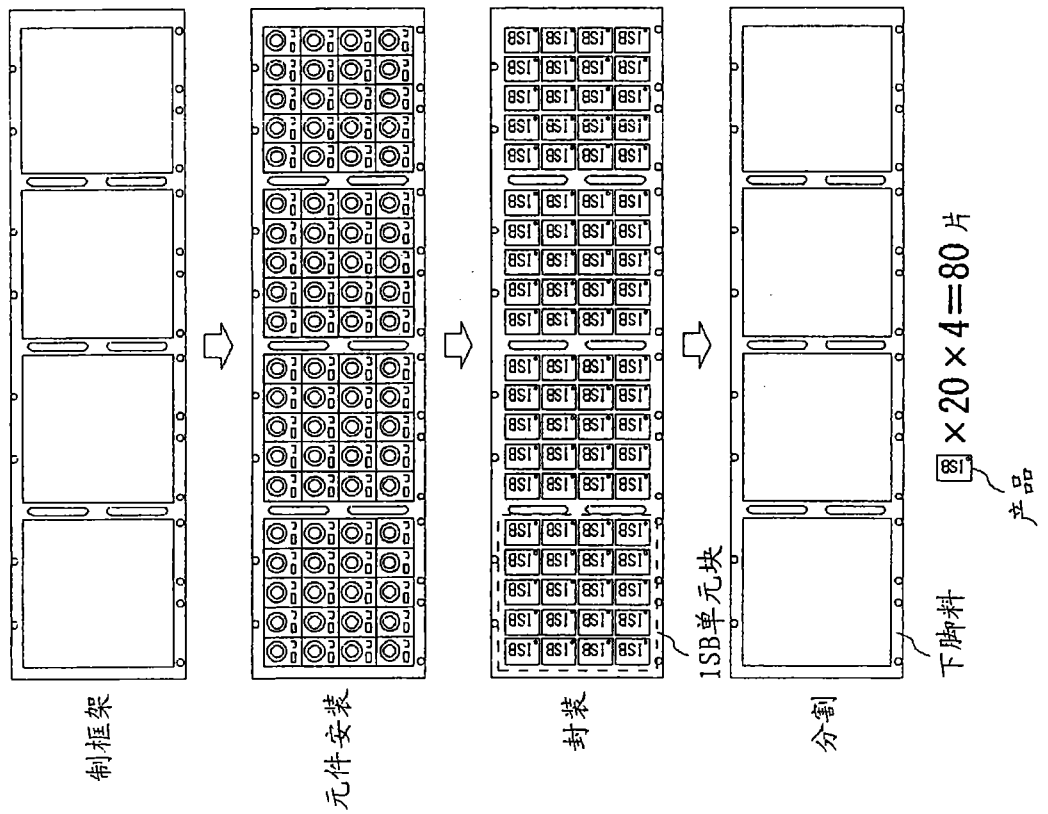


图 3B

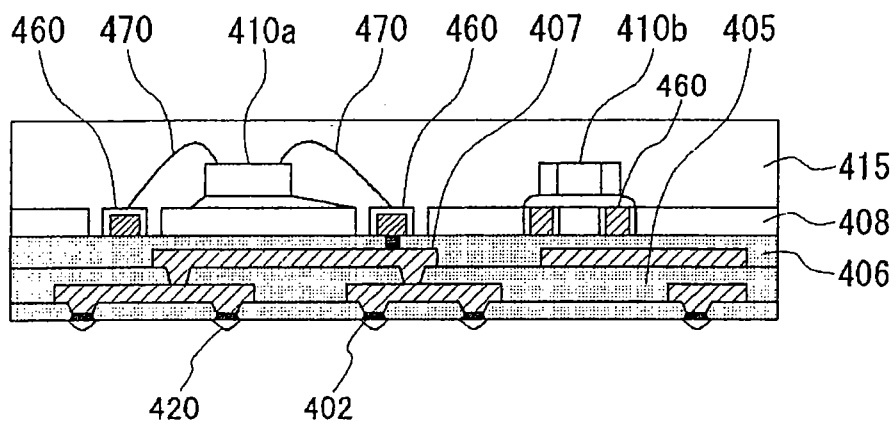


图 4

