

# (19)대한민국특허청(KR)

## (12) 등록특허공보(B1)

(51) 。 Int. Cl. <i>H01L 27/115</i> (2006.01)	(45) 공고일자 2006년07월07일 (11) 등록번호 10-0598049 (24) 등록일자 2006년06월30일
---	--

(21) 출원번호	10-2004-0086765	(65) 공개번호	10-2006-0037722
(22) 출원일자	2004년10월28일	(43) 공개일자	2006년05월03일

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	서보영 경기 안양시 동안구 호계3동 967-47 안양빌라 가동 306호  전희석 경기 화성시 태안읍 병점리 주공4단지 404동 501호  강성택 서울 송파구 가락2동 쌍용아파트 303-1707
(74) 대리인	정상빈 김동진
(56) 선행기술조사문헌	JP2001223284 A KR1020020036731 A * 심사관에 의하여 인용된 문헌
	JP2001230332 A KR1020020073959 A

심사관 : 김기현

### (54) 멀티 비트 비휘발성 메모리 셀을 포함하는 반도체 소자 및그 제조 방법

**요약**

멀티 비트 비휘발성 메모리 셀을 포함하는 반도체 소자가 제공된다. 반도체 소자는 소오스 및 드레인 터미널이 각각 공유 되고, 각각의 콘트롤 전압에 연결되는 복수의 트랜지스터들을 구비하는 단위 셀을 포함한다. 따라서, 복수의 트랜지스터별로 문턱 전압 쉬프트가 가능하여 단위 셀당 멀티 비트 저장이 가능하게 된다. 멀티 비트 비휘발성 메모리 셀을 포함하는 반도체 소자의 제조 방법 또한 제공된다.

**대표도**

도 2

**색인어**

멀티 비트, 비휘발성 메모리, 3차원 반도체 바디

## 명세서

### 도면의 간단한 설명

도 1은 본 발명의 실시예들에 따른 반도체 소자를 구성하는 멀티 비트 비휘발성 메모리 셀의 등가회로도이다.

도 2는 본 발명의 제1 실시예에 따른 반도체 소자를 구성하는 멀티 비트 비휘발성 메모리 셀의 사시도이다.

도 3은 도 2의 III-III'선을 따라 자른 단면도이다.

도 4는 본 발명의 제2 실시예에 따른 반도체 소자를 구성하는 멀티 비트 비휘발성 메모리 셀의 단면도이다.

도 5은 본 발명의 실시예들에 따른 멀티 비트 비휘발성 메모리 셀들로 이루어진 반도체 소자의 셀 어레이의 일부 등가회로도이다.

도 6은 도 5의 등가회로도를 구현하기 위한 레이아웃도이다.

도 7a 및 도 7b는 도 6의 A-A'선 및 B-B'선을 따라 자른 단면도들이다.

도 8 내지 도 12는 도 7a 및 도 7b에 도시되어 있는 반도체 소자의 제조 공정 중간 단계별 단면도들이다.

(도면의 주요 부분에 대한 부호의 설명)

10: 기판 12: 소자분리영역

14: 반도체 바디 16: 전하축적영역

20, 30: 측벽 콘트롤 게이트 40: 상면 콘트롤 게이트

50: 층간절연막 60: 콘택

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 보다 상세하게는 멀티비트 비휘발성 메모리 셀을 구비하는 반도체 소자 및 이의 제조 방법에 관한 것이다.

전원의 공급이 중단되어도 기억한 정보를 그대로 유지하는 비휘발성 메모리 소자 중 메모리 셀의 기록 및 소거를 전기적 방법으로 행할 수 있으며, 메모리 셀의 소거를 일제히 행할 수 있는 플래쉬 EEPROM에 대한 수요가 급증하고 있다. 나아가, 플래쉬 EEPROM의 고집적화 및 메가바이트당 제조 단가의 저가화(lower cost per Mbyte) 요구 또한 증대하고 있다. 이와 같은 요구에 부응하기 위하여 멀티 비트 트랜지스터로 이루어진 플래쉬 EEPROM이 개발되었다.

최근까지 개발된 멀티 비트 트랜지스터는 다단계의 문턱 전압 레벨을 설정하고 각각의 문턱 전압 레벨이 각각의 다른 상태를 표현하게 한다. 그런데 플래시 EEPROM에 다단계의 문턱 전압 레벨을 설정하기 위해서는 초기 소거 처리를 실행하고, 모든 메모리 셀의 문턱전압을 최소 문턱전압 이하로 할 필요가 있다. 그 뒤에 소정의 쓰기 작업 순서에 따라 각각의 메모리 셀의 문턱전압을 각각의 목표 문턱 전압에까지 상승시켜야 한다. 따라서, 쓰기 작업전에 항상 피드백이 필요하고 기록은 상당한 시간이 걸린다.

또, 이 다단계 문턱 전압법을 이용한다면 동작 허용 윈도우(window)가 좁혀진다. 이것은 각 상태의 허용 폭이 좁아진다는 것이다. 그 때문에 제작한 칩의 양품율이 저하되고 품질도 저하된다. 만약 동작 허용 윈도우를 넓히기 위해서 동작 전압을 높이면 신뢰성의 저하를 가져오고 메모리 셀간의 간섭도 증대시키기 때문에 이 또한 바람직하지 않다.

**발명이 이루고자 하는 기술적 과제**

본 발명이 이루고자 하는 기술적 과제는 안정적인 동작이 가능한 멀티 비트 비휘발성 메모리 셀을 구비하는 비휘발성 반도체 소자를 제공하고자 하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 상기 멀티 비트 비휘발성 메모리 셀을 구비하는 비휘발성 반도체 소자의 제조 방법을 제공하고자 하는 것이다.

본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**발명의 구성 및 작용**

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 멀티 비트 비휘발성 메모리 셀을 포함하는 비휘발성 반도체 소자는 소오스 및 드레인 터미널이 각각 공유되는 복수의 트랜지스터들을 구비하는 단위 셀을 포함하되, 상기 복수의 트랜지스터들은 각각의 콘트롤 전압에 연결되어 상기 복수의 트랜지스터별로 문턱 전압 쉬프트가 가능하여 상기 단위 셀 당 멀티 비트 저장이 가능하다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 멀티 비트 비휘발성 메모리 셀을 포함하는 비휘발성 반도체 소자는 기관 상에 일 방향으로 연장되어 형성된 3차원 반도체 바디, 상기 3차원 반도체 바디의 둘레를 따라 상기 3차원 반도체 바디 내에 형성된 채널 영역, 상기 채널 영역 상에 형성된 전하축적영역, 상기 전하축적영역상에 형성되고 독립적으로 전압이 인가되는 복수의 콘트롤 게이트, 및 상기 복수의 콘트롤 게이트의 양측에 정렬되어 상기 3차원 반도체 바디 내에 형성된 소오스 및 드레인 영역을 구비하는 멀티 비트 비휘발성 메모리 단위 셀을 포함한다.

상기 기술적 과제를 달성하기 위한 본 발명의 또 다른 실시예에 따른 멀티 비트 비휘발성 메모리 셀을 포함하는 비휘발성 반도체 소자는 일방향으로 연장되어 형성된 복수의 평행한 3차원 반도체 바디와 상기 일방향과 수직한 타방향으로 연장되어 형성된 복수의 평행한 3차원 반도체 바디가 서로 연결되어 이루어진 그리드 형태의 3차원 반도체 바디, 상기 일방향으로 연장되어 형성된 3차원 반도체 바디의 둘레를 따라 상기 3차원 반도체 바디의 일부 영역 내에 형성된 채널 영역, 상기 채널 영역 상에 형성된 전하축적영역, 상기 전하축적영역상에 형성되고 독립적으로 전압이 인가되는 복수의 콘트롤 게이트, 및 상기 복수의 콘트롤 게이트의 양측에 정렬되어 상기 반도체 바디내에 형성된 소오스 및 드레인 영역을 각각 구비하는 멀티 비트 비휘발성 메모리 단위 셀의 쌍을 포함하되, 상기 단위 셀 쌍은 상기 소오스 영역을 공유하고, 상기 소오스 영역은 상기 그리드의 교차점에 형성되는 메모리 셀 어레이를 포함한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 멀티 비트 비휘발성 메모리 셀을 포함하는 비휘발성 반도체 소자의 제조 방법은 기관 상에 일 방향으로 연장되어 형성된 3차원 반도체 바디를 형성하는 단계, 상기 반도체 바디의 둘레를 따라 상기 3차원 반도체 바디 내에 채널 영역을 형성하는 단계, 상기 채널 영역 상에 전하축적영역을 형성하는 단계, 상기 전하축적영역상에 독립적으로 전압이 인가되는 복수의 콘트롤 게이트를 형성하는 단계, 및 상기 3차원 반도체 바디 내에 상기 복수의 콘트롤 게이트의 양측에 정렬된 소오스 및 드레인 영역을 형성하는 단계를 포함한다.

기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 따라서, 몇몇 실시예에서, 잘 알려진 공정 단계들, 잘 알려진 소자 구조 및 잘 알려진 기술들은 본 발명이 모호하게 해석되어지는 것을 피하기 위하여 구체적으로 설명되지 않는다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 나아가, 여기에 설명되고 예시되는 각 실시예는 그것의 상보적인 실시예도 포함한다.

도 1은 본 발명의 실시예들에 따른 반도체 소자를 구성하는 멀티 비트 비휘발성 메모리 셀의 증가회로도이다.

도 1에 도시되어 있는 바와 같이 본 발명에 따른 반도체 소자를 구성하는 멀티 비트 비휘발성 메모리 셀은 복수의 트랜지스터들(T1, T2, ..., Tn)이 병렬로 연결되어 하나의 단위 셀을 구성한다.

구체적으로, 복수의 트랜지스터들(T1, T2, ..., Tn)은 각각의 콘트롤 게이트(CG1, CG2, ..., CGn)와 그 하부의 전하축적영역(CSR1, CSR2, ..., CSRn)으로 이루어진다. 전하축적영역(CSR1, CSR2, ..., CSRn)은 ONO 구조로 대표되는 터널링 절연막, 전하 트랩막, 블록킹막으로 이루어진 플로팅 트랩 구조 또는 터널링 절연막, 플로팅 게이트 및 게이트간 절연막으로 이루어진 플로팅 게이트 구조로 이루어질 수 있다.

그리고, 복수의 트랜지스터들(T1, T2, ..., Tn)의 소오스(S) 및 드레인(D) 터미널은 각각 병렬 연결된다. 각각의 콘트롤 게이트(CG1, CG2, ..., CGn)는 각각의 콘트롤 전압(CV1, CV2, ..., CVn)에 연결된다. 따라서, 복수의 트랜지스터(T1, T2, ..., Tn) 별로 전하축적영역(CSR1, CSR2, ..., CSRn), 예컨대 플로팅 게이트 또는 전하 트랩막에 전하를 축적할 수 있다. 전하 축적에 의해 복수의 트랜지스터(T1, T2, ..., Tn) 별로 문턱 전압 쉬프트가 되도록 하여 각 트랜지스터(T1, T2, ..., Tn) 별로 프로그램하는 것이 가능하다. 그러므로, 복수의 트랜지스터(T1, T2, ..., Tn)별로 구동하는 전류들(I1, I2, ..., In)이 다르다면 2 비트 이상 n 비트 이하 저장이 가능하게 된다.

복수의 트랜지스터들이 3개인 경우(T1, T2, T3)를 예로 들어 3 비트 데이터 저장 방식을 설명한다.

먼저, 프로그램은 선택된 트랜지스터들(T1, T2 또는 T3)의 드레인(D)과 소오스(S) 사이에 포화된 채널 영역이 형성되도록 하여 열 전자가 선택된 전하축적영역(CSR1, CSR2 또는 CSR3)에 축적되도록 하는 CHEI(Channel Hot Electron Injection) 방식에 따라 선택된 트랜지스터(T1, T2 또는 T3)의 문턱 전압이 쉬프트되도록 한다. 따라서, 프로그램시에는 드레인(D)에는 3-6V, 예컨대 6V의 전압을 선택된 콘트롤 게이트(CG1, CG2, 또는 CG3)에는 5-10V, 예컨대 7V의 전압을 인가하고, 소오스(S)와 메모리 셀이 형성되는 기판에는 접지 전압을 인가할 수 있다. 각 트랜지스터들(T1, T2, T3)이 프로그램된 경우를 “온(on)” 프로그램되지 않은 경우를 “오프(off)”로 기술한다.

이와 같이 프로그램된 각 트랜지스터들(T1, T2, T3)의 읽기 동작 시에는 각 트랜지스터들(T1, T2, T3)이 프로그램되기 전에 가지고 있던 특정 문턱 전압보다는 크고 프로그램된 트랜지스터들(T1, T2 또는 T3)의 문턱 전압 보다는 작은 읽기 전압(Vread)을 콘트롤 게이트(CG1, CG2, CG3)에 인가하고, 소오스(S)에는 접지 전압을 드레인(D)에는 적정 바이어스 전압을 인가한다. 예컨대, 콘트롤 게이트(CG1, CG2, CG3)에는 1 ~ 2 V 정도의 전압을 인가하고 드레인(D)에는 0.4 ~ 1 V 정도의 전압을 인가할 수 있다. 전하축적영역(CSR1, CSR2 또는 CSR3)에 전하들이 축적되어 문턱전압이 쉬프트된 경우, 즉 프로그램 “온(on)”된 경우에는 드레인(D)과 소오스(S) 사이에 채널이 유기되지 않아서 전류가 흐르지 않는다. 반면 전하축적영역(CSR1, CSR2 또는 CSR3)에 전하들이 축적되어 있지 않은 경우, 즉 프로그램 “오프(off)”된 경우에는 드레인(D)과 소오스(S) 사이에 채널이 유기되어 전류가 흐른다.

프로그램 “오프(off)”된 트랜지스터(T1, T2, T3)에 의해 유기되는 전류의 크기를 각각 I1, I2, I3라 하면 아래 표 1과 같이 데이터를 저장하는 것이 가능해지게 된다.

[표 1]

트랜지스터 프로그램 상태			드레인 검출전류량	전류레벨	데이터
T1	T2	T3			
온(on)	온(on)	온(on)	0	Icell_0	000
온(on)	온(on)	오프(off)	I3	Icell_1	001
온(on)	오프(off)	온(on)	I2	Icell_2	010
오프(off)	온(on)	온(on)	I1	Icell_3	011
온(on)	오프(off)	오프(off)	I2+I3	Icell_4	100
오프(off)	온(on)	오프(off)	I1+I3	Icell_5	101
오프(off)	오프(off)	온(on)	I1+I2	Icell_6	110
오프(off)	오프(off)	오프(off)	I1+I2_I3	Icell_7_	111

즉, 복수의 트랜지스터들(T1, T2, T3)의 문턱 전압 쉬프트 여부에 따라 읽기 동작시 드레인(D) 터미널에 검출되는 전류가 Icell\_0 내지 Icell\_7의 8 레벨로 검출될 수 있다. 따라서, 8레벨의 드레인 전류 별로 논리 회로를 사용하여 000, 001, 010, 011, 100, 101, 110 또는 111 데이터를 출력하도록 할 수 있다. 또, 8레벨의 전류중 임의의 4 레벨의 전류를 선택하여 00, 01, 10, 11의 데이터를 출력하도록 할 수도 있다.

한편, 프로그램 오프(off)된 트랜지스터들(T1, T2, T3)에 의해 유기되는 전류의 크기가 I1=I2=I3인 관계가 성립되는 경우에는 아래 표 2와 같은 동작 방식이 가능해진다.

[표 2]

트랜지스터 프로그램 상태			드레인 검출전류량	전류레벨	데이터
T1	T2	T3			
온(on)	온(on)	온(on)	0	Icell_0	00
온(on)	온(on)	오프(off)	I3 =	Icell_1	01
온(on)	오프(off)	온(on)	I2 =		
오프(off)	온(on)	온(on)	I1		
온(on)	오프(off)	오프(off)	I2+I3 =	Icell_2	10
오프(off)	온(on)	오프(off)	I1+I3 =		
오프(off)	오프(off)	온(on)	I1+I2		
오프(off)	오프(off)	오프(off)	I1+I2+I3	Icell_3	11

즉, 복수의 트랜지스터들(T1, T2, T3)의 문턱 전압 쉬프트 여부에 따라 읽기 동작시 드레인(D) 터미널에 검출되는 전류가 전류가 Icell\_0 내지 Icell\_3의 4 레벨로 검출될 수 있다. 따라서, 4레벨의 드레인 전류 별로 논리 회로를 사용하여 00, 01, 10, 11의 데이터를 출력하도록 할 수도 있다.

또, 3개의 트랜지스터(T1, T2, T3) 중 프로그램 “오프(off)”된 두개의 트랜지스터에 의해 유기되는 전류가 동일하고 나머지 하나가 다른 경우에는 다음 표3과 같은 동작이 가능하다. 아래 표 3은 I3와 I2가 동일한 경우를 가정하였으나, I1, I2, I3 중 어느 두개의 전류가 같은 경우라도 모두 적용가능하다.

[표 3]

트랜지스터 프로그램 상태			드레인 검출전류량	전류레벨
T1	T2	T3		
온(on)	온(on)	온(on)	0	Icell_0
온(on)	온(on)	오프(off)	I3=	Icell_1
온(on)	오프(off)	온(on)	I2	
오프(off)	온(on)	온(on)	I1	Icell_2
온(on)	오프(off)	오프(off)	I2+I3	Icell_3
오프(off)	온(on)	오프(off)	I1+I3 =	Icell_4
오프(off)	오프(off)	온(on)	I1+I2	
오프(off)	오프(off)	오프(off)	I1+I2_I3	Icell_5_

즉, 복수의 트랜지스터들(T1, T2, T3)의 문턱 전압 쉬프트 여부에 따라 읽기 동작시 드레인(D) 터미널에 검출되는 전류가 Icell\_0 내지 Icell\_5의 6 레벨로 검출될 수 있다. 따라서, 6레벨의 드레인 전류 중 임의의 4 레벨의 전류를 선택하여 00, 01, 10, 11의 데이터를 출력하도록 할 수도 있다.

도 1에 도시되어 있는 등가회로도에 따른 멀티 비트 비휘발성 메모리 셀은 평면 트랜지스터 셀 또는 비평면 트랜지스터 셀로 구현될 수 있다. 평면 트랜지스터 셀의 경우에는 평면 채널 영역 상에 서로 독립적으로 구동되는 복수의 트랜지스터들이 병렬로 배열된 경우를 지칭한다. 비평면 트랜지스터 셀은 3차원 반도체 바디 내에 형성된 3차원 채널 영역을 따라 서로 독립적으로 구동되는 복수의 트랜지스터들이 병렬로 배열된 경우를 지칭한다. 반도체 소자의 고집적화 관점에서 보다 작은 면적을 차지하는 비평면 트랜지스터 셀이 경쟁력이 있으므로 이하의 실시예들에서는 3차원 반도체 바디를 사용하여 구현한 멀티 비트 비휘발성 메모리 셀에 대하여 설명한다. 물론 이하에서 설명하는 기본적인 사상들은 평면 트랜지스터 셀에 그대로 적용될 수 있음은 물론이다.

도 2 및 도 3은 본 발명의 제1 실시예에 따른 멀티 비트 비휘발성 메모리 셀의 사시도 및 단면도이다.

도 2 및 도 3을 참고하면, 제1 실시예에 따른 멀티 비트 비휘발성 메모리 셀은 기판(10) 상에 형성된 3차원 채널(15), 전하 축적영역(16), 병렬 연결된 제1 내지 제3 콘트롤 게이트(20, 30, 40) 및 소오스/드레인 영역(47, 48)으로 이루어진 3개의 트랜지스터를 포함한다.

기판(10)은 Si, Ge, SiGe, GaP, GaAs, SiC, SiGeC, InAs 및 InP로 이루어지는 군에서 선택되는 하나 이상의 반도체 재료로 이루어질 수 있다. 일반적으로 기판(10)의 주면은 {100} 결정면을 가질 수 있다.

3차원 채널(15)은 3차원 반도체 바디(14)의 둘레를 따라 3차원 반도체 바디(14)의 표면으로부터 소정 깊이까지 형성된다. 3차원 반도체 바디(14)는 반도체 기판(10) 내에 형성되어 있는 소자 분리 영역(12)에 의해 정의된다. 3차원 반도체 바디(14)는 소자 분리 영역(12)의 상면보다 높게 메사(mesa) 형태로 돌출된 벌크 반도체층 또는 소자 분리 영역(12) 사이에 소자 분리 영역(12)의 높이와 동일 또는 낮은 높이로 형성된 벌크 실리콘 핀(미도시) 위에 메사 형태로 돌출된 에피택시층으로 이루어질 수 있다. 또는 채널(15)이 형성되어야 할 부분은 패터닝에 의해 형성한 벌크 반도체층으로 이루어지고, 나머지 소오스/드레인 영역이 형성될 부분은 에피택시층, 증착 성장된 반도체층, 국부배선 등으로 이루어질 수도 있다.

3차원 반도체 바디(14)가 벌크 반도체층으로 구성될 경우에는 기판(10)과 동일한 반도체 재료로 이루어질 수 있다.

3차원 반도체 바디(14)가 에피택시층으로 구성될 경우에는 Si, Ge,  $Si_{1-x}Ge_x$  ( $0 < x < 1$ ),  $Si_{1-x}C_x$  ( $0 < x < 1$ ) 또는  $Si_{1-x-y}Ge_xC_y$  ( $0 < x < 1$ ,  $0 < y < 1$ ), GaAs, InSb, GaP, 또는 이들의 조합으로 구성될 수 있다. 전기적 특성을 향상시키기 위해서 3차원 반도체 바디(14)는 이상적인 단결정구조(single crystalline structure)로 구성될 수 있다. LCD(Liquid Crystal Display)와 같이 상대적으로 엄격한 사양을 요구하지 않는 소자의 경우에는 다결정막(polycrystalline film)을 사용할 수도 있다.

반도체 바디(14)를 구성하는 물질의 스트레스 특성에 따라 MOS 트랜지스터 채널(15)내의 캐리어 이동도 특성에 영향을 미칠 수 있다. 예컨대, nMOS 트랜지스터의 경우에는 반도체 바디(14)가 인장 스트레스(tensile stress)를 가지는 물질로 이루어질 경우 주 캐리어인 전자의 이동도를 향상시킬 수 있다. 반면 pMOS 트랜지스터의 경우에는 반도체 바디(14)가 압축 스트레스(compressive stress)를 가지는 물질로 이루어질 경우 주 캐리어인 홀의 이동도를 향상시킬 수 있다.

또한, 반도체 바디(14)는 도면에는 표시하지 않았으나 밴드 갭이 서로 다른 복수의 반도체 층으로 이루어질 수도 있다. 다수 개의 반도체층은 각각 Si, Ge,  $Si_{1-x}Ge_x$  ( $0 < x < 1$ ),  $Si_{1-x}C_x$  ( $0 < x < 1$ ) 또는  $Si_{1-x-y}Ge_xC_y$  ( $0 < x < 1$ ,  $0 < y < 1$ ), GaAs, InSb, GaP, 또는 이들의 조합으로 이루어질 수 있다. 예를 들어, 2개의 반도체층이 형성되어 있는 경우, 반도체 바디(14)의 하부층은 SiGe층으로 구성하고, 상부층은 Si층으로 구성할 수 있다. 이 경우에는 반도체 바디(14)의 내부에 형성되는 소스/드레인 영역(47)도 밴드갭이 서로 다른 다수 개의 반도체층으로 이루어질 수 있다.

3차원 반도체 바디(14)는 기판(10)의 주면에 대하여 수직인 양 측벽(14S)과 기판(10)의 주면에 평행한 상면(14T)으로 구성될 수 있다. 기판(10)의 주면이 {100} 결정면을 가지는 경우 양 측벽(14S)은 {111} 경사면을 상면(14T)은 {100} 경사면을 가질 수 있다. 도면에 도시하지 않았으나, 경우에 따라서는 양 측벽(14S)과 상면(14T) 사이에 각각 연장되어 있는 경사면을 더 포함할 수도 있다.

전하축적영역(16)은, 도면에 도시되어 있는 바와 같이, 터널링 절연막, 전하 트랩막, 블록킹 절연막의 적층구조로 이루어진 플로팅 트랩 구조로 이루어질 수 있다. 또는 도면에는 도시하지 않았으나, 터널링 절연막, 플로팅 게이트 및 게이트간 절연막의 적층 구조로 이루어진 플로팅 게이트 구조로 이루어질 수도 있다.

터널링 절연막은 반도체 바디(14)의 상부에 형성되어, 반도체 바디(14)의 채널 영역(15)을 둘러싸도록 형성된다. 반도체 바디(14)와 전하 트랩막 또는 플로팅 게이트 사이를 전기적으로 절연하고, 전원이 공급되지 않더라도 캐리어가 새어나가지 않도록 전기적으로 고립시켜 정보를 유지할 수 있도록 한다.

터널링 절연막은  $SiO_2$ , SiON,  $Si_3N_4$ ,  $Ge_xO_yN_z$ ,  $Ge_xSi_yO_z$ , 또는 고유전율 물질 등이 사용될 수 있다. 또는 이들의 조합물, 예를 들면 상기 예시된 물질들 중에서 선택된 2종 이상의 물질이 차례로 적층된 구조로 이루어질 수 있다.

여기서, 산화막은 1000 내지 1100℃ 온도에서 O<sub>2</sub> 가스를 이용한 건식 산화, 1000 내지 1100℃ 온도에서 수증기 분위기를 사용하는 습식 산화, O<sub>2</sub> 가스와 HCl 가스의 혼합 가스를 사용하는 HCl 산화, O<sub>2</sub> 가스와 C<sub>2</sub>H<sub>3</sub>Cl<sub>3</sub> 가스의 혼합 가스를 사용하는 산화, O<sub>2</sub> 가스와 C<sub>2</sub>H<sub>2</sub>Cl<sub>2</sub> 가스의 혼합 가스를 사용하는 산화 등으로 형성한다.

또한, 고유전율 물질은 HfO<sub>2</sub>, ZrO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, Ta<sub>2</sub>O<sub>5</sub>, 하프늄 실리케이트, 지르코늄 실리케이트 또는 이들의 조합막 등을 원자층 증착법으로 형성한다. 두께가 감소할수록 유전 상수(k) 값이 높은 물질을 사용할 필요가 있다.

터널링 절연막(25)은 5 내지 100Å의 두께를 가지도록 형성된다. 바람직하게는 5 내지 50 Å 두께를 가진다.

전하트랩막 또는 플로팅 게이트는 터널링 절연막 상부에 형성되고, 전하를 트랩(trap)하여 정보를 저장하는 역할을 한다. 따라서, 터널링 절연막의 둘레 부분을 둘러싸도록 형성된다. 전하트랩막의 경우에는 트랩된 전하가 전하트랩막내에서 이동하지 않으므로 셀을 구성하는 트랜지스터별로 분리될 필요가 없다. 반면, 플로팅 게이트의 경우에는 반도체 바디(14)의 양측벽과 상면에 각각 분리되어 형성되는 것이 정확한 동작 특성을 나타내도록 할 수 있다.

전하트랩막은 전하에 대해 우수한 보유(retention) 특성을 지닌 질화막(Si<sub>3</sub>N<sub>4</sub>)으로 이루어질 수 있다.

플로팅 게이트는 n+ 폴리 실리콘, p+ 폴리 실리콘, 일함수를 바꿀 수 있는 SiGe, 금속 물질 등으로 이루어질 수 있다.

플로팅 게이트는 보통 100 내지 300Å의 두께로 형성될 수 있으며, 전하트랩막은 보통 10 내지 200Å의 두께로 형성될 수 있다.

블록킹 절연막은 전하 트랩막의 상부에 형성되고, 전하 트랩막과 그 상부의 콘트롤 게이트(20, 30, 40) 사이를 전기적으로 절연하여 전하 트랩막에 트랩된 전하들이 콘트롤 게이트 쪽으로 누설되는 것을 방지한다. 게이트간 절연막은 플로팅 게이트의 상부에 형성되고, 플로팅 게이트와 콘트롤 게이트(20, 30, 40) 사이를 전기적으로 절연한다.

블록킹 절연막 또는 게이트간 절연막은 터널링 절연막과 같이 SiO<sub>2</sub>, SiON, Si<sub>3</sub>N<sub>4</sub>, Ge<sub>x</sub>O<sub>y</sub>N<sub>z</sub> 또는 Ge<sub>x</sub>Si<sub>y</sub>O<sub>z</sub> 또는 고유전율 물질 등이 사용될 수 있다. 블록킹 절연막의 경우에는 산화막 계열의 물질이 적합하다. 형성 방법 또한 습식 산화, HCl 산화, 혼합 가스를 사용하는 산화 방법 등을 사용할 수 있다. 블록킹 절연막 또는 게이트간 절연막은 터널링 절연막(25)보다 다소 두껍게 형성되는 것이 일반적이며, 10 내지 500Å의 두께, 나아가 5 내지 100Å의 두께를 가질 수 있다.

전하 축적 영역(16) 상에 독립적으로 전압이 인가되는 3개의 콘트롤 게이트(20, 30, 40)가 형성되고 콘트롤 게이트(20,30,40)의 양측에 정렬되어 반도체 바디(14) 내에 소오스/드레인 영역(47,48)이 형성되어 있다. 콘트롤 게이트는 측벽(14S)에 형성된 측벽 콘트롤 게이트(20, 30)와 상면(14T)에 형성된 상면 콘트롤 게이트(40)로 구성될 수 있다.

측벽 콘트롤 게이트(20,30)와 상면 콘트롤 게이트(40)로 구성된 각 트랜지스터들의 전류 구동력이 모두 동일할 경우에는 표 2에 기재되어 있는 바와 같이 2 비트 저장이 가능하다.

한편, 3개의 콘트롤 게이트(20, 30, 40)로 구성된 각 트랜지스터들의 전류 구동력이 모두 또는 일부 다르게 구현될 수 있다면 표 1 또는 표 3에 기재되어 있는 바와 같이 3비트 또는 2비트 저장이 가능하다. 트랜지스터에 의해 구동되는 전류(I)는 하기 식 1을 만족한다.

[식 1]

$$I=(1/Leff)K(V_G-V_T)$$

상기 식 중 Leff는 실효 채널 길이이고, K는 정수이고, V<sub>G</sub>는 게이트 전압이고, V<sub>T</sub>는 문턱 전압이다.

Leff는 게이트 전극의 폭에 영향을 받고, V<sub>T</sub>는 터널링 절연막의 두께에 영향을 받는다.

따라서, 각 콘트롤 게이트(20,30,40)의 폭을 모두 달리하여 도 2 및 도 3에 도시되어 있는 멀티 비트 비휘발성 메모리 셀을 구현하면 표 1에 기재되어 있는 바와 같이 3비트 또는 2비트 저장이 가능하다. 이는 반도체 바디(14)의 폭과 높이를 달리 하고, 양 측벽 콘트롤 게이트(20, 30)의 높이를 달리하는 방식등으로 용이하게 구현할 수 있다.

또, 기판(10)의 주면이 {100} 결정면을 가지는 경우 양 측벽(14S)은 {111} 경사면을 상면(14T)은 {100} 경사면을 가질 수 있으며, 이 경우 반도체 바디(14)의 측벽(14S)에 형성되는 터널링 절연막과 상면(14T)에 형성되는 터널링 절연막의 두께를 달리할 수 있다. 따라서, 측벽(14S)과 상면(14T)에 형성되는 전하 축적 영역을 구성하는 터널링 절연막의 두께를 달리하고 양 측벽 콘트롤 게이트(20, 30)들의 높이를 달리함으로써 전류 구동력이 서로 다른 3개의 트랜지스터를 형성하면 표 1에 기재되어 있는 바와 같이 3비트 또는 2 비트 저장이 가능하다.

또, 반도체 바디(14)의 폭과 높이를 달리하여 측벽 콘트롤 게이트(20, 30)들과 상면 콘트롤 게이트(40)의 전류 구동력이 다르도록 하거나, 반도체 바디(14)의 측벽(14S)에 형성되는 터널링 절연막과 상면(14T)에 형성되는 터널링 절연막의 두께를 달리하여 측벽 콘트롤 게이트(20, 30)들과 상면 콘트롤 게이트(40)의 전류 구동력이 다르도록 하면 표 3에 기재되어 있는 바와 같이 6레벨의 전류 검출을 통한 2비트 저장이 가능하다.

측벽 콘트롤 게이트(20, 30)의 상면에는 그 위에 형성되는 상면 콘트롤 게이트(40)와의 절연을 위한 절연막(35)이 더 형성되어 있다. 절연막(35)은 산화막일 수 있다. 측벽 콘트롤 게이트(20, 30)는 도 3에 도시되어 있는 바와 같이 스페이서 형태로 형성될 수도 있고, 도전막을 패터닝하여 소정 패턴으로 형성할 수도 있고, 셀 어레이에서는 3차원 반도체 바디(14)가 인접하여 배열되는 경우 인접하는 3차원 반도체 바디(14)의 측벽에 의해 정의되는 트렌치를 매립하는 다마신 배선 형태로 형성될 수 있으며, 이에 대해서는 셀 어레이 설명시 상술하도록 한다.

상면 콘트롤 게이트(40)는 측벽 콘트롤 게이트(20, 30)에 개별 전압을 인가하는 워드 라인에 연결하기 위한 콘택이 형성될 공간을 제공하기 위한 개구부(40a)가 형성되어 있다.

콘트롤 게이트(20, 30, 40)는 도전성 폴리실리콘막, W, Pt, 또는 Al과 같은 금속막, TiN과 같은 금속 질화물막, 또는 Co, Ni, Ti, Hf, Pt와 같은 내화성 금속(refractory metal)으로부터 얻어지는 금속 실리사이드막, 또는 이들의 적층막으로 이루어질 수 있다. 예를 들면, 콘트롤 게이트(20, 30, 40)는 도전성 폴리실리콘막과 금속 실리사이드막을 차례대로 적층하여 형성하거나, 도전성 폴리실리콘막과 금속막을 차례대로 적층하여 형성할 수도 있다. 현재 널리 사용되고 있는 도전성 폴리실리콘막은  $\text{SiH}_2\text{Cl}_2$ 와  $\text{PH}_3$  가스를 사용하여 LPCVD로 형성한다.

소오스/드레인 영역(47, 48)은 형성하고자 하는 비휘발성 메모리 셀의 타입에 따라 n형 또는 p형의 불순물로 도핑되어 있다. 또한, 얇게 이온 주입된 저농도 이온주입영역(Lightly Doped Drain; LDD)과 깊게 이온 주입된 고농도 이온주입영역을 포함할 수도 있다. LDD 영역을 포함함으로써 높은 전압을 인가하더라도 항복(breakdown)이 발생하는 것을 효과적으로 억제할 수 있다. 또, 고농도 이온주입영역과 LDD 영역의 하부에 인접하여 이들 영역과 반대 도전형의 불순물로 도핑되어 형성된 할로(halo) 영역을 더 포함하는 것이 바람직하다. 할로 영역을 더 포함함으로써 프로그램 동작 시에 열전자를 보다 효과적으로 유기할 수 있다.

앞의 동작 방식 설명에서 설명한 바와 같이, 본 발명의 제1 실시예에 따른 멀티 비트 비휘발성 메모리 셀의 동작은 다음과 같이 진행된다.

먼저, 프로그램 동작 시에는 콘트롤 게이트(20, 30, 40) 중 선택된 게이트에 5-10V, 예컨대, 7V를 인가하고, 드레인 영역(48)에는 3-6V, 예컨대 6V의 전압을 인가하고, 소오스 영역(47), 기판(10) 및 나머지 비선택된 게이트에는 접지 전압을 인가한다. 그 결과 소오스 영역(47)과 드레인 영역(48) 사이의 포화 영역의 채널에서 발생하는 열전자가 전하 축적 영역(16)의 터널링 절연막을 통과해 전하 트랩막 또는 플로팅 게이트에 축적되어 선택된 트랜지스터의 문턱 전압을 쉬프트시킨다. 즉, 프로그램은 CHEI(Channel Hot Electron Injection) 방식에 따라 진행된다.

소거 동작 시에는 콘트롤 게이트(20, 30, 40) 중 선택된 게이트에 10-20V, 예컨대 17V의 전압이 인가되고 나머지 영역에는 접지 전압이 인가된다. 그럼으로써 전하 축적 영역(16)의 전하 트랩막 또는 플로팅 게이트에 축적되어 있는 전자들이 콘트롤 게이트에 인가된 전압으로 유도된 F-N 터널링에 의해서 터널링 절연막을 통해 반도체 바디(14)로 방출된다.



읽기 동작 시에는 메모리 셀을 구성하는 트랜지스터들이 프로그램되기 전에 가지고 있던 특정 문턱 전압보다는 크고 프로그램된 트랜지스터들의 문턱 전압 보다는 작은 읽기 전압(Vread), 예컨대 1~2V를 해당 콘트롤 게이트(10, 20, 30)에 인가하고, 소오스(47)에는 접지 전압을 드레인(48)에는 0.4 ~ 1V 정도의 적정 바이어스 전압을 인가하여 유기되는 드레인 전류를 검출함으로써 전자들의 축적 여부를 감지하여 저장된 데이터를 읽는다.

도 4는 본 발명의 제2 실시예에 따른 멀티 비트 비휘발성 메모리 셀의 단면도이다. 도 4를 참고하면, 제2 실시예는 제1 실시예와 대체로 동일하나, 제1 실시예와 다른 점은 반도체 바디(14)가 벌크 실리콘 기판으로 이루어지지 않고 SOI(Silicon-On-Insulator) 기판의 매몰 산화막(13) 상부에 형성된 실리콘 층으로 이루어진다는 점에 있어서 차이가 있다. 도 4에 있어서 제1 실시예에서와 동일한 참고 부호는 동일 부재를 나타내며, 이들에 대한 상세한 설명은 생략한다.

SOI 기판을 사용할 경우 DIBL(Drain Induced Barrier Lowering) 특성을 향상시키는데 유리하다. SOI 기판으로는 접합법 또는 SIMOX법에 의해 형성된 기판 어느 것이라도 가능하다. 반도체 바디(14)는 도면에 도시되어 있는 바와 같이 SOI 실리콘층만으로 이루어질 수도 있고, 패터닝된 SOI 실리콘층으로 이루어진 실리콘 핀(미도시)과 그 위에 선택적 에피택셜 성장에 의해 형성된 에피택시층(미도시)으로 이루어질 수도 있다. 이 경우 에피택시층은 Si, Ge,  $Si_{1-x}Ge_x$  ( $0 < x < 1$ ),  $Si_{1-x}C_x$  ( $0 < x < 1$ ) 또는  $Si_{1-x-y}Ge_xC_y$  ( $0 < x < 1, 0 < y < 1$ ), GaAs, InSb, GaP 또는 이들의 조합으로 형성될 수 있으나, 이에 제한되지 않는다.

도 5는 본 발명의 실시예들에 따른 멀티 비트 비휘발성 메모리 셀들로 이루어진 반도체 소자의 셀 어레이의 일부 등가회로도다.

도 5를 참고하면, 비휘발성 반도체 소자의 셀 어레이는 매트릭스 형태로 배치된 복수의 멀티 비트 비휘발성 메모리 셀을 포함한다. 단위 셀들은 횡방향으로 배열된 복수의 워드 라인(WL0, WL1, WL2, ..., WLm)과 종방향으로 배열된 복수의 비트라인(BL0, BL1, BL2, ..., BLn)의 교차점에 위치한다. 각 메모리 셀 별로 3개의 트랜지스터를 포함하므로 각 단위 셀을 정의하는 워드 라인들은 각각 3개의 워드라인들(WLa, WLb, WLC)을 포함한다. 따라서, 도 5의 셀 어레이내에는  $m \times n$  개의 셀이 존재한다. 또, 본 발명의 셀 어레이내에는 횡방향으로 배열된 공통 소오스 라인(CSL)을 포함한다. 두 단위 셀이 하나의 공통 소오스 라인(CSL)을 갖고 공통 소오스 라인(CSL)을 기준으로 두 단위 셀의 구조가 대칭으로 배열된다. 즉 단위 셀 쌍이 소오스를 공유함으로써 비휘발성 메모리 어레이의 전체 크기를 효과적으로 감소시킬 수 있다.

도 6은 도 5의 등가회로도 구현하기 위한 레이아웃도이고, 도 7a는 도 6의 A-A'선을 따라 자른 단면도이고, 도 7b는 B-B'선을 따라 자른 단면도로 제1 실시예에 따른 셀로 구성된 경우를 도시하는 단면도들이다. 이하, 레이아웃도와 셀 어레이의 설명시 앞의 멀티 비트 비휘발성 메모리 셀의 설명과 중복되는 부분은 메모리 셀의 설명으로 대신하고 셀 어레이 요부 구성과 관련된 부분을 중점 설명하도록 한다.

도 6 내지 도 7b를 참고하면, 비휘발성 반도체 소자의 셀 어레이는 3차원 반도체 바디(14)로 이루어진 활성 영역에 형성된다. 반도체 바디(14)는 기판(10) 내의 소자 분리 영역(12)에 의해 정의된다. 일방향, 예컨대 횡방향으로 연장되어 평행하게 형성된 복수의 3차원 반도체 바디(14)와 일방향과 수직한 방향, 예컨대 종방향으로 연장되어 형성된 복수의 3차원 반도체 바디(14)가 수직 교차하며 서로 연결되어 이루어진 그리드 형태로 형성된다.

3차원 채널(15)은 상기 일방향으로 연장된 3차원 반도체 바디(14)의 둘레를 따라 3차원 반도체 바디(14)의 표면으로부터 소정 깊이까지 형성된다.

전하 축적 영역(16)은 3차원 채널(15)을 둘러싸도록 형성된다.

측벽 콘트롤 게이트(20, 30)는 상기 일방향과 평행한 3차원 반도체 바디(14)의 양측벽에 정렬되어 형성된다. 메모리 셀 설명시 언급한 바와 같이 스페이서 형태 또는 단순 패터닝 형태로 형성될 수도 있으나, 도 6 내지 도 7b에 도시되어 있는 바와 같이, 3차원 반도체 바디(14)가 인접하여 나란히 배열되는 경우 인접하는 3차원 반도체 바디(14)의 측벽에 의해 정의되는 트렌치(T)를 매립하는 다마신 배선 형태로 형성되는 것이 평탄화 관점에서 유리할 수 있다. 상면 콘트롤 게이트(40)는 측벽 콘트롤 게이트(20, 30)의 상면에 형성된 절연막(35)에 의해 측벽 콘트롤 게이트(20, 30)와 절연된다. 상면 콘트롤 게이트(40)는 측벽 콘트롤 게이트(20, 30)와 오버랩되어 상기 타방향, 예컨대 종방향으로 연장되어 형성된다.

콘트롤 게이트(20, 30, 40)는 도 5에 도시되어 있는 각 워드 라인들(WLa, WLb, WLC)에 연결된다. 따라서, 상면 콘트롤 게이트(40)는 측벽 콘트롤 게이트(20, 30)에 개별 전압을 인가하는 워드 라인에 연결하기 위한 콘택(60)이 형성될 공간을 제공하기 위한 개구부(40a)가 형성되어 있다. 이 때, 상기 개구부는 하나의 상면 콘트롤 게이트(40)를 따라, 즉 상기 종방향을 따라 지그재그 형태로 배열되는 것이 워드 라인의 최적화된 배열에 적합하다.

상면 콘트롤 게이트(40) 상부에는 층간 절연막(50)이 형성된다. 측벽 콘트롤 게이트(20, 30)는 층간 절연막(50) 및 절연막(35)을 관통하여 형성된 콘택(60)을 통해 대응하는 워드 라인과 연결된다. 한편, 상면 콘트롤 게이트(40)는 셀 어레이 외곽에 배열된 하나의 콘택(60)을 통해 상부 배선과 연결된다.

소오스/드레인 영역(47, 48)은 형성하고자 하는 비휘발성 메모리 셀의 타입에 따라 n형 또는 p형의 불순물로 도핑되어 있으며, 얇게 이온 주입된 저농도 이온주입영역(Lightly Doped Drain; LDD)(42)과 깊게 이온 주입된 고농도 이온주입영역(44) 및 할로(halo) 영역(46)을 포함할 수 있다. 이 때, 콘트롤 게이트(20, 30, 40)의 측벽에는 스페이서(S)를 더 구비할 수도 있다.

메모리 셀 어레이에서는 비휘발성 메모리 셀은 쌍으로 구성되어, 상기 비휘발성 메모리 셀의 쌍은 소오스(47)를 공유한다. 따라서, 비휘발성 메모리 셀 어레이의 전체 크기를 효과적으로 감소시킬 수 있다. 소오스(47)는 그리드 형태의 3차원 반도체 바디(14)의 교차점에 형성된다.

도면부호 70은 비트라인 콘택을 나타낸다.

이하 도 8 내지 도 12를 참고하여, 도 7a 및 도 7b에 도시되어 있는 메모리 셀 어레이의 제조 방법을 설명한다.

도 8을 참고하면, 먼저, 기판(10)을 준비한다. 기판(10)은 Si, Ge, SiGe, GaP, GaAs, SiC, SiGeC, InAs 또는 InP로 이루어진 군에서 선택되는 하나 이상의 반도체 재료로 이루어질 수 있다. 기판(10)은 상면이 {100} 결정면을 가지는 실리콘 기판으로 이루어질 수 있다.

통상의 소자 분리 영역(12)을 정의하는 공정 및 3차원 반도체 바디(14)를 정의하는 공정을 통해 반도체 바디(14)를 형성한다.

3차원 반도체 바디(14)는 기판(10)의 주면에 대하여 수직인 양 측벽(14S)과, 기판(10)의 주면에 평행한 상면(14T)을 가진다. 메모리 셀 어레이의 경우에는 반도체 바디(14)에 의해서 트렌치가 정의된다.

3차원 반도체 바디(14)는 벌크 실리콘 기판 또는 SOI 기판의 실리콘층을 식각하여 형성할 수 있다. 또, 소자 분리 영역(12) 사이에 소자 분리 영역(12)의 높이와 동일 또는 낮은 높이로 벌크 실리콘 핀을 형성한 후, 그 위에 에피택셜 성장 공정을 진행하여 메사 형태로 돌출된 에피택셜층을 형성함으로써 3차원 반도체 바디(14)를 형성할 수 있다.

반도체 바디(120)를 형성하기 위하여 예를 들면, MBE(molecular beam epitaxi), UHV-CVD(ultra high vacuum chemical vapor deposition), RPCVD(reduced pressure chemical vapor deposition) 또는 RTCVD(rapid thermal chemical vapor deposition)와 같은 선택적 에피택셜 성장 기술을 이용할 수 있다. 설명의 편의상 본 발명의 일 실시예에서는 RPCVD 방법을 이용한다.

선택적 에피택셜 성장 방법에 의하여 반도체 바디(14)를 형성하는 데 있어서, Si 소스(source)로서  $\text{Si}_2\text{H}_6$ ,  $\text{SiH}_4$ ,  $\text{SiH}_2\text{Cl}_2$ ,  $\text{SiHCl}_3$ ,  $\text{SiCl}_4$  등을 사용할 수 있다. Ge 소스로서  $\text{GeH}_4$  를 사용할 수 있다. C 소스로서  $\text{C}_2\text{H}_6$ ,  $\text{CH}_3\text{SiH}_3$  등을 사용할 수 있다.

선택적 에피택셜 성장 특성을 향상시키기 위하여 소스 가스에 HCl 또는  $\text{Cl}_2$  와 같은 가스를 첨가할 수 있다. 소스 가스에 HCl 또는  $\text{Cl}_2$  가스를 첨가하면 산화막 또는 질화막이 있는 영역에서는 에피택셜 성장층이 형성되지 않고 반도체층, 예를 들면 Si층이 드러난 영역에서만 에피택셜 성장층이 형성되는 선택적 에피택셜 성장이 가능하다.

자세히 설명하면, Si 층의 반도체 바디(14)를 형성하는 경우 온도는 700 내지 900°C, 압력은 10 내지 20Torr에서 결정 성장을 진행한다. 이 때, 소스 가스  $\text{SiH}_2\text{Cl}_2$ 를 100 내지 200 sccm으로 공급한다. 여기에 HCl을 0 내지 100sccm,  $\text{B}_2\text{H}_6$ 을

0 내지 100 sccm, PH<sub>3</sub>을 0 내지 100 sccm으로 첨가할 수 있다. 이 때, 캐리어 가스로서 H<sub>2</sub>를 10 내지 35 slm으로 공급할 수 있다. Si<sub>1-x</sub>Ge<sub>x</sub>층의 반도체 바디(14)를 형성하는 경우, 온도는 500 내지 750 °C, 압력은 10 내지 20 Torr에서 결정 성장을 진행한다. 이 때, 소스 가스 SiH<sub>2</sub>Cl<sub>2</sub>를 100 내지 200sccm으로, GeH<sub>4</sub>를 50 내지 200 sccm으로 공급한다. 여기에 HCl을 0 내지 100 sccm으로, B<sub>2</sub>H<sub>6</sub>을 0 내지 100 sccm, PH<sub>3</sub>을 0 내지 100 sccm으로 첨가할 수 있다. 이 때, 캐리어 가스로서 H<sub>2</sub>를 10 내지 35 slm으로 공급할 수 있다. Si<sub>1-x</sub>C<sub>x</sub>층의 반도체 바디(14)를 형성하는 경우, 온도는 650 내지 850°C, 압력은 10 내지 20 Torr에서 결정 성장을 진행한다. 이 때, 소스 가스 SiH<sub>2</sub>Cl<sub>2</sub>를 100 내지 200 sccm으로, CH<sub>3</sub>SiH<sub>3</sub>를 5 내지 50 sccm으로 공급한다. 여기에 HCl을 0 내지 100 sccm으로, B<sub>2</sub>H<sub>6</sub>를 0 내지 100 sccm으로, PH<sub>3</sub>을 0 내지 100 sccm으로 첨가할 수 있다. 이 때, 캐리어 가스로서 H<sub>2</sub>를 10 내지 35 slm으로 공급할 수 있다. 또, 반도체 바디(14)는 서로 다른 밴드갭을 가지는 복수의 반도체층으로 형성될 수도 있다. 예를 들면, 반도체 바디(14)를 형성하기 위하여 반도체 핀(미도시) 위에 SiGe층을 선택적 에피택셜 성장 방법에 의하여 먼저 형성하고 그 위에 Si층을 성장시킬 수도 있다. 또는 채널(15)이 형성되어야 할 부분만 벌크 반도체층을 패터닝하여 형성하고, 나머지 소오스/드레인 영역(47, 48)이 형성될 부분은 에피택시층, 증착 성장된 반도체층, 국부배선 등으로 형성할 수도 있다.

소오스/드레인 영역(47, 48)을 에피택시층으로 형성하여 반도체 바디(14)를 완성하는 방법은 본 출원의 양수인에게 공동 양도된 대한민국특허출원 제2004-0008148호에 충분히 개시되어 있으며, 상기 출원의 내용은 본 명세서에 충분히 개시된 것처럼 인용되어 통합된다.

반도체층 또는 국부 배선에 의해 반도체 바디(14)를 완성하는 방법은 본 출원의 양수인에게 공동 양도된 대한민국특허출원 제2004-0010472호 및 대한민국특허출원 제2004-0058257호에 충분히 개시되어 있으며, 상기 출원의 내용은 본 명세서에 충분히 개시된 것처럼 인용되어 통합된다.

또, 채널(15)이 형성될 영역은 교번형 위상 반전 마스크를 사용하는 것이 작은 피치를 가지는 반도체 바디(14) 형성에 보다 적합할 수 있다. 이는 본 출원의 양수인에게 공동 양도된 대한민국특허출원 제 2004-0073081호에 충분히 개시되어 있으며, 상기 출원의 내용은 본 명세서에 충분히 개시된 것처럼 인용되어 통합된다. 도 9를 참고하면, 필요에 따라 반도체 바디(14) 내에 불순물을 이온주입하여 Vth 조절을 위한 채널(15) 도핑을 행한다. 그 후, 반도체 바디(14)의 표면 위에 전하 축적 영역(16)을 형성한다. 전하 축적 영역(16)은 터널링 절연막, 전하 트랩막, 블록킹 절연막의 적층구조로 이루어진 플로팅 트랩 구조 또는 터널링 절연막, 플로팅 게이트 및 게이트간 절연막의 적층 구조로 이루어진 플로팅 게이트 구조로 형성할 수 있다. 터널링 절연막은 반도체 바디(14)의 표면으로부터 습식 산화, HCl 산화, 혼합 가스를 사용하는 산화 방법에 의하여 원하는 막질을 성장시켜 얻어질 수 있다. 또는, 터널링 절연막을 형성하기 위하여 CVD 또는 ALD(atomic layer deposition) 방법을 이용할 수도 있다. 예를 들면, 터널링 절연막은 SiO<sub>2</sub>, SiON, Si<sub>3</sub>N<sub>4</sub>, Ge<sub>x</sub>O<sub>y</sub>N<sub>z</sub> 또는 Ge<sub>x</sub>Si<sub>y</sub>O<sub>z</sub>로 이루어질 수도 있고, HfO<sub>2</sub>, ZrO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, Ta<sub>2</sub>O<sub>5</sub>, 하프늄 실리케이트, 지르코늄 실리케이트 또는 이들의 조합막과 같은 고유전율 물질로 이루어질 수도 있다. 또한, 터널링 절연막은 예시된 막질들 중에서 2종 이상의 선택된 물질을 복수 층으로 적층하여 구성될 수도 있다. 이어서, 터널링 절연막 상에 전하 트랩막 또는 플로팅 게이트를 형성한다. 전하 트랩막은 질화법(nitridation)을 사용하여 질화막(Si<sub>3</sub>N<sub>4</sub>)을 적층함으로써 형성할 수 있다. 플로팅 게이트는 CVD 등에 의해 n+ 폴리 실리콘, p+ 폴리 실리콘, 일함수를 바꿀 수 있는 SiGe, 금속 물질 등을 증착하여 형성할 수 있다. 계속해서, 블록킹막 또는 게이트간 절연막을 형성한다. 블록킹막 또는 게이트간 절연막은 터널링 절연막과 동일한 방법으로 형성한다. 일반적으로 블록킹막 또는 게이트간 절연막은 터널링 절연막보다 다소 두껍게 형성한다.

도 10을 참고하면, 전하 충전 영역(15) 위에 도전층을 형성하고 이를 평탄화하여 측벽 콘트롤 게이트(20, 30)을 형성한다. 도전층은 도전성 폴리실리콘막, 금속막, 금속 질화물막 또는 금속 실리사이드막 또는 이들의 조합막으로 이루어질 수 있다. 주로 LPCVD 방법을 통해서 형성한다. 이때, 3차원 반도체 바디(14)에 의해 정의되는 트렌치 영역을 모두 매립하도록 하기 위해서는 도전층의 증착 두께는 트렌치의 두배 이상이 되는 두께로 형성한다. 증착된 도전층을 HBr, Cl<sub>2</sub>, CClF<sub>3</sub>, CCl<sub>4</sub>, NF<sub>3</sub>, SF<sub>6</sub> 등의 식각 가스를 사용하는 플라즈마 식각 장비를 사용하는 에치백 공정 또는 화학 기계적 폴리싱 공정을 진행하여 평탄화한다. 그 결과 3차원 반도체 바디(14)의 측벽에 정렬되고 아직은 인접 셀과 분리되지 않은 측벽 콘트롤 게이트(20, 30)가 형성된다. 도 11을 참고하면, 측벽 콘트롤 게이트(20, 30) 상부에 절연막(35)을 형성한다. 측벽 콘트롤 게이트(20, 30)가 형성된 결과물에 대하여 산화 공정을 실시하여 측벽 콘트롤 게이트(20, 30) 상부에 산화막을 형성함으로써 절연막(35)을 형성할 수 있다. 계속해서, 절연막(35)이 형성된 결과물 전면에 도전층을 형성하고, 이를 패터닝하여 상면 콘트롤 게이트(40)를 형성한다. 상면 콘트롤 게이트(40)는 공통 소오스 라인(CSL)과 평행하게 공통 소오스 영역(47) 및 드레인 영역(48)이 형성될 영역을 노출시키도록 패터닝된다. 상면 콘트롤 게이트(40) 패터닝시 하부의 측벽 콘트롤 게이트

(20, 30)도 셀 별로 분리된다. 상면 콘트롤 게이트(40)를 형성하는 도전층은 측벽 콘트롤 게이트(20, 30)와 마찬가지로 폴리실리콘막, 금속막, 금속 질화물막 또는 금속 실리사이드막 또는 이들의 조합막으로 이루어질 수 있으며, 주로 LPCVD 방법을 통해서 형성한다.

도 12을 참고하면, 콘트롤 게이트들(20, 30, 40)의 측벽에 스페이서(미도시)를 형성하고, 소오스/드레인 영역(47,48) 형성을 위한 이온 주입 공정 및 어닐링 공정을 실시한다. 필요에 따라서는 통상의 방법으로 셀리사이드(salicide) 공정을 하여 상면 콘트롤 게이트(40) 및 소오스/드레인 영역(47, 48)의 상면에 WSix, CoSix, TiSix 등의 금속 실리사이드층을 형성할 수도 있다.

계속해서, 층간 절연막(50)을 형성하고, 측벽 콘트롤 게이트(20, 30) 및 상면 콘트롤 게이트(40)와 접촉하는 콘택(60)을 형성한다. 이후 공정은 통상의 반도체 소자 제조 공정에 따라 진행하여 멀티 비트 비휘발성 메모리 셀 어레이를 구비하는 반도체 소자를 완성한다.

본 발명이 하나 또는 그 이상의 실시예들에 관련하여 설명되었지만, 당업자라면 첨부 도면 및 상세한 설명을 읽고 이해함으로써 등가의 대안들 및 변형들이 이루어질 수 있음을 알 수 있을 것이다. 특히, 상기 설명된 구성 요소들(디바이스들, 회로들 등)에 의해 수행되는 많은 기능들에 있어서, 이러한 구성 요소들을 설명하는 데에 이용되는 용어들은, 본 발명에 도시된 예시적인 실시예들에서 기능을 수행하는 개시된 구조와 구조적으로 등가는 아닐지라도 다르게 나타나지 않는 한, 설명된 구성 요소의 지정된 기능을 수행하는(즉, 기능적으로 등가인) 어떠한 구성 요소에 대응한다. 또한, 본 발명의 특정한 특징이 몇 개의 실시예들중 단지 하나와 관련하여 설명되었지만, 이러한 특징은 어떠한 소정의 또는 특정한 응용에 바람직하고 유익할 때, 다른 실시예들의 하나 이상의 특징들과 결합될 수 있다.

### 발명의 효과

본 발명에 따른 멀티 비트 비휘발성 메모리 셀은 플래쉬 EEPROM의 고집적화 및 메가바이트당 제조 단가의 저가화(lower cost per Mbyte)를 효과적으로 달성할 수 있다.

또, 본 발명에 따른 멀티 비트 비휘발성 메모리 셀은 단일 비트 비휘발성 메모리 셀과 동일한 동작 허용 윈도우를 가지므로 반도체 소자의 신뢰성을 그대로 유지할 수 있으며, 이를 포함하는 반도체 소자의 수율을 종래와 동일하게 유지할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

소오스 및 드레인 터미널이 각각 공유되는 복수의 트랜지스터들을 구비하는 단위 셀을 포함하되,

상기 복수의 트랜지스터들은 각각의 콘트롤 전압에 연결되어 상기 복수의 트랜지스터별로 문턱 전압 쉬프트가 가능하여 상기 단위 셀당 멀티 비트 저장이 가능한 비휘발성 반도체 소자.

#### 청구항 2.

제1 항에 있어서, 상기 복수의 트랜지스터의 문턱 전압 쉬프트에 따라 상기 드레인 터미널에 검출되는 전류가 멀티 레벨로 검출되는 비휘발성 반도체 소자.

#### 청구항 3.

제2 항에 있어서, 상기 복수의 트랜지스터는 3개이고 상기 전류는 0 내지 7 레벨인 비휘발성 반도체 소자.

#### 청구항 4.

제2 항에 있어서, 상기 복수의 트랜지스터는 3개이고 상기 전류는 0 내지 3 레벨인 비휘발성 반도체 소자.

**청구항 5.**

제1 항에 있어서, 상기 소오스를 공유하며 상기 소오스를 중심으로 대칭으로 배열된 다른 상기 단위 셀을 더 포함하는 비휘발성 반도체 소자.

**청구항 6.**

기판 상에 일 방향으로 연장되어 형성된 3차원 반도체 바디;

상기 3차원 반도체 바디의 둘레를 따라 상기 3차원 반도체 바디 내에 형성된 채널 영역;

상기 채널 영역 상에 형성된 전하축적영역;

상기 전하축적영역상에 형성되고 독립적으로 전압이 인가되는 복수의 콘트롤 게이트; 및

상기 복수의 콘트롤 게이트의 양측에 정렬되어 상기 3차원 반도체 바디내에 형성된 소오스 및 드레인 영역을 구비하는 멀티 비트 비휘발성 메모리 단위 셀을 포함하는 비휘발성 반도체 소자.

**청구항 7.**

제6 항에 있어서, 상기 3차원 반도체 바디는 상기 기판의 주면에 수직인 양측벽 및 상기 기판의 주면에 평행한 상면을 구비하는 메사 형태로 돌출된 바디인 비휘발성 반도체 소자.

**청구항 8.**

제7 항에 있어서, 상기 복수의 콘트롤 게이트는 상기 양측벽에 정렬되어 형성된 두 개의 측벽 콘트롤 게이트들 및 상기 상면 위에 형성된 상면 콘트롤 게이트를 포함하는 비휘발성 반도체 소자.

**청구항 9.**

제8 항에 있어서, 상기 측벽 콘트롤 게이트와 상기 상면 콘트롤 게이트의 전류 구동력이 다른 비휘발성 반도체 소자.

**청구항 10.**

제9 항에 있어서, 상기 측벽 콘트롤 게이트들 각각의 전류 구동력이 다른 비휘발성 반도체 소자.

**청구항 11.**

제10 항에 있어서, 상기 드레인 영역에 검출되는 전류가 0 내지 7 레벨인 비휘발성 반도체 소자.

**청구항 12.**

제11 항에 있어서, 상기 멀티 비트는 2비트 또는 3비트인 비휘발성 반도체 소자.

### 청구항 13.

제10 항에 있어서, 상기 3차원 반도체 바디의 상기 측벽의 높이와 상기 상면의 폭이 다르고,

상기 측벽 콘트롤 게이트들의 폭이 서로 다른 비휘발성 반도체 소자.

### 청구항 14.

제10 항에 있어서, 상기 측벽 콘트롤 게이트들과 상기 상면 콘트롤 게이트 하부의 전하 축적 영역을 구성하는 터널링 절연막의 두께가 다르고,

상기 측벽 콘트롤 게이트들의 폭이 서로 다른 비휘발성 반도체 소자.

### 청구항 15.

제9 항에 있어서, 상기 측벽 콘트롤 게이트들 각각의 전류 구동력이 동일한 비휘발성 반도체 소자.

### 청구항 16.

제15 항에 있어서, 상기 드레인 영역에 검출되는 전류가 0 내지 5 레벨인 비휘발성 반도체 소자.

### 청구항 17.

제16 항에 있어서, 상기 멀티 비트는 2비트인 비휘발성 반도체 소자.

### 청구항 18.

제15 항에 있어서, 상기 3차원 반도체 바디의 상기 측벽의 높이와 상기 상면의 폭이 다른 비휘발성 반도체 소자.

### 청구항 19.

제15 항에 있어서, 상기 측벽 콘트롤 게이트들 하부의 터널링 절연막의 두께와 상기 상면 콘트롤 게이트 하부의 터널링 절연막의 두께가 다른 비휘발성 반도체 소자.

### 청구항 20.

제8 항에 있어서, 상기 측벽 콘트롤 게이트들 및 상기 상면 콘트롤 게이트는 전류 구동력이 동일한 비휘발성 반도체 소자.

### 청구항 21.

제8 항에 있어서, 상기 측벽 콘트롤 게이트 상면에는 절연막을 더 포함하고, 상기 상면 콘트롤 게이트는 상기 측벽 콘트롤 게이트의 상면과 오버랩되는 비휘발성 반도체 소자.

**청구항 22.**

제21 항에 있어서, 상기 상면 콘트롤 게이트에는 상기 측벽 콘트롤 게이트의 상면의 상기 절연막을 노출시키는 개구부를 포함하는 비휘발성 반도체 소자.

**청구항 23.**

제21 항에 있어서, 상기 측벽 콘트롤 게이트들은 각각 스페이서 형태로 형성된 비휘발성 반도체 소자.

**청구항 24.**

제21 항에 있어서, 상기 측벽 콘트롤 게이트들은 상기 3차원 반도체 바디의 양측벽에 형성된 다마신 배선인 비휘발성 반도체 소자.

**청구항 25.**

제6 항에 있어서, 상기 전하축적영역은 플로팅 트랩구조 또는 플로팅 게이트 구조로 이루어진 비휘발성 반도체 소자.

**청구항 26.**

제25 항에 있어서, 상기 플로팅 트랩구조는 터널링 절연막, 전하 트랩막, 블록킹 절연막의 적층 구조인 비휘발성 반도체 소자.

**청구항 27.**

제6 항에 있어서, 상기 소오스를 공유하며 상기 소오스를 중심으로 대칭으로 배열된 다른 상기 단위 셀을 더 포함하는 비휘발성 반도체 소자.

**청구항 28.**

일방향으로 연장되어 형성된 복수의 평행한 3차원 반도체 바디와 상기 일방향과 수직한 타방향으로 연장되어 형성된 복수의 평행한 3차원 반도체 바디가 서로 연결되어 이루어진 그리드 형태의 3차원 반도체 바디;

상기 일방향으로 연장되어 형성된 3차원 반도체 바디의 둘레를 따라 상기 3차원 반도체 바디의 일부 영역 내에 형성된 채널 영역;

상기 채널 영역 상에 형성된 전하축적영역;

상기 전하축적영역상에 형성되고 독립적으로 전압이 인가되는 복수의 콘트롤 게이트; 및

상기 복수의 콘트롤 게이트의 양측에 정렬되어 상기 반도체 바디내에 형성된 소오스 및 드레인 영역을 각각 구비하는 멀티 비트 비휘발성 메모리 단위 셀의 쌍을 포함하되,

상기 단위 셀 쌍은 상기 소오스 영역을 공유하고, 상기 소오스 영역은 상기 그리드의 교차점에 형성되는 메모리 셀 어레이를 포함하는 비휘발성 반도체 소자.

### 청구항 29.

제28 항에 있어서, 상기 3차원 반도체 바디는 상기 기판의 주면에 수직인 양 측벽 및 상기 기판의 주면에 평행한 상면을 구비하는 메사 형태로 돌출된 바디인 비휘발성 반도체 소자.

### 청구항 30.

제29 항에 있어서, 상기 복수의 콘트롤 게이트는 상기 일방향과 평행한 상기 3차원 반도체 바디의 양측벽에 정렬되어 형성된 두 개의 측벽 콘트롤 게이트들 및 상기 상면 위에 형성된 상면 콘트롤 게이트를 포함하는 비휘발성 반도체 소자.

### 청구항 31.

제30 항에 있어서, 상기 측벽 콘트롤 게이트들과 상기 상면 콘트롤 게이트의 전류 구동력이 다른 비휘발성 반도체 소자.

### 청구항 32.

제31 항에 있어서, 상기 측벽 콘트롤 게이트들 각각의 전류 구동력이 다른 비휘발성 반도체 소자.

### 청구항 33.

제32 항에 있어서, 상기 드레인 영역에 검출되는 전류가 0 내지 7 레벨인 비휘발성 반도체 소자.

### 청구항 34.

제33 항에 있어서, 상기 멀티 비트는 2비트 또는 3비트인 비휘발성 반도체 소자.

### 청구항 35.

제32 항에 있어서, 상기 3차원 반도체 바디의 상기 측벽의 높이와 상기 상면의 폭이 다르고,

상기 측벽 콘트롤 게이트들의 폭이 서로 다른 비휘발성 반도체 소자.

### 청구항 36.

제32 항에 있어서, 상기 측벽 콘트롤 게이트들과 상기 상면 콘트롤 게이트 하부의 전하 축적 영역을 구성하는 터널링 절연막의 두께가 다르고,



상기 측벽 콘트롤 게이트들의 폭이 서로 다른 비휘발성 반도체 소자.

**청구항 37.**

제31 항에 있어서, 상기 측벽 콘트롤 게이트들 각각의 전류 구동력이 동일한 비휘발성 반도체 소자.

**청구항 38.**

제37 항에 있어서, 상기 드레인 영역에 검출되는 전류가 0 내지 5 레벨인 비휘발성 반도체 소자.

**청구항 39.**

제38 항에 있어서, 상기 멀티 비트는 2비트인 비휘발성 반도체 소자.

**청구항 40.**

제37 항에 있어서, 상기 3차원 반도체 바디의 상기 측벽의 높이와 상기 상면의 폭이 다른 비휘발성 반도체 소자.

**청구항 41.**

제37 항에 있어서, 상기 측벽 콘트롤 게이트들과 상기 상면 콘트롤 게이트 하부의 전하 축적 영역을 구성하는 터널링 절연막의 두께가 다른 비휘발성 반도체 소자.

**청구항 42.**

제30 항에 있어서, 상기 측벽 콘트롤 게이트들 및 상기 상면 콘트롤 게이트는 전류 구동력이 동일한 비휘발성 반도체 소자.

**청구항 43.**

제30 항에 있어서, 상기 측벽 콘트롤 게이트 상면에는 절연막을 더 포함하고, 상기 상면 콘트롤 게이트는 상기 측벽 콘트롤 게이트들의 상면과 오버랩되는 비휘발성 반도체 소자.

**청구항 44.**

제43 항에 있어서, 상기 상면 콘트롤 게이트는 상기 타방향과 평행하게 연장되어 상기 측벽 콘트롤 게이트들의 상면과 오버랩되는 비휘발성 반도체 소자.

**청구항 45.**

제43 항 또는 제44 항에 있어서, 상기 상면 콘트롤 게이트에는 상기 측벽 콘트롤 게이트의 상면을 노출시키는 개구부를 구비하는 비휘발성 반도체 소자.

**청구항 46.**

제45 항에 있어서, 상기 개구부는 상기 타방향을 따라 상기 상면 콘트롤 게이트내에 지그 재그 형태로 배열된 비휘발성 반도체 소자.

**청구항 47.**

제30항에 있어서, 상기 측벽 콘트롤 게이트는 상기 그리드 형태의 3차원 바디에 의해 정의되는 트렌치를 매립하고 상기 셀 단위로 분리된 다마신 배선 형태인 비휘발성 반도체 소자.

**청구항 48.**

제30 항에 있어서, 상기 측벽 콘트롤 게이트는 상기 일방향과 평행한 상기 3차원 반도체 바디의 양측벽에 스페이서 형태로 형성된 비휘발성 반도체 소자.

**청구항 49.**

제28 항에 있어서, 상기 전하축적영역은 플로팅 트랩구조 또는 플로팅 게이트 구조로 이루어진 비휘발성 반도체 소자.

**청구항 50.**

제49 항에 있어서, 상기 플로팅 트랩구조는 터널링 절연막, 전하 트랩막, 블록킹 절연막의 적층 구조인 비휘발성 반도체 소자.

**청구항 51.**

기관 상에 일 방향으로 연장되어 형성된 3차원 반도체 바디를 형성하는 단계;

상기 반도체 바디의 둘레를 따라 상기 3차원 반도체 바디 내에 채널 영역을 형성하는 단계;

상기 채널 영역 상에 전하축적영역을 형성하는 단계;

상기 전하축적영역상에 독립적으로 전압이 인가되는 복수의 콘트롤 게이트를 형성하는 단계; 및

상기 3차원 반도체 바디 내에 상기 복수의 콘트롤 게이트의 양측에 정렬된 소오스 및 드레인 영역을 형성하는 단계를 포함하는 비휘발성 반도체 소자의 제조 방법.

**청구항 52.**

제51 항에 있어서, 상기 3차원 바디는 상기 기관의 주면에 수직인 양 측벽 및 상기 기관의 주면에 평행한 상면을 구비하는 메사 형태로 돌출되게 형성하는 비휘발성 반도체 소자의 제조 방법.

**청구항 53.**

제52 항에 있어서, 상기 복수의 콘트롤 게이트를 형성하는 단계는 상기 양측벽에 정렬되어 형성된 두 개의 측벽 콘트롤 게이트들 및 상기 상면 위에 형성된 상면 콘트롤 게이트를 형성하는 단계인 비휘발성 반도체 소자의 제조 방법.

#### 청구항 54.

제53 항에 있어서, 상기 측벽 콘트롤 게이트들과 상기 상면 콘트롤 게이트의 전류 구동력이 다른 비휘발성 반도체 소자의 제조 방법.

#### 청구항 55.

제54 항에 있어서, 상기 측벽 콘트롤 게이트들 각각의 전류 구동력이 다른 비휘발성 반도체 소자의 제조 방법.

#### 청구항 56.

제55 항에 있어서, 상기 3차원 반도체 바디의 형성 단계시 상기 3차원 바디의 측벽의 높이와 상기 상면의 폭이 다르게 형성하고,

상기 복수의 콘트롤 게이트 형성 단계시 상기 측벽 콘트롤 게이트들의 폭이 서로 다르게 형성하는 비휘발성 반도체 소자의 제조 방법.

#### 청구항 57.

제55 항에 있어서, 상기 전하 축적 영역을 형성하는 단계시 상기 측벽 콘트롤 게이트들과 상기 상면 콘트롤 게이트 하부의 전하 축적 영역을 구성하는 터널링 절연막의 두께가 다르게 형성하고,

상기 복수의 콘트롤 게이트 형성 단계시 상기 측벽 콘트롤 게이트들의 폭이 서로 다르게 형성하는 비휘발성 반도체 소자의 제조 방법.

#### 청구항 58.

제54 항에 있어서, 상기 측벽 콘트롤 게이트들 각각의 전류 구동력이 동일한 비휘발성 반도체 소자의 제조 방법.

#### 청구항 59.

제58 항에 있어서, 상기 3차원 반도체 바디의 형성 단계시 상기 3차원 반도체 바디의 측벽의 높이와 상면의 폭이 다르게 형성하는 비휘발성 반도체 소자의 제조 방법.

#### 청구항 60.

제58 항에 있어서, 상기 전하 축적 영역을 형성하는 단계시 상기 측벽 콘트롤 게이트들과 상기 상면 콘트롤 게이트 하부의 전하 축적 영역을 구성하는 터널링 절연막의 두께가 다르게 형성하는 비휘발성 반도체 소자의 제조 방법.

#### 청구항 61.

제53 항에 있어서, 상기 측벽 콘트롤 게이트들 및 상기 상면 콘트롤 게이트는 전류 구동력이 동일한 비휘발성 반도체 소자의 제조 방법.

### 청구항 62.

제53 항에 있어서, 상기 복수의 콘트롤 게이트 형성 단계는 상기 양측벽에 정렬된 두개의 측벽 콘트롤 게이트들을 형성하는 단계;

상기 측벽 콘트롤 게이트들 상면에 절연막을 형성하는 단계; 및

상기 측벽 콘트롤 게이트들과 오버랩되며 상기 상면 위에 형성된 상면 콘트롤 게이트를 형성하는 단계를 포함하는 비휘발성 반도체 소자의 제조 방법.

### 청구항 63.

제62 항에 있어서, 상기 측벽 콘트롤 게이트들을 형성하는 단계는 상기 3차원 반도체 바디의 양측벽에 스페이서 형태로 상기 측벽 콘트롤 게이트들을 형성하는 단계인 반도체 소자의 제조 방법.

### 청구항 64.

제62 항에 있어서, 상기 측벽 콘트롤 게이트들을 형성하는 단계는 상기 3차원 반도체 바디에 의해 정의되는 트렌치를 매립하는 다마신 배선 형태로 상기 측벽 콘트롤 게이트들을 형성하는 단계인 반도체 소자의 제조 방법.

### 청구항 65.

제62 항에 있어서, 상기 상면 콘트롤 게이트는 상기 측벽 콘트롤 게이트들의 상면에 형성된 상기 절연막을 노출시키는 개구부를 구비하도록 형성하는 비휘발성 반도체 소자의 제조방법.

### 청구항 66.

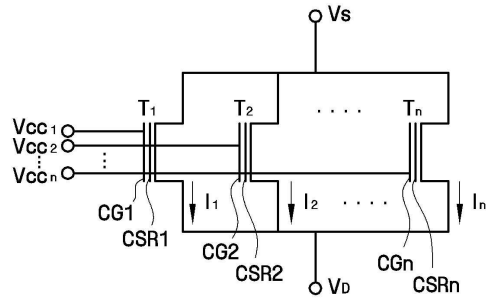
제51 항에 있어서, 상기 전하축적영역은 플로팅 트랩구조 또는 플로팅 게이트 구조로 형성하는 비휘발성 반도체 소자의 제조 방법.

### 청구항 67.

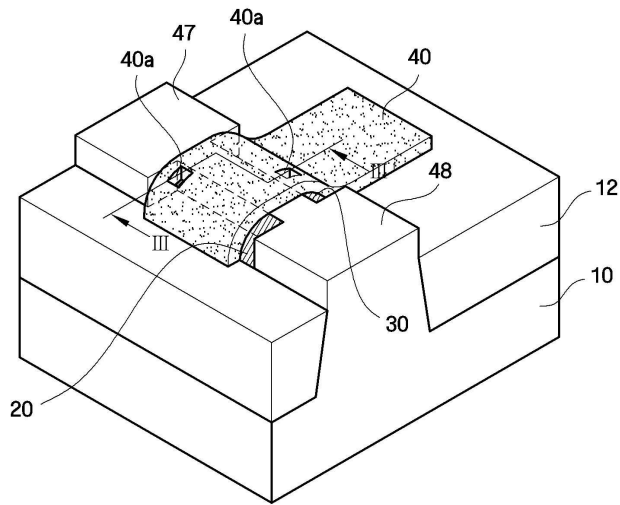
제66 항에 있어서, 상기 플로팅 트랩구조는 터널링 절연막, 전하 트랩막, 블록킹 절연막의 적층 구조로 형성하는 비휘발성 반도체 소자의 제조 방법.

도면

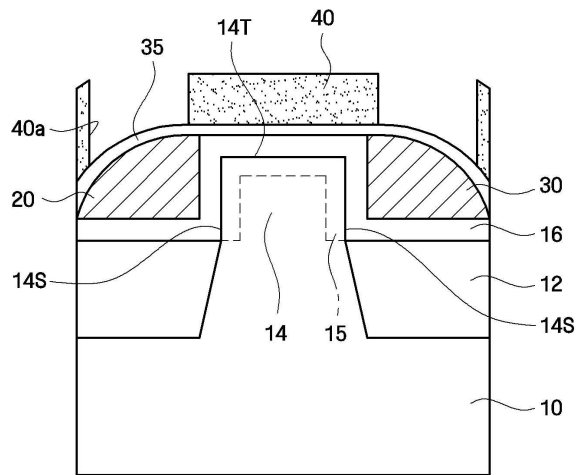
도면1



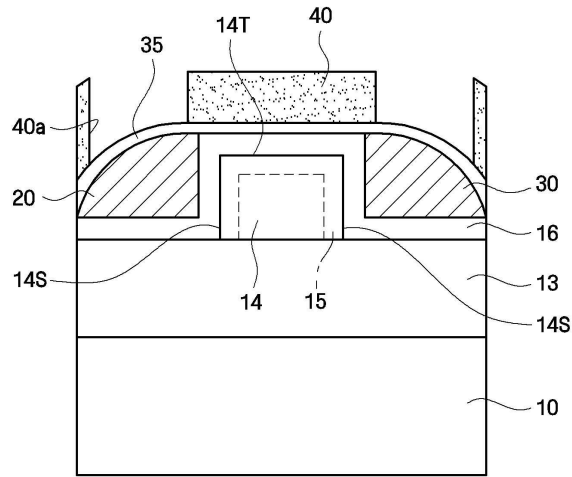
도면2



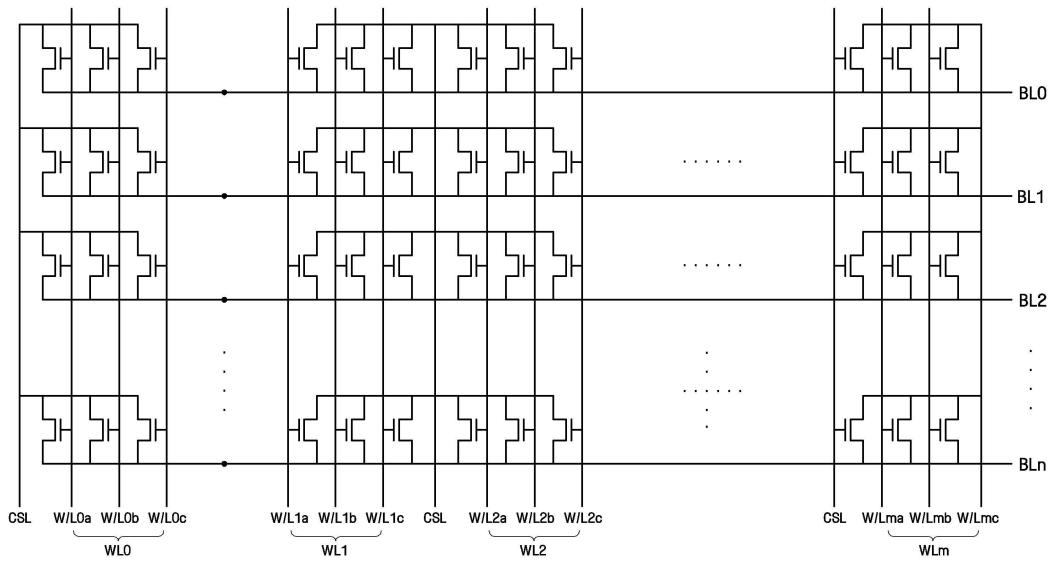
도면3



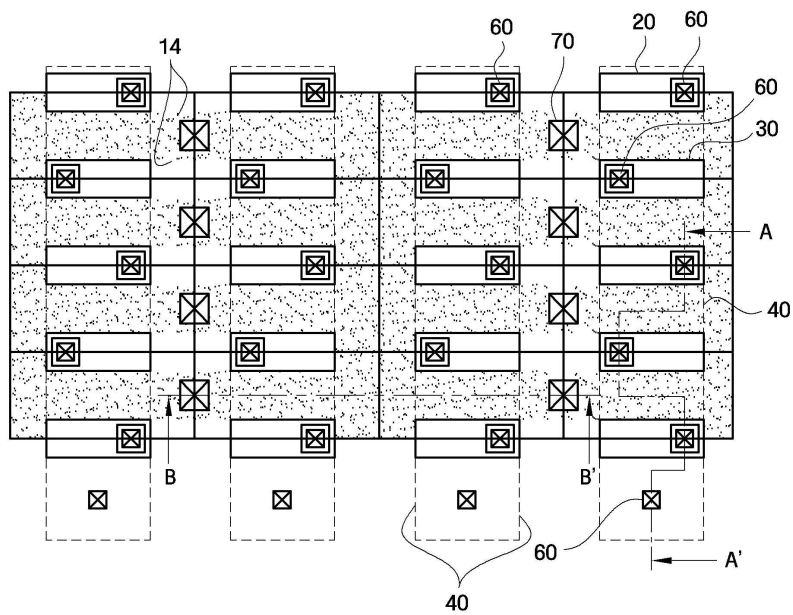
도면4



도면5

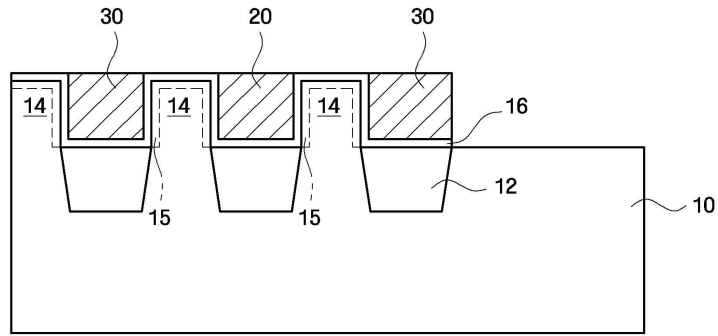


도면6

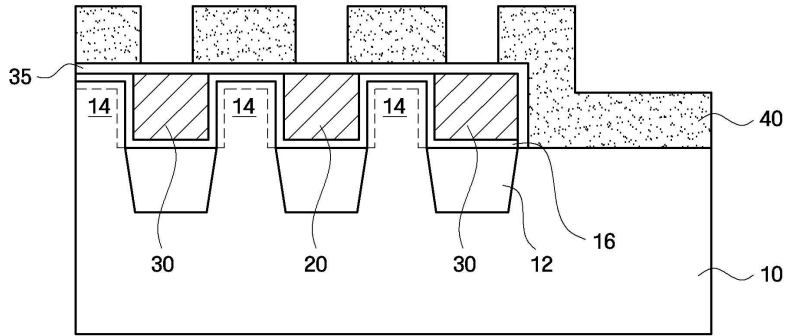




도면10



도면11



도면12

