



(19)
 Bundesrepublik Deutschland
 Deutsches Patent- und Markenamt

(10) **DE 10 2005 025 216 B4** 2009.02.26

(12)

Patentschrift

(21) Aktenzeichen: **10 2005 025 216.8**
 (22) Anmeldetag: **01.06.2005**
 (43) Offenlegungstag: **08.06.2006**
 (45) Veröffentlichungstag
 der Patenterteilung: **26.02.2009**

(51) Int Cl.⁸: **G11C 29/18** (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
10-2004-0043000 11.06.2004 KR
10-2005-0001495 07.01.2005 KR

(73) Patentinhaber:
Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR

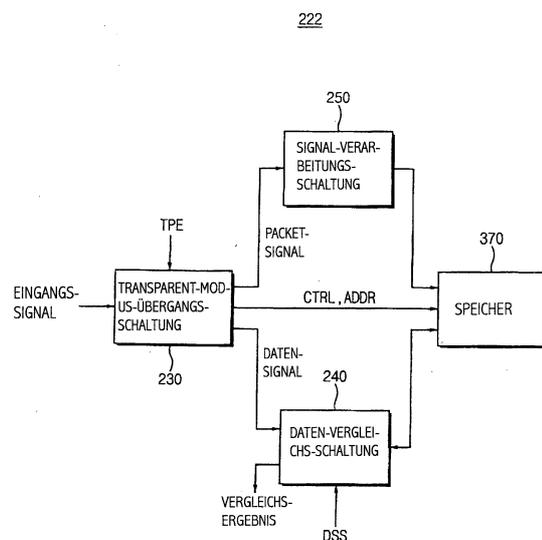
(74) Vertreter:
**Kuhnen & Wacker Patent- und
 Rechtsanwaltsbüro, 85354 Freising**

(72) Erfinder:
**Shin, Seung-Man, Suwon, Kyonggi, KR; So,
 Byung-Se, Sunnam, Kyonggi, KR; Seo,
 Seung-Jin, Suwon, Kyonggi, KR; Han, You-Keun,
 Yongin, Kyonggi, KR**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:
DE 103 35 978 B4
WO 2004/0 17 162 A2
**JEDDELOH, Joe: "Fully Buffered DIMM
 (FB-Dimm), JED
 EX, San Jose, 15.-16. April 2004, Konferenzunterla
 gen aus dem Internet (Stand 02.05.2007)**
http://download.micron.com/pdf/presentations/jedex/fbdimm_micron_2004.pdf; JEDEC Standard No. **82-20:"FBDIMM: Advanced Memory Buffer (AMB)", JEDEC März 2007; JEDEC FB-DIMM Draft Specification: Design for Test, Design for Validation (DFx) Specification, Veröffentlichungsdatum unbekannt;**

(54) Bezeichnung: **Hub eines Speichermoduls und Verfahren zum Testen eines Speichermoduls unter Verwendung des Hubs**

(57) Hauptanspruch: Hub (222) eines Speichermoduls, der eine Signal-Verarbeitungsschaltung (250), eine Daten-Vergleichsschaltung (240) und einen Speicher (370) enthält, wobei ein Ausgang der Signal-Verarbeitungsschaltung (250) mit dem Speicher (370) verbunden ist und die Datenvergleichsschaltung mit dem Speicher (370) verbunden ist, gekennzeichnet durch eine ansteuerbare (bei TPE) Transparent-Modus-Übergangsschaltung (230), die mit der Signal-Verarbeitungsschaltung (250), der Daten-Vergleichsschaltung (240) und direkt mit einem Eingang des Speichers (370) verbunden ist und die in einem normalen Modus betreibbar ist, in welchem Datenpakete in den Speicher (370) einleitbar sind und/oder in ein Speichersteuersignal, ein Adressensignal und/oder ein Datensignal transformiert werden, und die in einem Transparentmodus betreibbar ist, in welchem ein Eingangssignal von der Transparent-Modus-Übergangsschaltung (230) an den Speicher (370) und/oder an die Datenvergleichsschaltung (240) ausgebar ist, wobei das Eingangssignal aus einem Speichersteuersignal (CTRL) und/oder aus einem Adressensignal (ADDR) für den Speicher (370) besteht.



Beschreibung

HINTERGRUND DER ERFINDUNG

1. Gebiet der Erfindung

[0001] Die vorliegende Erfindung betrifft einen Hub eines Speichermoduls nach dem Anspruch 1, sowie ein Verfahren zum Testen eines Speichermoduls nach dem Anspruch 7.

2. Beschreibung des Standes der Technik

[0002] Aus der DE 103 35 978 B4 ist ein älterer Vorschlag bekannt, der die folgenden Schritte umfasst: Liefern von ersten Daten entsprechend einer ersten Adresse zu einem Hub eines Speichermoduls; Liefern der ersten Daten des Hubs des Speichermoduls zu einer ersten Adresse eines Speichers; Liefern von ersten erwarteten Daten zu dem Hub des Speichermoduls; Ausgeben von zweiten Daten, die an der ersten Adresse des Speichers gespeichert sind, an den Hub des Speichermoduls; und Vergleichen der zweiten Daten mit den ersten erwarteten Daten.

[0003] Aus der WO 2004/017162 A2 ist ein Verfahren zum Testen eines Speichermoduls bekannt, bei dem ein Selbsttestmodul in einem Hub integriert ist und einen Speichertest und eine Reparatur des Speichers durchführt.

[0004] Aus der Literaturstelle JEDDELOH, Joe: "Fully buffered DIMM (FB-Dimm), JEDER, San Jose, 15.-16. April 2004 ist es bekannt, dass das Testen von FB-DIMMS mittels eines sogenannten Transparent-Modus und mit Hilfe einer Testvorrichtung (ATE) durchgeführt werden kann.

[0005] Die Erhöhung der Geschwindigkeit und/oder Schaltungsintegration eines Hauptspeichers kann in Korrelation zu der Erhöhung der Betriebsgeschwindigkeiten von zentralen Verarbeitungsschaltungen stehen. Eine Busarchitektur, die bei hohen Geschwindigkeiten Paketübertragungs- und/oder Empfangsvorgänge durchführen kann, und zwar zwischen der zentralen Verarbeitungsschaltung und dem Hauptspeicher, kann dafür verwendet werden, um die Dateneingabe und/oder Datenausgabegeschwindigkeiten des Hauptspeichers zu fördern. Ferner kann ein Speichermodul mit einer Vielzahl an Speicherchips, die auf einer gedruckten Schaltungsplatine (PCB) montiert sind, dazu verwendet werden, um eine Speicherkapazität des Hauptspeichers zu fördern oder zu erhöhen.

[0006] Der Speichermodul kann als ein einzelner In-Line-Speichermodul (SIMM) oder Dual-In-Line-Speichermodul (DIMM) klassifiziert wer-

den. Ein SIMM kann aus einem Speichermodul bestehen, der Speicherchips aufweist, die lediglich auf einer Seite des PCB montiert sind, während ein DIMM aus einem Speichermodul bestehen kann, bei dem Speicherchips auf beiden Seiten des PCB montiert sind.

[0007] Es können mehrere Optionen zum Vergrößern der Speicherkapazität des Hauptspeichers gegeben sein. Die Verwendung von Speichermodulen kann die Speicherkapazität vergrößern. Auch kann eine Erhöhung der Speichertaktfrequenzen den Speicherdatenzugriff bzw. die Speicherdatenzugriffsraten erhöhen, die Datentransferraten herbeiführen können, um eine Änderung zu bewirken, was zu einer Vergrößerung der Speicherkapazität führt. Zusätzlich kann die Zahl der Speicherchips, die auf dem Speichermodul montiert sind und/oder die Zahl der Schlitze des Motherboards erhöht werden, um dadurch mehr Speicherkapazität zu erreichen.

[0008] Unglücklicherweise kann bei einer Erhöhung einer Taktfrequenz des Speichers der Zeitsteuerungsbereich des Speichers reduziert werden. Auch wenn die Zahl der Schlitze des Motherboards erhöht wird, kann die Signalübertragung einer Übertragungsleitung durch die Erzeugung einer Lastimpedanz geschwächt werden. Es kann ein registrierter DIMM, das heißt ein spezieller Typ eines DIMM, dazu verwendet werden, um diese Signalübertragungsschwächen zu kompensieren.

[0009] Die [Fig. 1A](#) und [Fig. 1B](#) veranschaulichen Blockschaltbilder, die einen herkömmlichen registrierten DIMM bzw. einen Puffer-DIMM darstellen.

[0010] Gemäß [Fig. 1A](#) kann ein registrierter DIMM eine phasenstarre Schleife (PLL) **103**, ein Register **101** und eine Vielzahl an Speichern **105** aufweisen.

[0011] Wenn ein registrierter DIMM auf einem Motherboard montiert wird, kann der registrierte DIMM eine Kompensation hinsichtlich der Erzeugung der Lastimpedanz bewirken. Wenn das Motherboard viele Schlitze aufweist und/oder die Taktfrequenz hoch ist, kann eine reflektierte Welle erzeugt werden, wodurch dann der Übertragungswirkungsgrad verschlechtert wird. Um die Verschlechterung des Übertragungswirkungsgrades zu überwinden, kann ein Puffer-DIMM verwendet werden. Der Puffer-DIMM kann einen Hub aufweisen, um Pakete zu empfangen und um die Pakete in einen Speicherbefehl zu transformieren.

[0012] Gemäß [Fig. 1B](#) kann ein Puffer-DIMM einen Hub **107** aufweisen und auch eine Vielzahl an Speichern **109** besitzen. Der Hub **107** kann Pakete empfangen und kann die Pakete zu einer Vielzahl an Speicher **109** verteilen, die an dem Speichermodul montiert sind, und zwar mit einem Speicherbefehl

und mit Daten. Ferner kann der Hub **107** Daten in Datenpakete bringen, die von dem Speicher ausgegeben werden, und Daten einem Speicher-Controller in Paketform zuzuführen.

[0013] [Fig. 2A](#) ist ein Blockschaltbild, welches ein Testverfahren eines herkömmlichen Speichermoduls veranschaulicht.

[0014] Gemäß [Fig. 2A](#) kann das Testverfahren eine Vielzahl an Speichermodulen **220-1**, **220-2**, ..., **220-N** und eine Busstruktur verwenden, die für die Übertragung eines Pakets von einem Speichermodul zu anderen Speichermodulen geeignet sind. Ferner kann die Busstruktur zwischen einem Hub **222** und/oder einem Speicher-Controller **210** positioniert sein, um die Übertragung des Paketes in geeigneter Weise vorzunehmen. Ein Kanal eines Punkt-zu-Punkt-(P2P)-Typs kann zwischen dem Speicher-Controller **210** und jedem betreffenden Speichermodul **220-N** ausgebildet sein und es können dann Signale zwischen dem Speicher-Controller **210** und den Speichermodulen **220-1**, **220-2**, ..., **220-N** in einer Prioritätsverkettungsart übertragen werden. Es kann daher die Lastimpedanz der Übertragungsleitungen reduziert werden.

[0015] Das Paket, welches von dem Speicher-Controller **210** empfangen werden kann, kann einen Identifizierungskode aufweisen, der den Speichermodul-Bestimmungsort angibt. Wenn der Identifizierungskode des empfangenen Paketes zu einem bestimmten Speichermodul **220-i** passt, kann der bestimmte Speichermodul **220-i** das empfangene Paket verarbeiten und/oder kann die Daten zu dem entsprechenden Speicher **224** übertragen.

[0016] Es können zwei Verfahren verwendet werden, wenn ein Speichermodul unter Verwendung einer automatischen Testausrüstung getestet wird. Das erste Verfahren zum Testen kann aus einer eingebauten Eigentesteinrichtung (Built-In Self Test) (BIST) bestehen. Dieses Verfahren kann die Vorbereitung einer Testlogik in dem Hub umfassen, um den Speicher zu testen, wenn ein spezifisches Moduswählsignal an dem Speichermodul angelegt wird. Wenn jedoch die BIST verwendet wird, kann jedoch der Testumfang verschlechtert werden, und zwar auf Grund des Testvorganges des Speichers mit einem festgelegten Testmuster.

[0017] Das zweite Testverfahren kann einen Transparentmodus verwenden. Bei dem Transparentmodus kann ein Steuersignal an einen Speichermodul angelegt werden und es können Signale von einer automatischen Testausrüstung aus eingespeist werden. Diese Signale können dann direkt in den Speicher eingespeist werden. Da jedoch die Signale von der Testausrüstung direkt in den Speicher eingespeist werden, kann eine Differenz zwischen einer

Tab-Zahl in dem Speichermodul und einer Tab-Zahl auftreten, die zum Testen des Speichermoduls erforderlich ist. Wenn ein Datenvergleich in dem Hub vorgenommen wird, können die in den Speicher eingegebenen Daten in einem Register gespeichert werden. Die Verwendung eines Registers zur Durchführung des Datenvergleichs kann eine komplexe Schaltung erfordern und/oder kann Schwierigkeiten bei der Synchronisation der verglichenen Daten mit sich bringen.

[0018] [Fig. 2B](#) ist eine Tabelle, in der eine Tab-Nummer des Puffer-DIMM mit einer Tab-Nummer verglichen wird, die zum Testen des Puffer-DIMM in einem Transparentmodus erforderlich ist.

[0019] In einem normalen Modus bestehen die Signale, die in den Puffer-DIMM eingespeist werden oder aus diesem ausgegeben werden, alle aus Differenzsignalen (differential signals). Der Ausdruck "Northbound" in der Tabelle von [Fig. 2B](#) gibt ein Paket an, welches von dem Speicher-Controller zur Einspeisung in den Puffer-DIMM ausgegeben wird, und der Ausdruck "Southbound" gibt ein Paket an, welches von dem Puffer-DIMM zur Einspeisung in den Speicher-Controller **210** ausgegeben wird. Der Zusatz bei dem Ausdruck "primär" gibt ein Paket an, welches in den Hub **222** eingespeist wird, und ein Ausdruck "sekundär" gibt ein Paket an, welches von dem Hub **222** ausgegeben wird.

[0020] Gemäß [Fig. 2B](#) kann ein Puffer-DIMM in dem normalen Modus 14 Tabs oder Pins ein primäres Northbound-Paket (PN) aufweisen, 14 Tabs oder Pins für einen komplementären primären Northbound (/PN), 10 Tabs oder Pins für einen primären Northbound (PS), 10 Tabs oder Pins für einen komplementären primären Northbound (/PS), 14 Tabs oder Pins für einen sekundären Northbound (SN), 14 Tabs oder Pins für einen komplementären sekundären Northbound (/SN), 10 Tabs oder Pins für einen sekundären Southbound (SS) und 10 Tabs oder Pins für einen komplementären sekundären Southbound (/SS). Beispielsweise kann der Puffer-DIMM eine Gesamtzahl von 96 Tabs oder Pins aufweisen. Um jedoch den Speicher in dem Transparentmodus zu testen, können mehrere Tabs oder Pins, beispielsweise 8 Tabs oder Pins, für Speichersteuersignale erforderlich sein, wie beispielsweise /CS, /RAS, /CAS, /WE usw. Ferner können mehrere Tabs oder Pins, beispielsweise 18 Tabs oder Pins, für Adresssignale erforderlich sein, mehrere Tabs oder Pins, wie 72 Tabs oder Pins, können für Datensignale (DQ) erforderlich sein und mehrere Tabs oder Pins, beispielsweise 18 Tabs oder Pins, können für Datenstrobesignale (DQS) erforderlich sein. Beispielsweise sind mehr Tabs oder Pins erforderlich als der Speichermodul besitzt. Bei dem zuvor angegebenen Beispiel können wenigstens 116 Tabs oder Pins erforderlich sein, um den Speicher in dem Transparentmodus zu testen

und daher kann der Speichermodul in dem Transparentmodus nicht ausreichend Tabs oder Pins besitzen.

ZUSAMMENFASSUNG DER ERFINDUNG

[0021] Demzufolge können als Beispiel gewählte Ausführungsformen der vorliegenden Erfindung im Wesentlichen die Probleme reduzieren, und zwar aufgrund von Einschränkungen und/oder Nachteilen, die beim Stand der Technik auftreten.

[0022] Die der Erfindung zugrundeliegende Aufgabe besteht darin einen Hub eines Speichermoduls zu schaffen, bei dem eine verbesserte Überprüfung der Funktionsfähigkeit des Hubs realisiert ist, und ein Verfahren zum Testen eines Speichermoduls unter Verwendung des Hubs anzugeben, welches eine hohe Testsicherheit und Testgenauigkeit gewährleisten kann.

[0023] In Verbindung mit dem Hub eines Speichermoduls wird die genannte Aufgabe durch die im Anspruch 1 aufgeführten Merkmale gelöst.

[0024] Besonders vorteilhafte Ausgestaltungen und Weiterbildungen des erfindungsgemäßen Hub ergeben sich aus den Ansprüchen 2 bis 6.

[0025] In Verbindung mit dem Verfahren zum Testen eines Speichermoduls unter Verwendung des Hubs wird die genannte Aufgabe durch die im Anspruch 7 angegebenen Merkmale gelöst.

[0026] Vorteilhafte Ausgestaltungen und Weiterbildungen des erfindungsgemäßen Verfahrens ergeben sich aus den Ansprüchen 8 bis 13.

[0027] Beispielhafte Ausführungsformen der vorliegenden Erfindung betreffen ein Verfahren zum Testen eines Speichermoduls, in dem Diskrepanzen hinsichtlich der Zahl der Tabs oder Pins in einem Transparentmodus verhindert oder reduziert werden.

[0028] Bei einigen Ausführungsformen der vorliegenden Erfindung kann ein Verfahren zum Testen eines Speichermoduls das Umwandeln eines Hubs eines Speichermoduls in einen Transparentmodus umfassen, Vorsehen von ersten Daten entsprechend einer ersten Adresse zu dem Hub des Speichermoduls, Vorsehen der ersten Daten zu dem Hub des Speichermoduls zu einer ersten Adresse eines Speichers; Vorsehen von ersten erwarteten Daten zu dem Hub des Speichermoduls, Ausgeben von zweiten Daten, die an der ersten Adresse des Speichers gespeichert sind, zu dem Hub des Speichermoduls, und Vergleichen der zweiten Daten mit den ersten erwarteten Daten.

[0029] Bei anderen Ausführungsformen der vorlie-

genden Erfindung kann das Verfahren ein Testen eines Speichermoduls das Empfangen von Eintakt-Eingangssignalen über Differenz-Eingangsanschlüsse umfassen, über welche Differenzialpaare von Paketsignalen von einer Testausrüstung empfangen werden, wobei eine Anzahl an Anschlüssen der Testausrüstung verschieden ist von einer Zahl der Anschlüsse des Speichermoduls und der testenden Speicherchips des Speichermoduls basierend auf den Eintakt-Signalen.

[0030] Als Beispiel gewählte Ausführungsformen der vorliegenden Erfindung schaffen auch einen Hub eines Speichermoduls, um Unterschiede in der Zahl der Tabs oder Pins in einem Transparentmodus zu verhindern oder zu reduzieren.

[0031] Bei anderen beispielhaften Ausführungsformen der vorliegenden Erfindung kann ein Hub eines Speichermoduls eine Transparentmodus-Übergangsschaltung aufweisen, die so konfiguriert ist, um ein Eingangssignal zu empfangen und/oder so konfiguriert ist, um einen Betriebsmodus zwischen einem normalen Modus und einem Transparentmodus im Ansprechen auf ein Transparentmodus-Freigabesignal zu ändern, eine Signalverarbeitungsschaltung enthalten, die so konfiguriert ist, um ein Ausgangssignal der Transparentmodus-Übergangsschaltung zu verarbeiten, wenn die Transparentmodus-Übergangsschaltung in dem normalen Modus arbeitet, und eine Datenvergleichsschaltung enthält, die so konfiguriert ist, um ein Datensignal von der Transparentmodus-Übergangsschaltung zu empfangen, um eine Bestimmung vorzunehmen, ob eine Fehlfunktion eines Speichers auftritt, und zwar unter Verwendung der empfangenen Datensignale.

[0032] Beispielhafte Ausführungsformen der vorliegenden Erfindung können auch einen Datenkomparator eines Hubs eines Speichermoduls umfassen, mit einem Datenselektor, der ein Datenwählsignal empfängt und auch ein Datensignal empfängt und der das Datensignal zu einem Speicher des Speichermoduls liefert, wenn das Datenwählsignal angibt, dass das Datensignal aus einem Datenschreibsignal besteht, und wobei ein Komparator das Datensignal von dem Datenselektor empfängt und Daten empfängt, die von dem Speicher des Speichermoduls ausgegeben werden, wenn das Datenwählsignal angibt, dass das Datensignal ein erwartetes Datensignal ist.

[0033] Beispielhafte Ausführungsformen der vorliegenden Erfindung schaffen auch ein Verfahren zum Vergleichen von Daten in einem Hub eines Speichermoduls, wonach ein Datenwählsignal und ein Datensignal empfangen werden, das Datensignal zu einem Speicher des Speichermoduls geliefert wird, wenn das Datenwählsignal angibt, dass das Datensignal aus einem Datenschreibsignal besteht, ferner zum

Empfangen des Datensignals von dem Datenselektor und der Daten, die von dem Speicher des Speichermoduls ausgegeben werden, wenn das Datenwählsignal angibt, dass das Datensignal aus einem erwarteten Datensignal besteht, und wobei das Datensignal von dem Datenselektor und die Daten verglichen werden, die von dem Speicher des Speichermoduls ausgegeben werden.

[0034] Als Beispiel gewählte Ausführungsformen der vorliegenden Erfindung betreffen auch einen Speichermodul mit p-Speicherchips, einer Differenzeingabeschaltung, die so konfiguriert ist, um Differenzialpaare von Paketsignalen zu empfangen, und zwar über Eingangsanschlüsse in einem ersten Modus im Ansprechen auf ein Modussteuersignal, mit einer unsymmetrischen Eingabeschaltung, die so konfiguriert ist, dass sie Eintakt-Eingabesignale über Eingangsanschlüsse in einem zweiten Modus empfängt, und zwar im Ansprechen auf das Modussteuersignal, mit einer Signalverarbeitungsschaltung, die so konfiguriert ist, um die Differenzialpaare der Paketsignale zu dekodieren, die von der Differenzialeingabeschaltung zur Steuerung der Speicherchips in dem ersten Modus ausgegeben werden, und mit einer Testschaltung, die so konfiguriert ist, um die Speicherchips basierend auf den Eintakt-Eingabesignalen zu testen, die an die unsymmetrischen r Eingabeschaltung empfangen werden.

[0035] Als Beispiel gewählte Ausführungsformen der vorliegenden Erfindung betreffen auch einen Halbleiterchipmodul mit einem Paar von Differenzialeingabeanschlüssen, über die das Eingangssignal empfangen wird, einer Differenzialeingabeschaltung, die so konfiguriert ist, um ein Differenzialsignal in einem ersten Modus basierend auf den Eingangssignalen zu erzeugen, die durch das Paar der Differenzialeingangsanschlüsse empfangen werden, und mit einer unsymmetrischen Eingabeschaltung, die so konfiguriert ist, um zwei Eintakt-Signale in einem zweiten Modus basierend auf den Eingangssignalen zu erzeugen, die von dem Paar der Differenzialeingangsanschlüsse empfangen werden.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0036] Die vorliegende Erfindung ergibt sich klarer aus einer detaillierten Beschreibung von als Beispiele gewählten Ausführungsformen unter Hinweis auf die beigefügten Zeichnungen. In den Zeichnungen zeigen:

[0037] [Fig. 1A](#) und [Fig. 1B](#) Blockschaltbilder, welche herkömmliche registrierte DIMM und Puffer-DIMM veranschaulichen;

[0038] [Fig. 2A](#) ein Blockschaltbild, welches ein Testverfahren eines herkömmlichen Speichermoduls veranschaulicht;

[0039] [Fig. 2B](#) eine Tabelle, welche eine Anzahl an Tabs in einem Puffer-DIMM und eine Anzahl von Tabs veranschaulicht, die zum Testen des Speichers erforderlich sind;

[0040] [Fig. 3](#) ein Blockschaltbild, welches einen Speichermodul einer als Beispiel gewählten Ausführungsform der vorliegenden Erfindung veranschaulicht;

[0041] [Fig. 4](#) ein Blockschaltbild, welches einen Speichermodul gemäß einer anderen beispielhaften Ausführungsform der vorliegenden Erfindung wiedergibt;

[0042] [Fig. 5](#) ein Blockschaltbild, welches eine Transparentmodus-Übergangsschaltung zeigt, und zwar einer beispielhaften Ausführungsform der vorliegenden Erfindung;

[0043] [Fig. 6](#) ein Schaltungsdiagramm, welche eine Steuersignal-Übergangsschaltung wiedergibt, und zwar entsprechend einer als Beispiel gewählten Ausführungsform der vorliegenden Erfindung;

[0044] [Fig. 7](#) ein Blockschaltbild, welches eine Datenvergleichsschaltung gemäß einer beispielhaften Ausführungsform der vorliegenden Erfindung veranschaulicht;

[0045] [Fig. 8](#) ein Blockschaltbild, welches eine Datenvergleichsschaltung gemäß einer anderen als Beispiel gewählten Ausführungsform der vorliegenden Erfindung wiedergibt;

[0046] [Fig. 9](#) ein Zeitsteuerdiagramm, welches einen Betrieb der Datenvergleichsschaltung von [Fig. 7](#) gemäß einer als Beispiel gewählten Ausführungsform der vorliegenden Erfindung zeigt;

[0047] [Fig. 10](#) ein Zeitsteuerdiagramm, welches einen Betrieb der Datenvergleichsschaltung von [Fig. 8](#) entsprechend einer anderen als Beispiel gewählten Ausführungsform der vorliegenden Erfindung veranschaulicht;

[0048] [Fig. 11](#) ein Flussdiagramm, welches ein Testverfahren eines Speichermoduls gemäß einer als Beispiel gewählten Ausführungsform der vorliegenden Erfindung wiedergibt;

[0049] [Fig. 12](#) ein Blockschaltbild, welches einen Testbetrieb eines Puffer-DIMM gemäß der vorliegenden Erfindung mit Hilfe einer herkömmlichen Testausrichtung gemäß einer als Beispiel gewählten Ausführungsform der vorliegenden Erfindung veranschaulicht;

[0050] [Fig. 13](#) ein Blockschaltbild, welches einen Puffer-DIMM gemäß einer beispielhaften Ausführungsform der vorliegenden Erfindung veranschaulicht;

rungsform der vorliegenden Erfindung wiedergibt;

[0051] [Fig. 14](#) eine schematische Ansicht, die eine Einschreiboperation von Testdaten gemäß einer als Beispiel gewählten Ausführungsform der vorliegenden Erfindung veranschaulicht; und

[0052] [Fig. 15](#) eine schematische Ansicht, die eine Vergleichsoperation des Speichermoduls gemäß einer als Beispiel gewählten Ausführungsform der vorliegenden Erfindung zeigt.

BESCHREIBUNG VON BEISPIELHAFTEN AUSFÜHRUNGSFORMEN

[0053] Im Folgenden werden als Beispiel gewählte Ausführungsformen der vorliegenden Erfindung in Einzelheiten unter Hinweis auf die beigefügten Zeichnungen beschrieben.

[0054] Ein Testspeichermodul einer beispielhaften Ausführungsform der vorliegenden Erfindung kann einen Direkttestvorgang ausführen, und zwar unter Verwendung einer Testausrüstung, ohne ein Paket an einen Speichermodul anzulegen. Ein Hub des Speichermoduls kann einen Befehl und/oder Daten generieren, die für den Speicher erforderlich sind, um in dem Transparentmodus zu arbeiten, und zwar anstelle einer Verarbeitung eines Pakets des Hubs, um einen Befehl und Datensignale zu erhalten.

[0055] [Fig. 3](#) zeigt ein Blockschaltbild, welches ein Speichermodul einer als Beispiel gewählten Ausführungsform der vorliegenden Erfindung veranschaulicht.

[0056] Gemäß [Fig. 3](#) kann der Hub **222** des Speichermoduls eine Transparentmodus-Übergangsschaltung **230**, eine Datenvergleichsschaltung **240** und eine Signalverarbeitungsschaltung **250** enthalten.

[0057] Die Transparentmodus-Übergangsschaltung **230** kann in einem Modus bzw. Betriebsart oder in einem Transparentmodus oder -betriebsart entsprechend einem Transparentmodus-Freigabesignal (TPE) arbeiten. Der normale Modus der als Beispiel gewählten Ausführungsform kann anzeigen, dass das Datenpaket in den Speichermodul eingeleitet worden ist und/oder in ein Speichersteuersignal, ein Adressensignal und/oder ein Datensignal transformiert worden ist, und zwar durch Verarbeiten eines Datenpaketes der Signalverarbeitungsschaltung **230**. Ferner kann der Transparentmodus einer beispielhaften Ausführungsform anzeigen, dass die Testausrüstung das Speichersteuersignal, das Adressensignal und das Datensignal anlegen kann, die zum Testen des Speichers erforderlich sind, und zwar in direkter Form an den Speicher **370**.

[0058] Demzufolge kann ein Eingabedatenpaketsignal von der Transparentmodus-Übergangsschaltung **230** ausgegeben werden und kann durch die Signalverarbeitungsschaltung **250** in dem normalen Modus empfangen werden. In dem Transparentmodus kann ein Eingangssignal von der Transparentmodus-Übergangsschaltung **230** an den Speicher **230** ausgegeben werden und/oder an die Datenvergleichsschaltung **240** ausgegeben werden. Die Signalverarbeitungsschaltung **250** arbeitet nicht in dem Transparentmodus. In dem Transparentmodus kann ein Speichersteuersignal CTRL und/oder das Adressensignal ADDR für den Speicher **370** vorgesehen werden und das Datensignal DATA SIGNAL kann an die Datenvergleichsschaltung **240** geliefert werden. In dem Transparentmodus kann der Speichermodul eine zu geringe Zahl an Tabs oder Pins aufweisen, so dass der Betrag an Daten, der der Datenvergleichsschaltung **240** von der Testausrüstung zugeführt wird, kleiner sein kann als der Betrag an Daten, die in den Speicher **370** eingeschrieben werden.

[0059] Die Datenvergleichsschaltung **240** kann das Datensignal DATA SIGNAL empfangen und kann das Datensignal DATA SIGNAL zu dem Speicher **370** in dem Transparentmodus übertragen. Ferner kann die Datenvergleichsschaltung **240** Ausgangsdaten des Speichers **370** empfangen. Die Daten von dem Speicher **370** können dadurch getestet werden, indem die Ausgangsdaten des Speichers **370** und/oder die erwarteten Daten, die von der Testausrüstung eingespeist werden, verglichen werden. Die Datenvergleichsschaltung **240** kann das Eingangssignal zu dem Speicher **370** übertragen und/oder kann den Datenvergleich entsprechend einem Datenwählsignal (DSS) durchführen.

[0060] Wenn das Datenwählsignal DSS anzeigt, dass das eingespeiste Datensignal aus den Eingabedaten bestehen kann, die dem Speicher **370** zugeführt werden, kann das Eingabe-Datensignal zu dem Speicher **370** geliefert werden. Umgekehrt, wenn das Datenwählsignal anzeigt, dass das eingespeiste Datensignal aus den erwarteten Daten bestehen kann bzw. besteht, kann das Datensignal mit den Ausgangsdaten des Speichers **370** verglichen werden.

[0061] In dem normalen Betriebsmodus können die Transparentmodus-Übergangsschaltung **230** und die Signalverarbeitungsschaltung **250** das Datenpaket empfangen und können das Speichersteuersignal CTRL, das Adressensignal ADDR und das Datensignal zu dem Speicher **370** liefern.

[0062] [Fig. 4](#) zeigt ein Blockschaltbild, welches einen Speichermodul gemäß einer anderen als Beispiel gewählten Ausführungsform der vorliegenden Erfindung veranschaulicht.

[0063] In [Fig. 4](#) kann die Datenvergleichsschaltung

330 das Datenpaket von der Transparentmodus-Übergangsschaltung **310** in dem normalen Modus empfangen.

[0064] Während einer Einschreiboperation in dem normalen Modus transformiert die Signalverarbeitungsschaltung **350** ein Datenpaket, welches von der Transparentmodus-Übergangsschaltung **310** ausgegeben wird, in ein Speichersteuersignal CONTROL SIGNAL, ein Adressensignal ADDRESS SIGNAL und/oder ein Datensignal DATA SIGNAL, um das Speichersteuersignal CONTROL SIGNAL, das ADDRESS SIGNAL und/oder das Datensignal DATA SIGNAL zu der Datenvergleichsschaltung **330** und dem Speicher **370** zu übertragen.

[0065] Während einer Ausleseoperation in dem normalen Modus wird das Datenpaket, welches von der Transparentmodus-Übergangsschaltung **310** ausgegeben wird, in das Speichersteuersignal CONTROL SIGNAL und das Adressensignal ADDRESS SIGNAL transformiert, um diese zu dem Speicher **370** zu liefern. Die aus dem Speicher **370** ausgelesenen Daten werden durch die Datenvergleichsschaltung **330** empfangen und werden in Paketform gebracht, und zwar mit Hilfe der Signalverarbeitungsschaltung **320**, und werden dann zu der Transparentmodus-Übergangsschaltung **310** übertragen.

[0066] Die Datenvergleichsschaltung **330** überträgt die Daten, die von der Signalverarbeitungsschaltung **320** ausgegeben werden, zu dem Speicher **370**, und zwar während der Einschreiboperation in dem normalen Modus, und überträgt die Daten aus dem Speicher **370** zu der Signalverarbeitungsschaltung **320** während der Ausleseoperation im normalen Modus.

[0067] Während einer Einschreiboperation in dem Transparentmodus kann die Datenvergleichsschaltung **330** das Datensignal empfangen, welches von der Testausrüstung ausgegeben wird, und zwar über die Transparentmodus-Übergangsschaltung **310**. Das Datensignal kann multipliziert werden und zu dem Speicher **370** übertragen werden, um in den Speicher **370** eingeschrieben zu werden.

[0068] Während einer Ausleseoperation in dem Transparentmodus kann die Datenvergleichsschaltung **330** Daten empfangen, die aus dem Speicher **370** ausgelesen werden, und kann die gelesenen Daten mit erwarteten Daten vergleichen, die von der Testausrüstung geliefert werden. Die Datenvergleichsschaltung **330** arbeitet unter der Steuerung des Datenwählsignals (DSS) und des Transparentmodus-Freigabesignals (TPE). Der Betrag der Daten, der zu der Datenvergleichsschaltung **330** von der Testausrüstung geliefert wird, kann geringer sein als der Betrag der Daten, die aktuell in den Speicher **370** eingeschrieben wurden.

[0069] **Fig. 5** zeigt ein Blockschaltbild, welches eine Transparentmodus-Übergangsschaltung veranschaulicht, beispielsweise die Transparentmodus-Übergangsschaltung **310** von **Fig. 4** entsprechend einer als Beispiel gewählten Ausführungsform der vorliegenden Erfindung.

[0070] Gemäß **Fig. 5** kann die Transparentmodus-Übergangsschaltung **310** wenigstens eine Steuersignal-Übergangsschaltung aufweisen, wenigstens eine Adressensignal-Übergangsschaltung und auch wenigstens eine Datensignal-Übergangsschaltung **550**, die auf das Transparentmodus-Freigabesignal (TPE) ansprechen.

[0071] Eine erste Steuersignal-Übergangsschaltung **510** kann das Eingangssignal INPUT SIGNAL empfangen und kann das Eingangssignal INPUT SIGNAL, welches von der Testausrüstung ausgegeben wird, zu einem Pin eines Tabs des Speichers **370** und/oder der Signalverarbeitungsschaltung **350** senden. Wenn das Steuersignal CONTROL SIGNAL von der Testausrüstung eingespeist wird, kann die erste Steuersignal-Übergangsschaltung **510** in dem Transparentmodus arbeiten und/oder kann das Steuersignal CONTROL SIGNAL an den Speicher **370** anlegen. Es kann beispielsweise die Zahl der Steuersignal-Übergangsschaltungen **510-1**, **510-2**, ..., **510-N** abhängig von der Zahl der Steuersignale variiert werden.

[0072] Eine erste Adressensignal-Übergangsschaltung **530** kann das Eingangssignal INPUT SIGNAL empfangen und kann das Eingangssignal INPUT SIGNAL, welches von der Testausrüstung ausgegeben wird, an einen Tab in den Speicher **370** senden und/oder zu der Signalverarbeitungsschaltung **350**. Wenn das Speichersteuersignal CONTROL SIGNAL von der Testausrüstung eingespeist wird, kann die erste Adressensignal-Übergangsschaltung **530** in dem Transparentmodus arbeiten und kann das Adressensignal ADDRESS SIGNAL an den Speicher **370** anlegen. Beispielsweise kann die Zahl der Adressensignal-Übergangsschaltungen **530-1**, **530-2**, ..., **530-N** durch die Zahl der Adressensignale gesteuert werden.

[0073] Eine erste Datensignal-Übergangsschaltung **550** kann das Eingangssignal INPUT SIGNAL empfangen und/oder kann das Eingangssignal INPUT SIGNAL, welches von der Testausrüstung eingespeist wird, an den Tab in den Speicher **370** senden und/oder zu der Signalverarbeitungsschaltung **350**. Wenn das Datensignal DATA SIGNAL von der Testausrüstung eingespeist wird, kann die erste Datensignal-Übergangsschaltung **550** in dem Transparentmodus arbeiten und kann das Datensignal DATA SIGNAL an die Datenvergleichsschaltung **330** anliegen. Beispielsweise kann die Zahl der Datensignal-Übergangsschaltungen **550-1**, **550-2**, ..., **550-N**

durch die Zahl von Datensignalen gesteuert werden.

[0074] [Fig. 6](#) veranschaulicht ein Schaltungsdiagramm einer Steuersignal-Übergangsschaltung, beispielsweise der ersten Steuersignal-Übergangsschaltung **510** von [Fig. 5](#), gemäß einer als Beispiel gewählten Ausführungsform der vorliegenden Erfindung.

[0075] Gemäß [Fig. 6](#) kann die Steuersignal-Übergangsschaltung **510** einen ersten Steuersignalpfad **601**, einen zweiten Steuersignalpfad **603** und einen Differenzverstärker **605** aufweisen. In dem Transparentmodus kann ein Reihenadressenstrobesignal (/RAS) über einen PS0-Pin eingespeist werden, der an dem Tab des Speichermoduls angeordnet ist, und es kann ein Spaltenadressenstrobesignal (/CAS) über einen /PS0-Pin eingespeist werden. Das /RAS-Signal und das /CAS-Signal können direkt von der Testausrüstung eingespeist werden. Ferner können Transistoren Q1 und Q4 durch das Transparentmodus-Freigabesignal (TPE) in dem Transparentmodus eingeschaltet werden. Die Steuersignal-Übergangsschaltung **510** kann den Betrieb des Transparentmodus im Ansprechen auf die Aktivierung der Transistoren Q1 und Q4 starten.

[0076] Das /RAS-Signal kann an den Speicher **370** über den Transistor Q1 angelegt werden und das /CAS-Signal kann an den Speicher **370** über den Transistor Q4 angelegt werden. Das /RAS-Signal, welches das Steuersignal des Speichers **370** sein kann, wird von der Testausrüstung aus eingespeist und kann an den Speicher **370** über den Transistor Q1 angelegt werden, welcher den ersten Steuersignalpfad **601** bildet. Das /CAS-Signal, welches das andere Steuersignal des Speichers **370** sein kann, wird von der Testausrüstung aus eingespeist und kann an den Speicher **370** über den Transistor Q4 angelegt werden, welcher den zweiten Steuersignalpfad **603** bildet.

[0077] Wenn das Datenpaket an den PS0-Pin und den /PS0-Pin angelegt wird, kann die Steuersignal-Übergangsschaltung **510** in dem normalen Modus arbeiten. Der Differenzverstärker **605** kann seinen Betrieb im Ansprechen auf das Einschalten der Transistoren Q2 und Q3 starten und eine Ausgangsgröße des Differenzverstärkers **605** kann zu der Signalverarbeitungsschaltung **350** geliefert werden.

[0078] Obwohl in den Figuren nicht dargestellt, können als Beispiel gewählte Ausführungsformen der vorliegenden Erfindung eine Adresssignal-Übergangsschaltung oder Adresssignal-Übergangsschaltungen **530** und/oder eine Datensignal-Übergangsschaltung oder Datensignal-Übergangsschaltungen **550** enthalten, welche die gleiche oder ähnliche Schaltungsanordnung besitzen wie die Schaltungsanordnung der Steuersignal-Übergangsschal-

tung **510**, die in [Fig. 6](#) gezeigt ist. Jedoch kann eine Konfiguration der Tabs oder Pins, die an die Eingangsanschlüsse der Adresssignal-Übergangsschaltung oder Adresssignal-Übergangsschaltungen **530** und die Datensignal-Übergangsschaltung oder die Datensignal-Übergangsschaltungen **550** angeschlossen sind, verschieden sein von derjenigen der Steuersignal-Übergangsschaltung **510**. Auch kann eine Ausgangsgröße der Datensignal-Übergangsschaltung **550** zu der Datenvergleichsschaltung **330** in dem Transparentmodus geliefert werden und kann in dem normalen Modus zu der Signalverarbeitungsschaltung **350** geliefert werden.

[0079] [Fig. 7](#) veranschaulicht ein Blockschaltbild einer Datenvergleichsschaltung, beispielsweise in Form der Datenvergleichsschaltung **330** von [Fig. 4](#), entsprechend einer als Beispiel gewählten Ausführungsform der vorliegenden Erfindung.

[0080] Gemäß [Fig. 7](#) kann die Datenvergleichsschaltung **330** einen Datenselektor **710**, einen Schreibpuffer **730**, einen Komparator **790** und einen Multiplexer/Demultiplexer **750** enthalten.

[0081] Der Datenselektor **710** kann das Datensignal DATA SIGNAL zu dem Schreibpuffer **730** und/oder dem Komparator **790** im Ansprechen auf ein Datenwählsignal DSS schicken. Wenn das Datensignal DATA SIGNAL als ein Schreibdatensignal bezeichnet ist, welches zu dem Speicher **370** im Ansprechen auf das Datenwählsignal DSS geliefert wird, kann der Datenselektor **710** das Schreibdatensignal an den Schreibpuffer **730** ausgeben. Das Schreibdatensignal kann für den Schreibpuffer **730** nach einer Zeitverzögerung geliefert werden, kann an den Multiplexer/Demultiplexer **750** ausgegeben werden und/oder zu dem Multiplexer/Demultiplexer **750** zu dem Speicher **370** geliefert werden.

[0082] Wenn das Datensignal DATA SIGNAL als erwartetes Datensignal bestimmt wird, welches mit Daten verglichen wird, die von dem Speicher **370** ausgegeben werden, und zwar im Ansprechen auf das Datenwählsignal, kann der Datenselektor **710** das erwartete Datensignal an den Komparator **790** ausgeben, es kann nämlich das erwartete Datensignal zu dem Komparator **790** über einen zweiten Datenvergleichspfad geliefert werden, der aus dem Datenselektor **710** und/oder dem Komparator **790** besteht.

[0083] Wenn das erwartete Datensignal welches dem Datenselektor **710** zugeführt wird, mit den Ausgangsdaten des Speichers **770** verglichen wird, können die Ausgangsdaten des Speichers **370** zu dem Komparator **790** über den Multiplexer/Demultiplexer **750** geliefert werden. Beispielsweise können die Ausgangsdaten des Speichers **370** im Komparator **790** über einen ersten Datenvergleichspfad zugeführt werden, bestehend aus dem Multiplexer/Demultiplexe-

xer **750** und/oder dem Komparator **790**. Ein Vergleichsergebnis des Komparators **790** kann an die Testausrüstung ausgegeben werden.

[0084] Der Komparator **790** kann die Testoperation ausführen, bei der Daten durchgelassen werden oder fehlschlagen, was dadurch bestimmt werden kann, indem die Ausgangsdaten des Speichers **370**, die an einer Speicheradresse gespeichert sind, mit den erwarteten Daten verglichen werden.

[0085] **Fig. 8** ist ein Blockschaltbild, welches eine Datenvergleichsschaltung veranschaulicht, beispielsweise in Form der Datenvergleichsschaltung **330** von **Fig. 4**, gemäß einer anderen als Beispiel gewählten Ausführungsform der vorliegenden Erfindung.

[0086] Gemäß **Fig. 8** kann die Datenvergleichsschaltung **330** einen normalen Datenpfad **810**, einen Datenselektor **820**, einen Schreibpfad **830** und einen Vergleichspfad **840** enthalten. Das Transparentmodus-Freigabesignal (TPE) kann so ausgelegt sein, dass es einen Nicht-Aktiv-Zustand aufweist (beispielsweise einen logischen niedrigen Pegel), und zwar in dem normalen Modus, und einen aktiven Zustand (beispielsweise einen logischen hohen Pegel) in dem Transparentmodus.

[0087] Der normale Datenpfad **810** kann einen Schalter **811** enthalten, der durch das TPE-Signal gesteuert wird, einen Schalter **813**, der durch ein Schreibsignal (WR) gesteuert wird, und einen Schalter **815**, der durch ein Lesesignal (RD) gesteuert wird. Während einer Einschreiboperation des normalen Modus werden die Daten DATA, die von der Signalverarbeitungsschaltung **350** eingespeist werden, zu dem Speicher **370** über den Schalter **811** und den Schalter **813** übertragen. Während einer Ausleseoperation des normalen Modus werden Daten, die von dem Speicher **370** ausgegeben werden, zu der Signalverarbeitungsschaltung **350** über den Schalter **815** und über den Schalter **811** übertragen. In dem Transparentmodus kann das TPE-Signal einen logischen hohen Pegel aufweisen, so dass die Daten nicht über den normalen Datenpfad **810** übertragen werden.

[0088] In dem normalen Modus wird ein Schalter **817** im Ansprechen auf einen Nicht-Aktiv-Status des TPE-Signals ausgeschaltet, so dass die Daten nicht zu dem Datenselektor **820** übertragen werden. In dem Transparentmodus wird der Schalter **817** im Ansprechen auf den Aktivierungsstatus des TPE-Signals eingeschaltet und es werden die Daten von der Transparentmodus-Übergangsschaltung **310** zu dem Datenselektor **820** übertragen. Die Daten werden dann zu dem Schreibpfad **830** oder dem Vergleichspfad **840** übertragen, und zwar basierend auf dem Datenwählsignal (DSS). Der Datenselektor **820** über-

trägt nämlich die Daten zu dem Schreibpfad **830** während einer Einschreiboperation des Transparentmodus und überträgt die Daten zu dem Vergleichspfad **840** während einer Ausleseoperation des Transparentmodus, ansprechend auf das DSS-Signal.

[0089] Der Schreibpfad **830** kann einen Puffer **831** und einen Multiplizierer **833** enthalten. Der Puffer **831** puffert die Daten, die von dem Datenselektor **820** aus übertragen werden, um die Daten zu dem Multiplizierer **833** zu überführen. Der Multiplizierer **833** multipliziert die Daten, um Vielfachdatengruppen zu generieren, und überträgt die Vielfachdatengruppen zu den jeweiligen Speichern, beispielsweise zu spezifischen DRAMs, die den Speicher **370** ausmachen. Die Vielfachdatengruppen enthalten eine erhöhte Anzahl bzw. eine erhöhte Menge an Daten, verglichen mit den Daten, die von dem Datenselektor **820** aus übertragen werden. In dem Schreibpfad **830** kann ein kleiner Betrag an Daten, die durch den Tab des Speichermoduls von der Testausrüstung empfangen werden, multipliziert werden und in den Speicher **370** eingeschrieben werden. Die Daten können gleichlaufend in eine Vielzahl an Speicher eingeschrieben werden.

[0090] Der Vergleichspfad **840** kann einen Komparator **841** und einen Multiplexer **843** enthalten. Der Vergleichspfad **840** kann in einem Auslesebetrieb des Transparentmodus aktiviert werden. Der Komparator **841** empfängt die erwarteten Daten von der Transparentmodus-Übergangsschaltung **310** über den Datenselektor **820**, basierend auf dem TPE-Signal und dem DSS-Signal. Der Multiplexer **843** empfängt eine Anzahl der Daten, die aus dem Speicher **370** ausgelesen werden, und zwar während der Ausleseoperation des Transparentmodus, und sendet die gelesenen Daten zu dem Komparator **841**, so dass die Daten mit den erwarteten Daten verglichen werden können. Der Komparator **841** vergleicht die erwarteten Daten mit den Daten, die von dem Multiplexer **843** ausgegeben werden, um das Vergleichsergebnis zu generieren, und liefert das Vergleichsergebnis an die Testausrüstung.

[0091] Mit anderen Worten kann eine kleine Menge der erwarteten Daten von der Testausrüstung an den Tab des Speichermoduls ausgegeben werden, um an dem Hub eingespeist zu werden, und die erwarteten Daten können mit einer großen Menge der Daten verglichen werden, die aus dem Speicher **370** ausgelesen werden, was mit Hilfe des Komparators **841** erfolgt, um zu ermitteln, ob der Speicher **370** einen Defekt aufweist. Somit wird eine große Menge der Daten des Speichers nicht direkt an dem Tab des Speichermoduls eingespeist, wenn der Transparentmodus verwendet wird. Somit kann ein Problem gelöst werden, welches durch eine Kürze der Tabs verursacht wird.

[0092] [Fig. 9](#) veranschaulicht ein Zeitsteuerdiagramm, welches einen Betrieb einer Datenvergleichsschaltung, beispielsweise der Datenvergleichsschaltung von [Fig. 7](#), veranschaulicht, und zwar entsprechend einer als Beispiel gewählten Ausführungsform der vorliegenden Erfindung.

[0093] Gemäß [Fig. 9](#) kann ein Speichertakt zu dem Speicher **370** über eine Taktzufuhrleitung zugeführt werden und es kann ein Eingangsbefehl, der mit dem Speichertakt synchronisiert ist, an einen Hub geliefert werden. Der Eingangsbefehl, der an den Hub geliefert wird und eine Zeitverzögerung aufweist, kann mit dem Speichertakt synchronisiert werden und zu dem Speicher **370** geliefert werden. Der Eingangsbefehl, der an den Speicher **370** angelegt wird, kann um 1 Periode des Speichertaktes verzögert sein.

[0094] Es können Daten zu dem Hub im Ansprechen auf den Speicherbefehl geschickt werden, der an den Speicher angelegt wird. Es können Daten D0, D1, D2 und D3 für den Speicher **370** vorgesehen werden, indem ein Schreibbefehl an den Speicher **370** angelegt wird. Nachdem die Daten D0, D1, D2 und D3 in Daten D0, D1, D2 und D3 transformiert worden sind, können die Daten D0, D1, D2 und D3 dem Speicher **370** über den Schreibpuffer **730** und/oder den Multiplexer/Demultiplexer **750** zugeführt werden. Ferner werden Ausgangsdaten Q0, Q1, Q2 und Q3 in Adressen der Daten D0, D1, D2 und D3 gespeichert und werden von dem Speicher **370** ausgegeben. Die Daten Q0, Q1, Q2 und Q3 können zu dem Komparator **790** über den Multiplexer/Demultiplexer **750** zugeführt werden und die Daten D0, D1, D2 und D3 können dem Komparator **790** über den Datenselektor **710** nach einer 1-Taktverzögerung zugeführt werden. Der Komparator **790** kann die Daten D0, D1, D2 und D3 jeweils mit Q0, Q1, Q2 und Q3 vergleichen. Das Vergleichsergebnis COMPARING RESULT zwischen den Daten D0, D1, D2 und D3 und den Daten Q0, Q1, Q2 und Q3 können von dem Komparator **790** an die Testausrüstung ausgegeben werden.

[0095] [Fig. 10](#) zeigt ein Zeitsteuerdiagramm, welches einen Betrieb der Datenvergleichsschaltung veranschaulicht, beispielsweise der Datenvergleichsschaltung von [Fig. 8](#), entsprechend einer anderen als Beispiel gewählten Ausführungsform der vorliegenden Erfindung.

[0096] In [Fig. 10](#) ist angenommen, dass der Speichermodul **370** neun "x8" Speicher enthält und dass die Burstlänge der Speicher mit "zwei" in dem Transparentmodus bezeichnet ist. Zusätzlich wird der Speicherbefehl zwischen der Testausrüstung und dem Hub des Speichermoduls **370** in dem Transparentmodus übertragen.

[0097] Gemäß den Figuren, die oben beschrieben

wurden, und gemäß [Fig. 7](#) wird ein Speichertakt an den Speicher **370** über eine Taktzufuhrleitung des Speichermoduls angelegt.

[0098] Zuerst wird ein Aktivbefehl an die Transparentmodus-Übergangsschaltung **310** des Hubs angelegt. Der Aktivbefehl wird um 1 Taktzyklus verzögert, um dann direkt an den Speicher **370** angelegt zu werden. Nach einer Zeitverzögerung wird der Schreibbefehl von der Testausrüstung an die Transparentmodus-Übergangsschaltung **310** eingespeist. Der Schreibbefehl wird um 1 Taktzyklus verzögert und wird dann direkt an den Speicher **370** angelegt. Im Ansprechen auf den Schreibbefehl werden 16 Bit breite ($\times 16$) Schreibdaten D0~D15 an die Transparentmodus-Übergangsschaltung **310** über 16 Tabs oder Pins des Speichermoduls **370** angelegt. Die eingespeisten Schreibdaten werden von dem Datenselektor **820** zu dem Multiplizierer **833** über die Pufferstufe **831** basierend auf dem Datenwählsignal übertragen.

[0099] Die $\times 16$ -Schreibdaten D0~D15 können in X8-Daten (D0D1, D2D3, ... und D14D15) transformiert werden, von denen jede Dateneinheit eine Burstlänge von 2 besitzt, und zwar durch den Multiplizierer **833**, und es werden die transformierten Daten neunfach dupliziert, so dass die Schreibdaten erzeugt werden, die 144 ($= 16 \times 9$) Bits aufweisen. Die 16-Bit-Daten werden als ursprüngliche Schreibdaten an die jeweiligen Speicher, beispielsweise an jeweils neun Speicher, angelegt.

[0100] Zusätzlich wird ein Lesebefehl an die Transparentmodus-Übergangsschaltung **310** des Hubs angelegt. Im Ansprechen auf den Lesebefehl werden erwartete Daten R0~R15 von der Testausrüstung an die Transparentmodus-Übergangsschaltung **310** über 16 Tabs oder Pins des Speichermoduls eingespeist. Die erwarteten Daten R0~R15 werden zu dem Datenselektor **820** der Datenvergleichsschaltung **330** basierend auf dem TPE-Signal übertragen und werden zu dem Komparator **841** basierend auf dem DSS-Signal übertragen.

[0101] Zusätzlich wird der Lesebefehl um 1 Taktzyklus verzögert, um dann direkt an den Speicher **370** angelegt zu werden, und, nach einer Zeitverzögerung werden 8-Bit-(X8)-Daten mit einer Burstlänge von 2 von den jeweiligen Speichern ausgegeben, nämlich insgesamt 144-Bit-Daten werden dabei aus den Speichern ausgelesen. Die ausgelesenen Daten werden in den Multiplexer **843** eingespeist und die gelesenen Daten werden sequenziell durch den Multiplexer **843** ausgewählt und zu dem Komparator **841** geliefert. Der Komparator **841** vergleicht die gelesenen Daten mit den erwarteten Daten, um das Vergleichsergebnis COMPARING RESULT zu generieren. Das Vergleichsergebnis COMPARING RESULT wird an die Testausrüstung ausgegeben.

[0102] [Fig. 11](#) zeigt ein Flussdiagramm, welches ein Testverfahren für den Speichermodul gemäß einer als Beispiel gewählten Ausführungsform der vorliegenden Erfindung veranschaulicht.

[0103] Gemäß [Fig. 11](#) kann der Hub des Speichermoduls in den Transparentmodus konvertiert werden (S100). Die Konvertierung in den Transparentmodus kann dadurch erfolgen, indem ein Transparentmodus-Freigabesignal (TPE) an den Hub angelegt wird. Wie in [Fig. 5](#) und auch in [Fig. 6](#) gezeigt ist, kann eine Transparentmodus-Übergangsschaltung **310**, **510** einen Steuersignalfeld aufweisen, einen Adressenpfad und/oder einen Datensignalfeld entsprechend dem Transparentmodus-Freigabesignal (TPE).

[0104] Ferner kann ein erstes Datensignalfeld entsprechend einer ersten Adresse an den Hub in dem Transparentmodus angelegt werden (S200). Das Speichersteuersignalfeld, welches in dem Speicherbefehl enthalten sein kann, kann in den Steuersignalfeld geliefert werden, das erste Adressensignalfeld kann in den Adressensignalfeld geliefert werden bzw. an diesen angelegt werden und/oder das erste Datensignalfeld kann an die Datenwählsignalfeld des Datensignalfeldes angelegt werden. Ferner kann das erste Datensignalfeld, welches einer Datenwählsignalfeld zugeführt wird, zu dem Schreibpuffer durch das Datenwählsignalfeld übertragen werden.

[0105] Ferner kann das erste Datensignalfeld, welches an den Hub angelegt wird, zu der ersten Adresse des Speichers eingespeist werden (S300). Demzufolge kann das erste Datensignalfeld des Schreibpfades in den Speicher eingegeben werden. Das erste Datensignalfeld kann eine geringere Menge an Daten enthalten als eine Menge der Daten, die tatsächlich oder aktuell in den Speicher eingeschrieben sind. Daher kann das erste Datensignalfeld durch einen Multiplizierer des Hubs multipliziert werden, beispielsweise durch den Multiplexer **843**, und es kann das multiplizierte Datensignalfeld in den Speicher eingegeben werden.

[0106] Ferner kann das erste erwartete Datensignalfeld dem Hub zugeführt werden (S400). Das erste erwartete Datensignalfeld kann das Gleiche sein wie das erste Datensignalfeld und kann direkt von der Testausrüstung ausgegeben werden. Das erste erwartete Datensignalfeld kann der Datenvergleichsschaltung über den Datensignalfeldpfad des Hubs in dem Transparentmodus zugeführt werden. Die Datenvergleichsschaltung kann bestimmen, ob das erste erwartete Datensignalfeld an den Speicher geliefert worden ist. Demzufolge kann das erste erwartete Datensignalfeld zu einem zweiten Datenvergleichspfad übertragen werden.

[0107] Ferner können Daten, die an der ersten Adresse des Speichers gespeichert sind, an den Hub ausgegeben werden (S500). Eine Ausgabe der Daten, die in dem Speicher gespeichert sind, kann da-

durch erfolgen, indem das Speichersteuersignalfeld, welches für die Speicherleseoperation erforderlich ist, an den Speicher angelegt wird und/oder das erste Adressensignalfeld an den Speicher angelegt wird. Daten der ersten Adresse, die von dem Speicher ausgegeben werden, können in einen zweiten Datenwählpfad der Datenvergleichsschaltung übertragen oder gesendet werden.

[0108] Bis zu diesem Ausmaß können die Schritte S100–S600 möglicherweise in irgendeiner Reihenfolge ausgeführt werden. Speziell bei den als Beispiel gewählten Ausführungsformen kann das Anlegen des ersten erwarteten Datensignalfelds an den Hub (S400) und die Ausgabe der Daten, die an der ersten Adresse des Speichers gespeichert sind (S500) umgekehrt werden.

[0109] Die Datenvergleichsschaltung kann die Daten, die von der ersten Adresse des Speichers stammen, mit den ersten erwarteten Daten vergleichen (S600). Ferner kann das Vergleichsergebnis der zwei Datensätze an die Testausrüstung ausgegeben werden.

[0110] [Fig. 12](#) zeigt ein Blockschaltbild, welches eine Testoperation eines Puffer-DIMM mit einer herkömmlichen Testausrüstung gemäß einer als Beispiel gewählten Ausführungsform der vorliegenden Erfindung veranschaulicht.

[0111] Gemäß [Fig. 12](#) kann eine herkömmliche Testausrüstung **900** 26 Tabs besitzen (8 Befehle und 16 Adressen) und 90 Tabs (72 DQ und 18 DQS), um ein Beispiel zu nennen, also insgesamt 116 unsymmetrischen Eingangs- und -Ausgangsanschlüsse und ebenso eine Gesamtzahl von 116 Tabs oder Pins.

[0112] Der Speichermodul **1000** (z. B. Puffer-DIMM) einer als Beispiel gewählten Ausführungsform der vorliegenden Erfindung, die in [Fig. 2B](#) veranschaulicht ist, kann 48 Paare an Anschlüssen aufweisen, um Differenzeingangssignale zu empfangen, das heißt 96 Differenzeingangs-/ausgangsanschlüsse (für eine Gesamtzahl von 98 Eingangs- und Ausgangsanschlüssen).

[0113] Gemäß den als Beispiel gewählten Ausführungsformen der vorliegenden Erfindung können 16-Bit-Testdaten von der Testausrüstung **900** zu dem Puffer-DIMM **1000** über 16 von 72 Datenleitungen transferiert werden. Die Steuersignale und Adressensignale (C/A) können dem Puffer-DIMM **1000** in einer Weise zugeführt werden, ähnlich derjenigen gemäß dem Stand der Technik.

[0114] Daher können 8 Steuersignalleitungen beispielsweise /CS, /RAS, /CAS, /WE, CKE, ODT usw. und 18 Adressenleitungen für eine Gesamtzahl von

26 C/A-Leitungen verwendet werden und es können 16 Datenleitungen zum Testen des Speichermoduls **1000** verwendet werden.

[0115] Der Puffer-DIMM **1000** kann an die Testausrüstung **900** beispielsweise über 48, das heißt 14 Paare, von binären Northbound-Anschlüssen und 10 Paaren von sekundären Southbound-Anschlüssen angeschlossen werden. 42 Anschlüsse unter den 48 Anschlüssen, können mit 26 C/A-Leitungen und 16 Datenleitungen verbunden werden.

[0116] [Fig. 13](#) ist ein Blockschaltbild, welches einen Puffer-DIMM gemäß einer als Beispiel gewählten Ausführungsform der vorliegenden Erfindung veranschaulicht.

[0117] Gemäß [Fig. 13](#) kann der Puffer-DIMM eine Differenzeingangsschaltung **1100**, eine unsymmetrischen Eingangsschaltung **1200**, eine Signalverarbeitungsschaltung **1300**, eine Testschaltung **1400** und eine Anzahl an Speicherchips **1500** enthalten.

[0118] Unter den Anschlüssen (beispielsweise 48, wie oben angegeben) des Puffer-DIMM **1000** können 14 Paare der primären Northbound-Anschlüsse (beispielsweise in der oben erläuterten Art) und 10 Paare der zweiten Southbound-Anschlüsse (beispielsweise entsprechend der obigen Erläuterung für eine Gesamtzahl von 24 Paaren der Anschlüsse oder 48 Anschlüssen insgesamt, gemeinsam mit der Differenzeingabeschaltung **110** und der unsymmetrischen Eingangsschaltung **1200** verbunden werden.

[0119] Die Differenzeingangsschaltung **1100** und die unsymmetrischen Eingangsschaltung **1200** können in Bereitschaft oder außer Bereitschaft gesetzt, und zwar im Ansprechen auf das Transparentmodus-Freigabesignal (TPE). Die Differenzeingangsschaltung **1100** kann im Ansprechen auf einen Nicht-Aktiv-Zustand des TPE-Signals in Bereitschaft gesetzt werden und kann im Ansprechen auf einen Aktiv-Zustand des TPE-Signals außer Bereitschaft gesetzt werden. Die Differenzeingangsschaltung **1100** kann 24 unterschiedliche Signale basierend auf 24 Paaren von Eingangssignalen generieren, um die 24 Differenzsignale zu der Signalverarbeitungsschaltung **1300** zu liefern (beispielsweise wie oben erläutert wurde). Die Signalverarbeitungsschaltung **1300** kann ein Paketsignal des Puffer-DIMM verarbeiten.

[0120] Die unsymmetrische Eingangsschaltung **1200** kann im Ansprechen auf einen Aktiv-Zustand des TPE-Signals in Bereitschaft gesetzt werden und kann im Ansprechen auf einen Nicht-Aktiv-Zustand des TPE-Signals außer Bereitschaft gesetzt werden.

[0121] Die Struktur der Differenzeingangsschaltung **1100** und der unsymmetrischen Eingangsschaltung **1200** kann die gleiche sein wie diejenige der ersten

Steuersignal-Übergangsschaltung **510**, die in [Fig. 5](#) gezeigt ist.

[0122] Die Testschaltung **1400** kann das Modussteuersignal (TPE) und das Datenwählsignal (DSS) empfangen. Die Testschaltung **1400** kann in einem normalen Betriebsmodus zulassen, dass 72-Bit-Daten von der Signalverarbeitungsschaltung **1300** geliefert werden, um zwischen der Testschaltung **1400** und den Speicherchips **1500** über 72 Datenleitungen übertragen zu werden.

[0123] In einem Testmodus kann die Testschaltung **1400** 16-Bit-Daten von der unsymmetrischen Eingangsschaltung **1200** empfangen und kann die 72-Bit-Daten in die Speicherchips **1500** einschreiben, um die zugriffenen 72-Bit-Daten aus den Speicherchips **1500** zu lesen.

[0124] [Fig. 14](#) zeigt eine schematische Ansicht, welche eine Einschreiboperation der Testschaltung **1400** eines Puffer-DIMM gemäß einer beispielhaften Ausführungsform der vorliegenden Erfindung veranschaulicht.

[0125] Gemäß [Fig. 14](#) kann die Testschaltung **1400** 16-Bit-Schreibdaten empfangen und kann die Schreibdaten duplizieren (beispielsweise 9-fach), um zusätzliche Daten zu generieren (beispielsweise 144-Bit-Daten). 72-Bit-Daten können zweimal an die Speicherchips **1500** angelegt werden, so dass eine Gesamtzahl von 144-Bit-Daten in die Speicherchips **1500** geschrieben werden.

[0126] [Fig. 15](#) zeigt eine schematische Ansicht, welche eine Vergleichsoperation der Testschaltung **1400** des Puffer-DIMM gemäß einer als Beispiel gewählten Ausführungsform der vorliegenden Erfindung wiedergibt.

[0127] Gemäß [Fig. 15](#) können bei der Ausleseoperation der Testschaltung **1400** alle 16-Bit-Daten, die in die Speicherchips **1500** eingeschrieben wurden, zugriffenen werden, und zwar während einer Burstleseoperation bei einer Burstlänge von zwei. Es können daher eine Gesamtzahl von 144-Bit-Daten aus den neun Speicherchips **1500** zu der Testschaltung **1400** geliefert werden.

[0128] Die Testschaltung **1400** kann sequenziell die 16-Bit-Erwartungsdaten mit den 16-Bit-Daten entsprechend den zugriffenen 144-Bit-Daten vergleichen. Es kann nämlich die Vergleichsoperation zwischen den erwarteten Daten und den zugriffenen Daten neunmal durchgeführt werden. Die zugriffenen Daten der Speicherchips können basierend auf einem Vergleichsergebnis zwischen den aus den Speicherchips **1500** und den erwarteten Daten getestet werden. Das Vergleichsergebnis der Testschaltung **1400** kann die Testausrüstung **900** ausgegeben

werden. Die Konstruktion der Testschaltung **1400** kann die gleiche sein wie diejenige der Datenvergleichsschaltung **330**, die in [Fig. 8](#) gezeigt ist.

[0129] Gemäß den oben erläuterten beispielhaften Ausführungsformen der vorliegenden Erfindung kann ein Hub eines Speichermoduls Daten multiplizieren und kann Daten mit erwarteten Daten vergleichen. Daher kann während einer Speichertestoperation der Nachteil hinsichtlich der Zahl der Tabs eines herkömmlichen Speichermoduls überwunden werden.

[0130] Da darüber hinaus vielfältige Testmuster in den Speicher eingespeist werden können, kann die Speichertestüberspannung oder -ausmaß erhöht werden.

Patentansprüche

1. Hub (**222**) eines Speichermoduls, der eine Signal-Verarbeitungsschaltung (**250**), eine Daten-Vergleichsschaltung (**240**) und einen Speicher (**370**) enthält, wobei ein Ausgang der Signal-Verarbeitungsschaltung (**250**) mit dem Speicher (**370**) verbunden ist und die Datenvergleichsschaltung mit dem Speicher (**370**) verbunden ist, gekennzeichnet durch eine ansteuerbare (bei TPE) Transparent-Modus-Übergangsschaltung (**230**), die mit der Signal-Verarbeitungsschaltung (**250**), der Daten-Vergleichsschaltung (**240**) und direkt mit einem Eingang des Speichers (**370**) verbunden ist und die in einem normalen Modus betreibbar ist, in welchem Datenpakete in den Speicher (**370**) einleitbar sind und/oder in ein Speichersteuersignal, ein Adressensignal und/oder ein Datensignal transformiert werden, und die in einem Transparentmodus betreibbar ist, in welchem ein Eingangssignal von der Transparent-Modus-Übergangsschaltung (**230**) an den Speicher (**370**) und/oder an die Datenvergleichsschaltung (**240**) ausgebar ist, wobei das Eingangssignal aus einem Speichersteuersignal (CTRL) und/oder aus einem Adressensignal (ADDR) für den Speicher (**370**) besteht.

2. Hub eines Speichermoduls nach Anspruch 1, bei dem die Transparentmodus-Übergangsschaltung (**310**) Folgendes aufweist:
eine Steuersignal-Übergangsschaltung (**510**), die ein Speichersteuersignal zu dem Speicher (**370**) im Ansprechen auf das Transparentmodus-Freigabesignal (TPE) überträgt;
eine Adressensignal-Übergangsschaltung (**530**), die ein Adressensignal zu dem Speicher (**370**) im Ansprechen auf das Transparentmodus-Freigabesignal (TPE) überträgt; und
eine Datensignal-Übergangsschaltung (**550**), die das Datensignal zu der Datenvergleichsschaltung (**330**) im Ansprechen auf das Transparentmodus-Freigabesignal (TPE) überträgt.

3. Hub eines Speichermoduls nach Anspruch 2,

bei dem die Steuersignal-Übergangsschaltung (**510**) Folgendes enthält:
einen Steuersignalpfad (**601**), der das Speichersteuersignal zu dem Speicher (**370**) überträgt; und
einen ersten Differenzverstärker (**605**), der das Eingangssignal differenzmäßig verstärkt und das verstärkte Differenzeingangssignal zu der Signalverarbeitungsschaltung (**350**) ausgibt.

4. Hub eines Speichermoduls nach Anspruch 2, bei dem die Adressensignal-Übergangsschaltung (**530**) Folgendes enthält:
einen Adressensignalpfad, der das Adressensignal zu dem Speicher (**370**) überträgt; und
einen ersten Differenzverstärker, der das Eingangssignal differenzmäßig verstärkt und das verstärkte Differenzsignal an die Signalverarbeitungsschaltung ausgibt.

5. Hub eines Speichermoduls nach Anspruch 2, bei dem die Datensignal-Übergangsschaltung (**550**) Folgendes enthält:
einen Datensignalpfad zum Übertragen des Datensignals zu der Signalverarbeitungsschaltung (**350**); und
einen ersten Differenzverstärker, der eine Differenzverstärkung des Eingangssignals durchführt und ein verstärktes Differenzsignal an die Signalverarbeitungsschaltung ausgibt.

6. Hub eines Speichermoduls nach Anspruch 1, bei dem die Datenvergleichsschaltung (**330**) Folgendes aufweist:
einen Datenselektor (**710**), der einen Ausgangspfad des Datensignals im Ansprechen auf ein Datenwählsignal (DSS) steuert;
eine Schreibpufferstufe (**730**), die Schreibdaten von dem Datenselektor (**710**) im Ansprechen auf das Datenwählsignal (DSS) empfängt; und
einen Komparator (**790**), der erwartete Daten von dem Datenselektor (**710**) empfängt und Daten empfängt, die in dem Speicher (**370**) gespeichert sind, und der einen Datenvergleich im Ansprechen auf das Datenwählsignal (DSS) durchführt.

7. Verfahren zum Testen eines Speichermoduls unter Verwendung eines Hubs nach einem der Ansprüche 1 bis 6, mit den folgenden Schritten:
Umschalten des Hubs des Speichermoduls (**222**) in einen Transparentmodus; Liefern von ersten Daten entsprechend einer ersten Adresse zu dem Hub des Speichermoduls (**222**);
Liefern der ersten Daten des Hubs des Speichermoduls (**222**) zu einer ersten Adresse des Speichers (**370**);
Liefern von ersten erwarteten Daten zu dem Hub des Speichermoduls (**222**);
Ausgeben von zweiten Daten, die an der ersten Adresse des Speichers (**370**) gespeichert sind, an den Hub des Speichermoduls (**222**); und

Vergleichen der zweiten Daten mit den ersten erwarteten Daten.

8. Verfahren nach Anspruch 7, bei dem das Steuersignal, das Adressensignal und das Datensignal von einer externen Quelle des Hubs in dem Transparentmodus angelegt werden.

9. Verfahren nach Anspruch 7, bei dem das Liefern der ersten erwarteten Daten zu dem Hub des Speichermoduls (**222**) Folgendes umfasst:
Liefern der ersten Daten zu dem Datensignalpfad;
Feststellen, ob die ersten Daten aus den Eingangsdaten des Speichers (**370**) bestehen; und
selektives Übertragen der ersten Daten zu einem Schreibpfad basierend auf dem Feststellungsergebnis.

10. Verfahren nach Anspruch 8, bei dem das Liefern der ersten erwarteten Daten zu dem Hub des Speichermoduls (**222**) Folgendes umfasst:
Zuführen der ersten erwarteten Daten zu dem Datensignalpfad;
Feststellen, ob die ersten erwarteten Daten, die zu dem Datensignalpfad geliefert werden, zu dem Speicher (**370**) gelangen; und
selektives Übertragen der ersten erwarteten Daten zu einem ersten Datenvergleichspfad basierend auf dem Feststellungsergebnis.

11. Verfahren nach Anspruch 8, bei dem das Ausgeben der zweiten Daten, die an der ersten Adresse des Speichers (**370**) gespeichert sind, an den Hub des Speichermoduls (**222**) Folgendes umfasst:
Zuführen von Steuersignalen für eine Speicherleseoperation über den Steuersignalpfad;
Zuführen des ersten Adressensignals zu dem Speicher (**370**) über den Adressensignalpfad; und
Ausgeben der zweiten Daten an einen zweiten Datenvergleichspfad des Hubs.

Es folgen 16 Blatt Zeichnungen

FIG. 1A
Stand der Technik

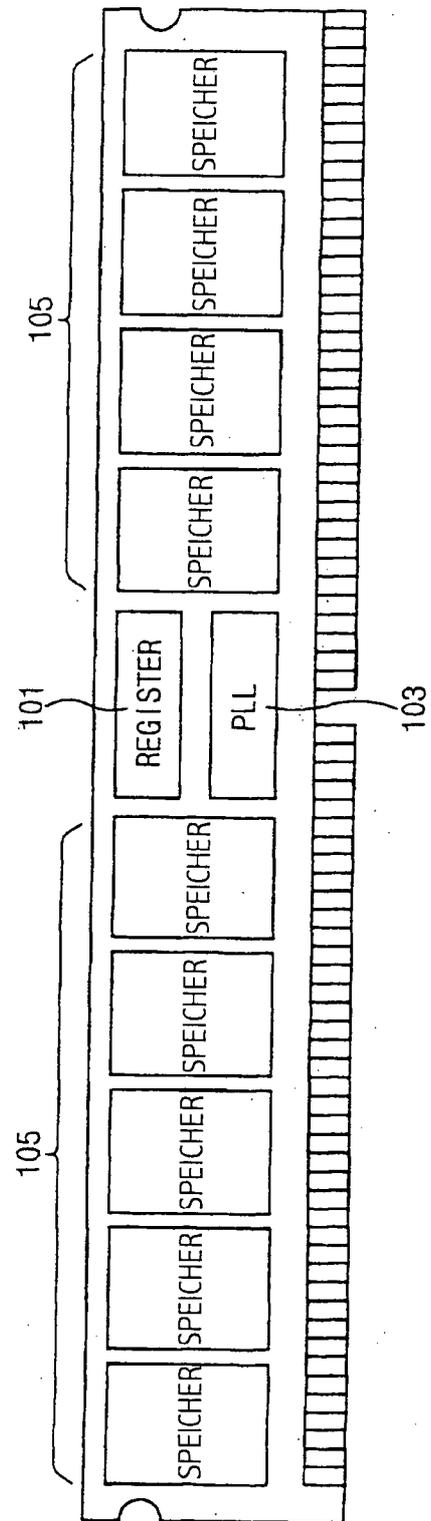
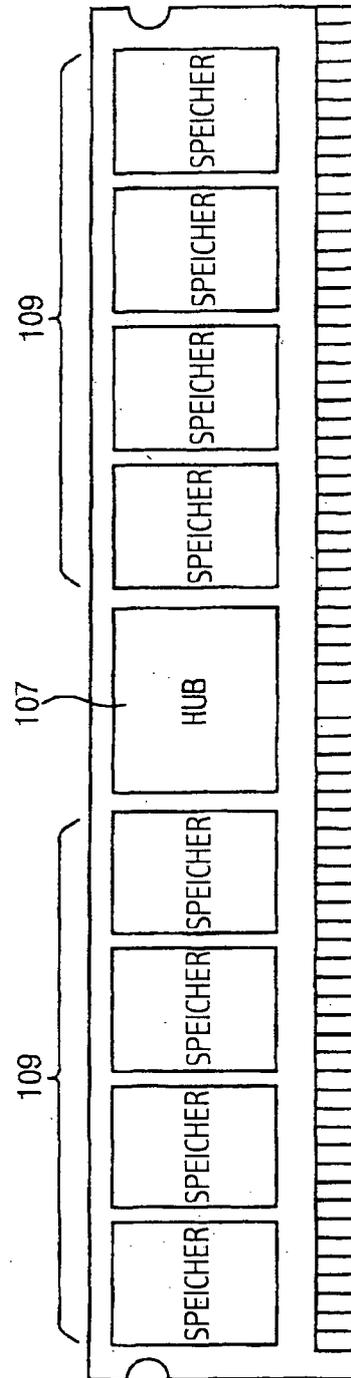


FIG. 1B
Stand der Technik



Stand der Technik

FIG. 2A

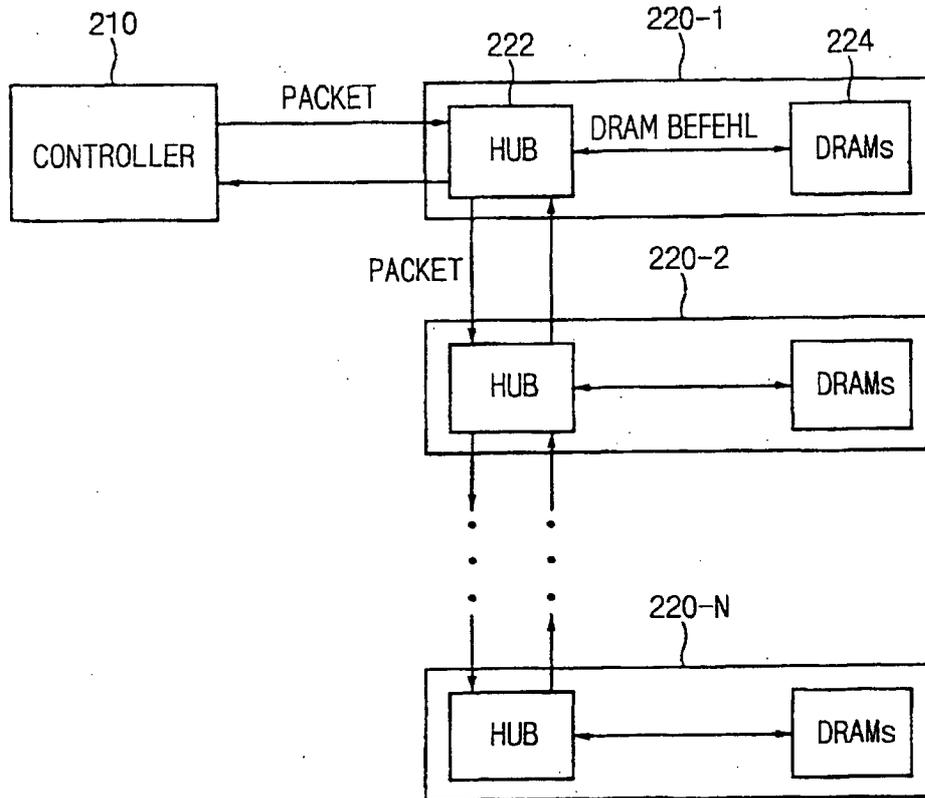


FIG. 2B

TAB FÜR SPEICHERMODUL		TAB ZUM TESTEN DES SPEICHERMODULS	
PN(PRIMÄRE NORTHBOUND)	14	/CS	2
/PN(PRIMÄRE NORTHBOUND)	14	/RAS	1
PS(PRIMÄRE SOUTHBOUND)	10	/CAS	1
/PS(PRIMÄRE SOUTHBOUND)	10	/WE	1
SN(SEKUNDÄRE NORTHBOUND)	14	CKE	2
/SN(SEKUNDÄRE NORTHBOUND)	14	ODT	1
SS(SEKUNDÄRE SOUTHBOUND)	10	ADRESSE	15+3
/SS(SEKUNDÄRE SOUTHBOUND)	10	DQ+DQS	72+18
INSGESAMT	96	INSGESAMT	116

FIG. 3

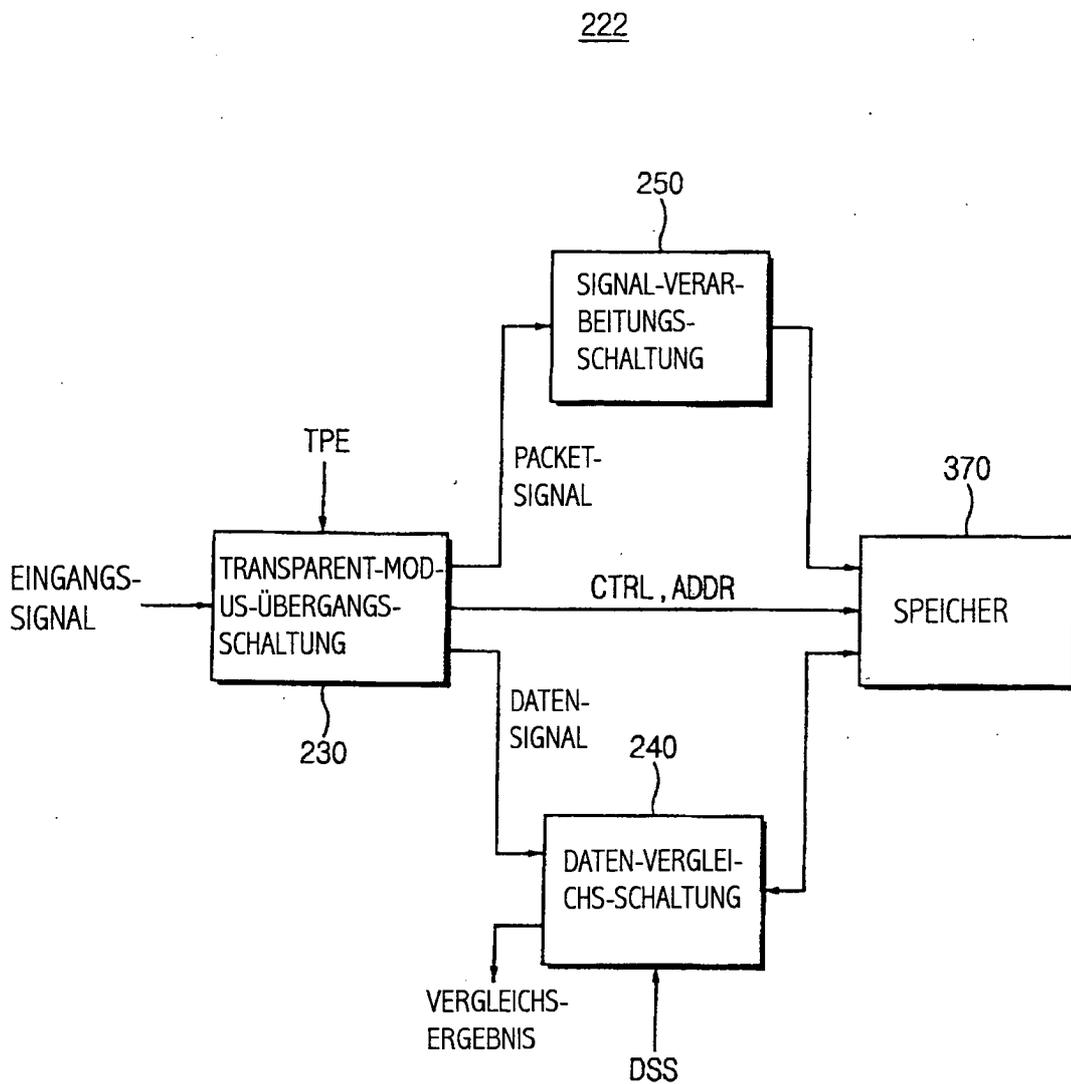


FIG. 4

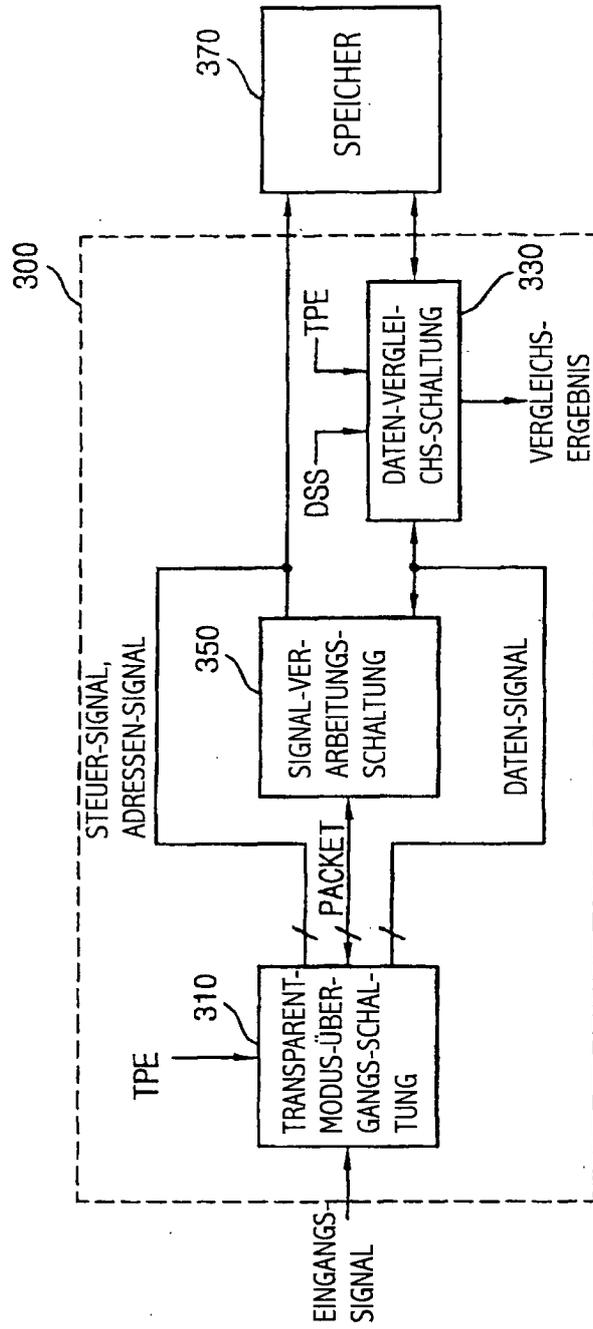


FIG. 5

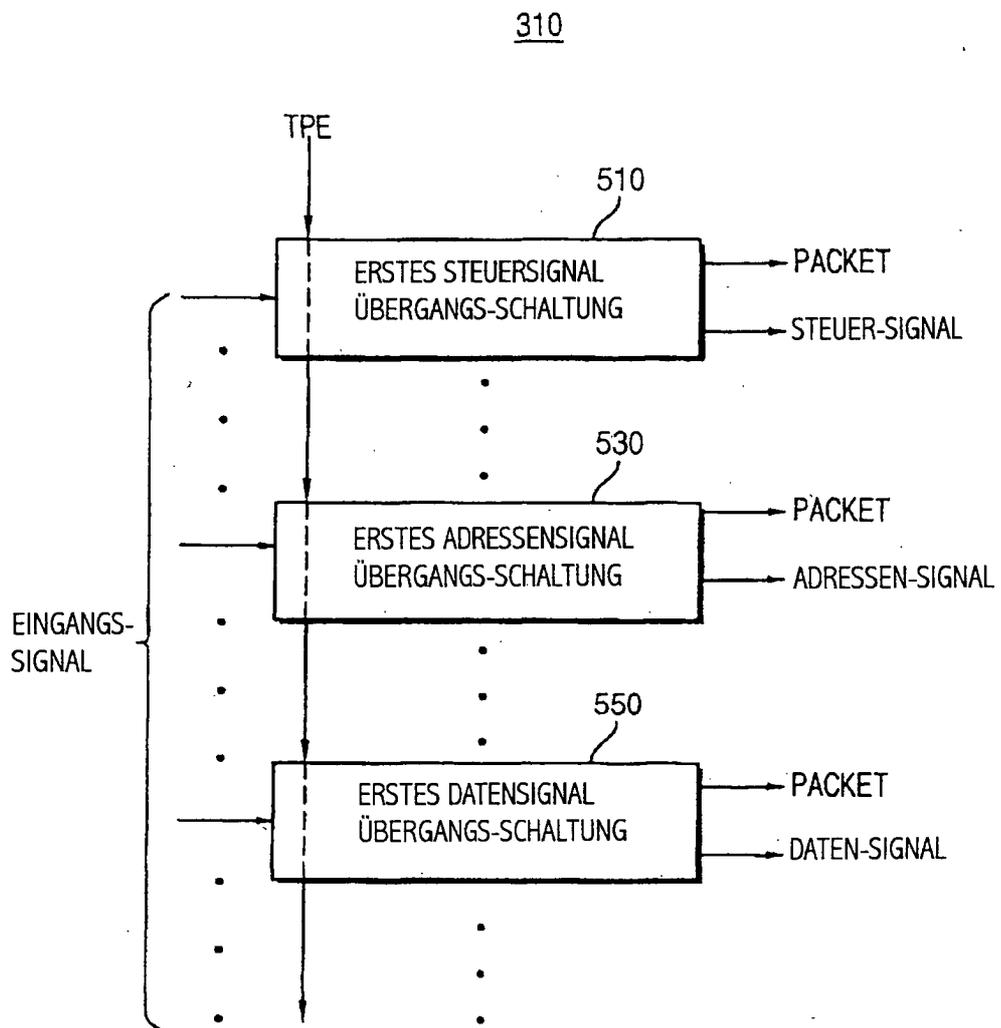


FIG. 6

510

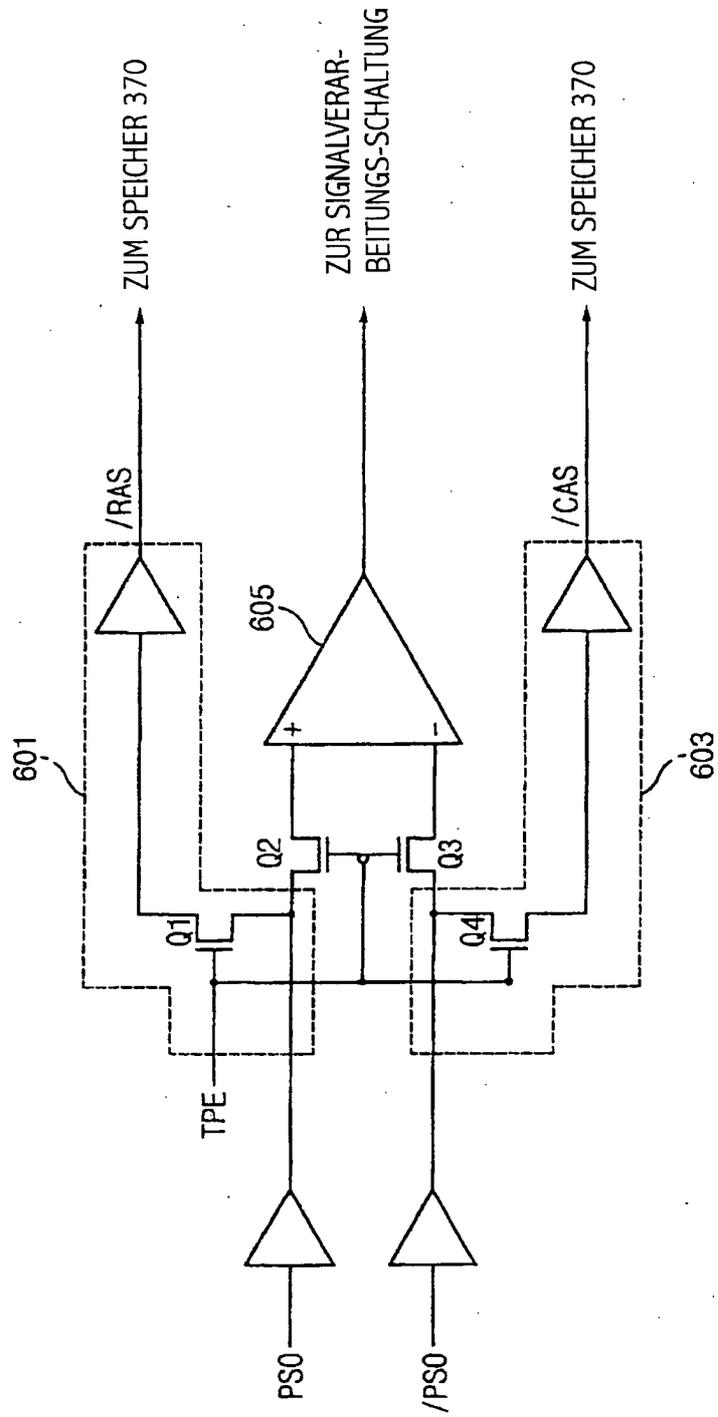


FIG. 7

330

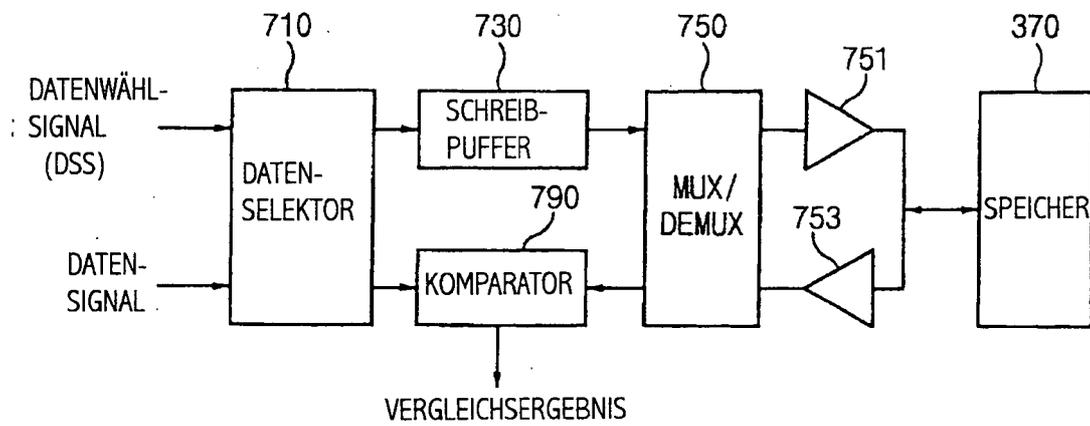


FIG. 8

330

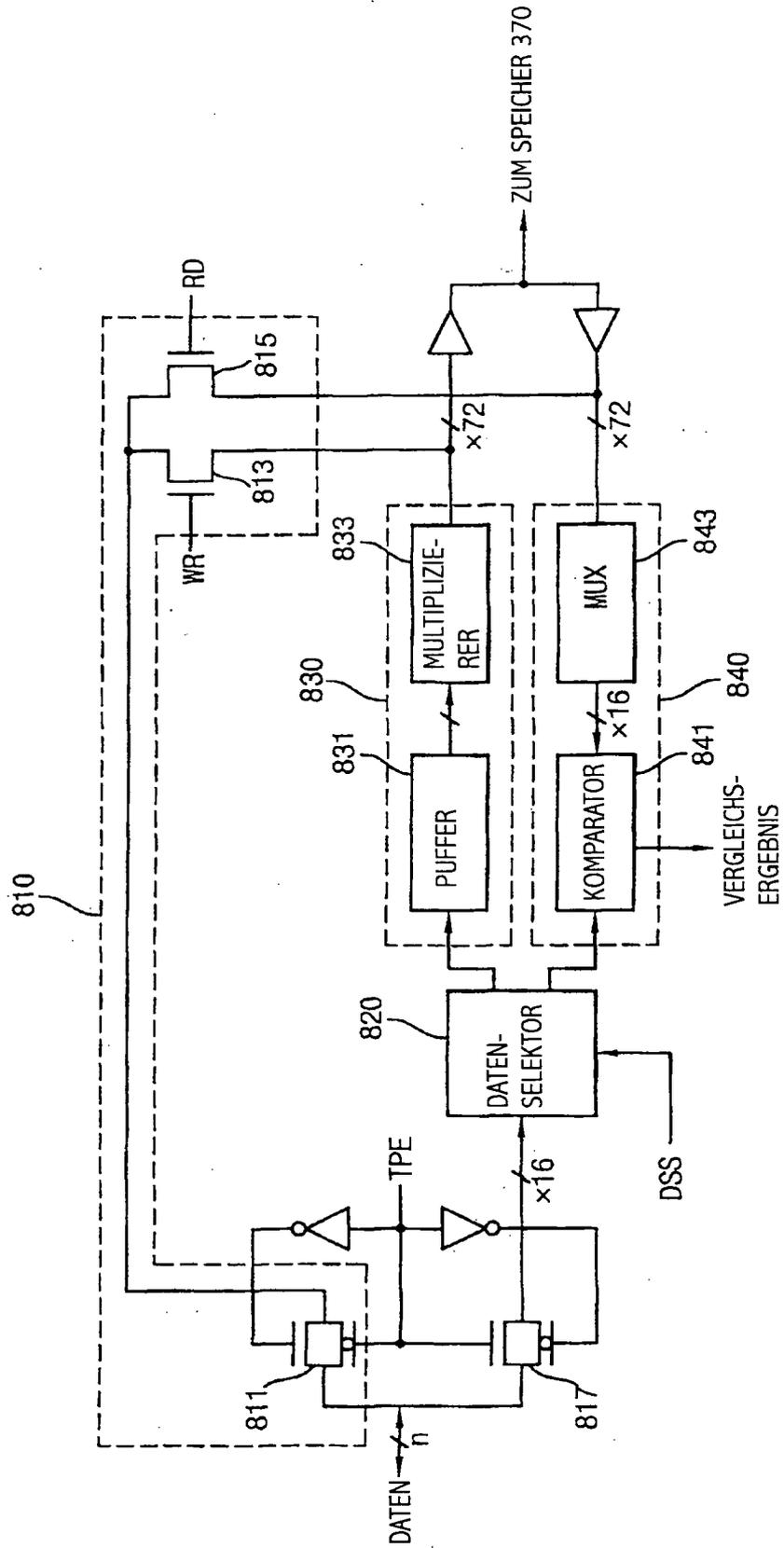


FIG. 9

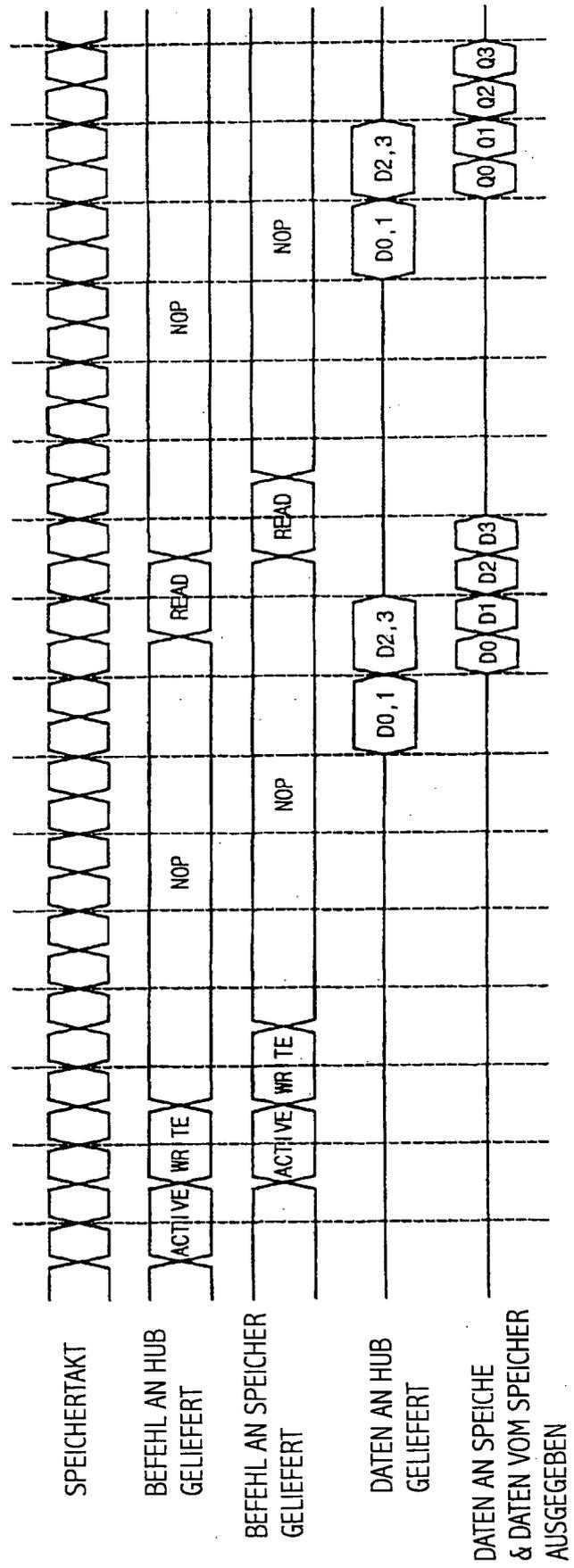


FIG. 10

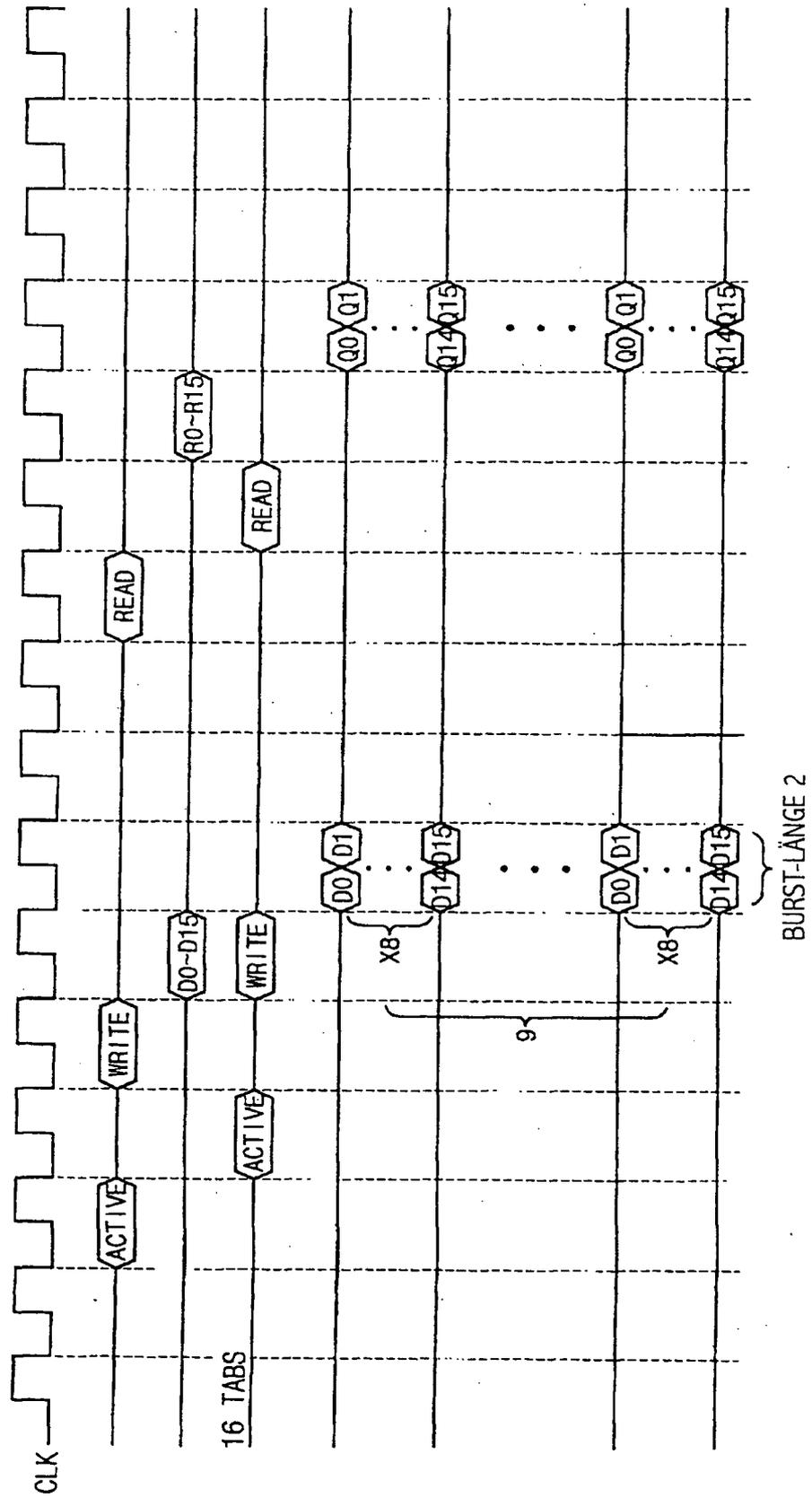


FIG. 11

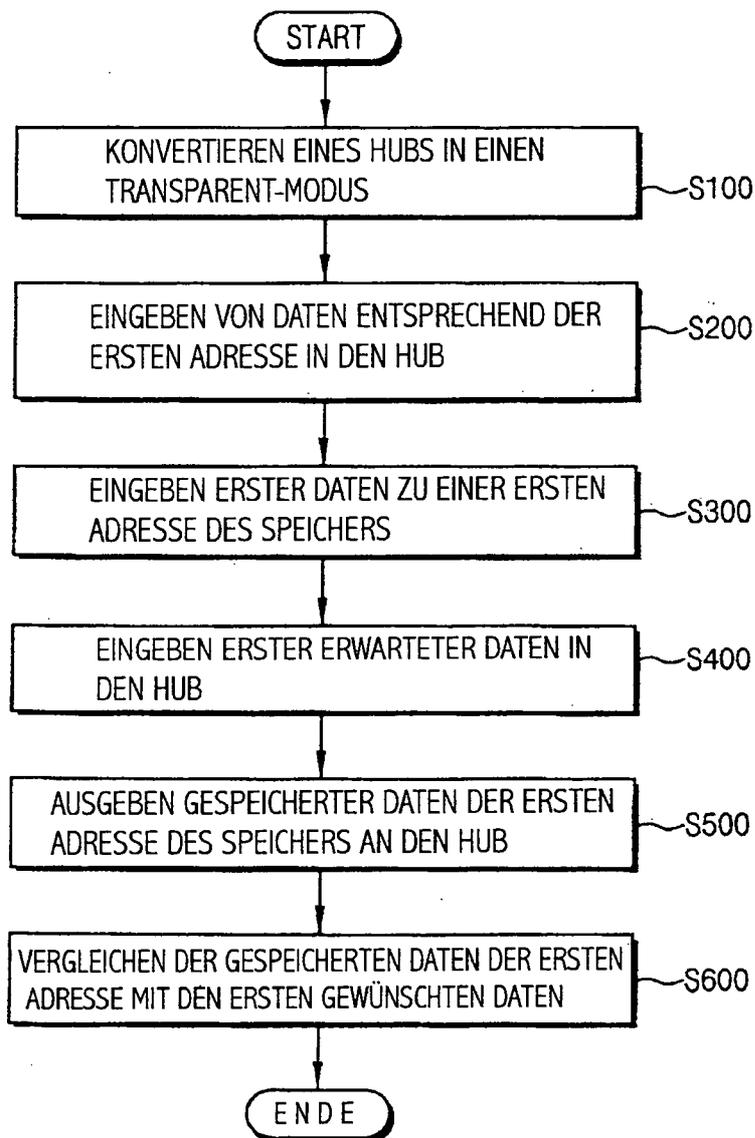


FIG. 12

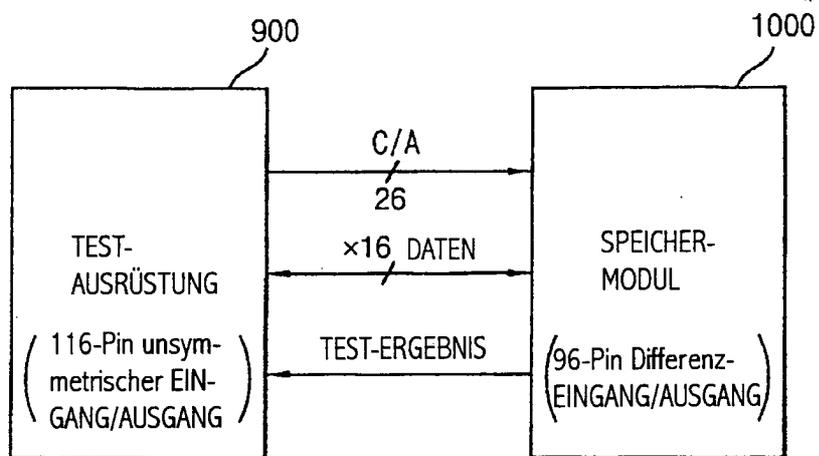


FIG. 13

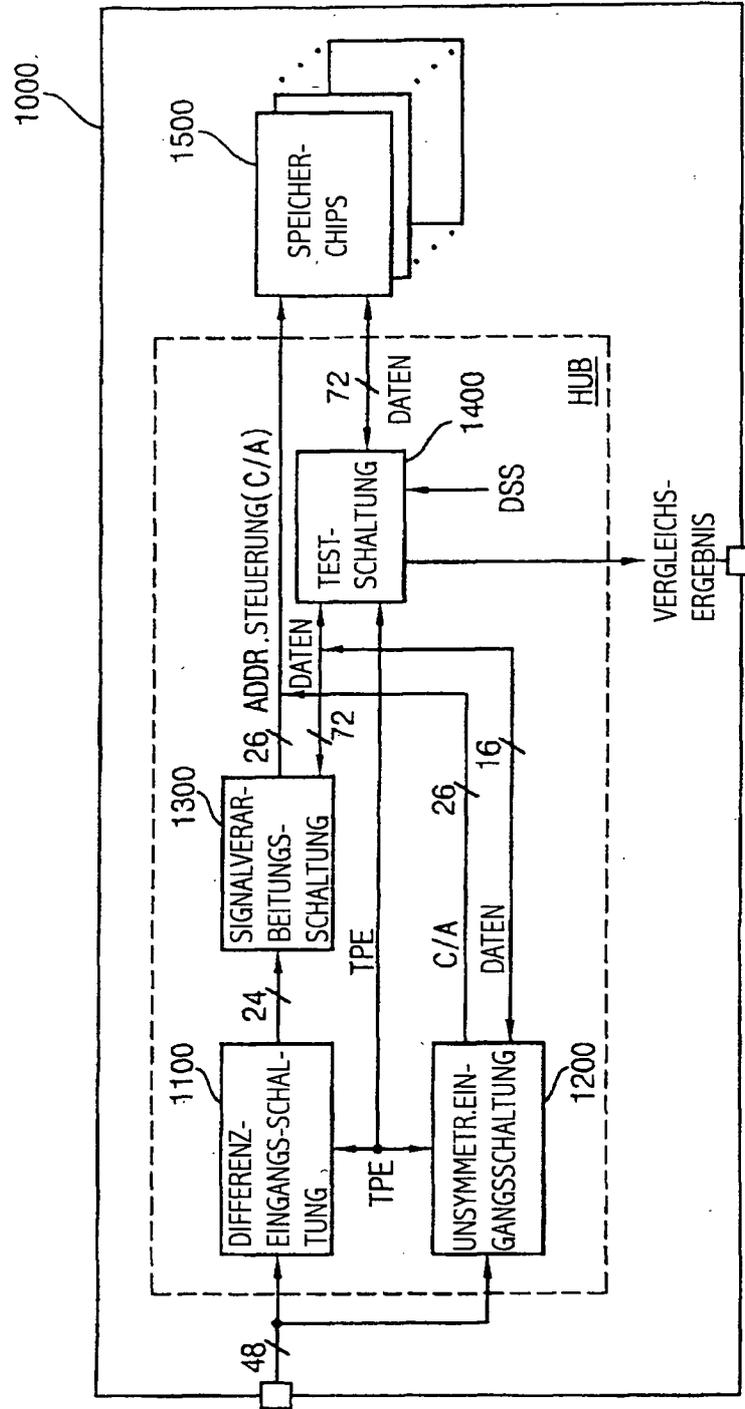


FIG. 14

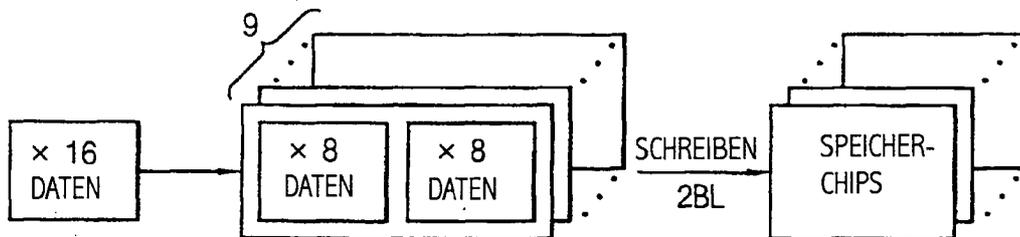


FIG. 15

