

A1

**DEMANDE
DE BREVET D'INVENTION**

⑫

N° 81 23967

⑤④ Compensateur numérique d'erreur de vitesse pour un correcteur de base de temps.

⑤① Classification internationale (Int. Cl. ³). H 04 N 5/95.

②② Date de dépôt..... 22 décembre 1981.

③③ ③② ③① Priorité revendiquée : *Japon, 22 décembre 1980, n° 182493/80.*

④① Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 25 du 25-6-1982.

⑦① Déposant : Société dite : SONY CORP., résidant au Japon.

⑦② Invention de : Tetsuro Kato.

⑦③ Titulaire : *Idem* ⑦①

⑦④ Mandataire : Cabinet Beau de Loménie,
55, rue d'Amsterdam, 75008 Paris.

La présente invention concerne un compensateur d'erreur de vitesse, et elle porte plus particulièrement sur un compensateur numérique d'erreur de vitesse qui est utilisé dans un correcteur de base de temps, tel qu'un

5 correcteur de base de temps de signal vidéo.

Des erreurs de base de temps, qui sont des erreurs de fréquence et/ou de phase, sont souvent introduites dans des signaux d'information qui sont reproduits à partir d'un support d'enregistrement. Par exemple, lors-

10 qu'on enregistre des signaux vidéo sur une bande magnétique, comme avec un magnétoscope, des erreurs de base de temps peuvent être introduites dans ces signaux vidéo lorsqu'ils sont reproduits. De telles erreurs de base de temps sont dues par exemple à un allongement ou une

15 rétraction de la bande magnétique après l'enregistrement des signaux vidéo sur la bande; à un changement de la vitesse à laquelle la bande magnétique est entraînée pendant le mode de reproduction, par rapport à la vitesse pendant le mode d'enregistrement; à des changements de

20 la vitesse à laquelle les têtes de reproduction balayaient la bande magnétique au cours des modes d'enregistrement et de reproduction, dans un magnétoscope du type dit à balayage en hélice; et à des phénomènes similaires. Lorsque les signaux vidéo reproduits sont présentés sur un

25 moniteur ou un récepteur de télévision, les erreurs de base de temps qui peuvent exister dans ces signaux se présentent sous la forme d'effets parasites tels qu'une gigue, une distorsion de luminance, un rendu erroné des couleurs, etc.

30 Les correcteurs de base de temps sont des dispositifs connus qui permettent d'éliminer pratiquement les erreurs de base de temps dans les signaux vidéo reproduits. Le brevet U.S. 3 860 952 présente un exemple d'un correcteur de base de temps. D'une manière caractéristique,

35 les signaux vidéo reproduits sont convertis de leur forme analogique habituelle en une forme numérique, et les signaux vidéo convertis sous forme numérique sont enregistrés temporairement dans une mémoire numérique. Des échan-

tillons successifs du signal vidéo sont écrits dans la mémoire à une cadence d'horloge d'écriture qui est synchronisée avec les erreurs de base de temps détectées. Une fois qu'une ligne d'échantillons de signal vidéo a été enregistrée, les échantillons enregistrés sont lus, un par un, avec une cadence d'horloge de lecture nominale, de valeur fixe. Du fait que les échantillons de signal vidéo sont écrits en synchronisme avec les erreurs de base de temps et sont lus à une cadence fixe, les erreurs de base de temps sont pratiquement supprimées. Les échantillons de signal vidéo lus sont reconvertis sous forme analogique et peuvent être présentés, transmis ou traités de toute autre manière, en étant exempts d'erreurs de base de temps qu'on cherche à éviter.

Le correcteur de base de temps caractéristique du type décrit ci-dessus ne tient pas compte des erreurs de vitesse. L'erreur de vitesse d'un signal vidéo est l'erreur de base de temps qui peut exister sur la totalité, ou une partie importante, d'un intervalle de ligne horizontale. Dans les correcteurs de base de temps de type caractéristique, on détecte le signal de synchronisation horizontale et le signal de salve habituel au début d'un intervalle de ligne; et on verrouille en fréquence et en phase sur ces signaux de synchronisation et de salve le générateur d'horloge d'écriture qui est utilisé pour générer les impulsions d'horloge d'écriture. Le verrouillage de phase des impulsions d'horloge d'écriture a lieu au début de chaque intervalle de ligne horizontale du fait que le signal de salve n'est présent qu'à ce moment dans le signal vidéo. Il n'y a aucun réglage ou aucune correction de la phase des impulsions d'horloge d'écriture sur tout le reste de l'intervalle de ligne horizontale. Cependant, les caractéristiques temporelles, ou la phase, du signal vidéo peuvent varier pendant cet intervalle de ligne. Par exemple, la phase de la sous-porteuse de chrominance sur laquelle est modulée la composante de chrominance peut varier. C'est cette variation de temps ou de phase du signal vidéo pendant l'intervalle de ligne horizontale, dont

on ne tient pas compte, qui constitue ce qu'on appelle "l'erreur de vitesse". Naturellement, à la fin de l'intervalle de ligne, ou plus précisément, au début de l'intervalle de ligne immédiatement suivant, on peut déterminer la valeur globale de l'erreur de vitesse en détectant simplement la valeur du réglage de phase qui est nécessaire pour amener les impulsions d'horloge d'écriture en synchronisme de phase correct avec le signal de salve. Ainsi, dans le circuit de commande automatique de phase (CAP) habituel, le signal de commande de phase de l'horloge d'écriture fournit une bonne indication de l'importance de l'erreur de vitesse qui était présente dans l'intervalle de ligne immédiatement précédent.

Il a été proposé de réaliser des correcteurs de base de temps du type mentionné ci-dessus qui soient munis de circuits de correction d'erreur de vitesse. Par exemple, dans le brevet U.S. 4 120 000, l'erreur de vitesse de chaque ligne des signaux vidéo reproduits est enregistrée sous la forme d'une tension de correction d'erreur de vitesse. Cette tension est produite en comparant la phase des impulsions d'horloge d'écriture du correcteur de base de temps et la phase du signal de salve, dans chaque intervalle de ligne, et la tension de correction d'erreur de vitesse est produite sous la forme d'une fonction de toute différence entre ces phases. Lorsqu'une ligne de signaux vidéo est lue dans la mémoire du correcteur de base de temps, la tension de correction d'erreur de vitesse qui est associée à cette ligne est intégrée sur une durée égale à un intervalle de ligne horizontale, ce qui produit un signal d'erreur de vitesse qui varie de façon linéaire, et on utilise ce signal pour moduler en phase les impulsions d'horloge de lecture. Ainsi, les signaux vidéo sont lus dans la mémoire de correcteur de base de temps avec une cadence modulée en phase qui est supposée être une bonne approximation de l'erreur de vitesse réelle qui était présente dans la ligne de signaux vidéo qui a été écrite dans la mémoire.

Dans le système de correction d'erreur de vitesse

mentionné ci-dessus, on corrige les erreurs de vitesse en faisant varier la phase, ou les instants d'apparition, des impulsions d'horloge de lecture. Les échantillons de signal vidéo, qui sont représentés par des signaux numériques à plusieurs bits, sont lus dans la mémoire du correcteur de base de temps à des instants qui font l'objet d'un réglage de phase. Bien que les amplitudes ou les valeurs effectives des échantillons ne soient pas modifiées, la modulation de phase des impulsions d'horloge de lecture conduit à une compensation des erreurs de vitesse lorsque les échantillons lus sont reconvertis sous forme analogique. Ainsi, la correction d'erreur de vitesse n'est pas faite dans les signaux vidéo convertis sous forme numérique, mais plutôt lorsque les signaux vidéo sont reconvertis sous forme analogique.

Dans de nombreux cas, il est souhaitable d'obtenir un signal vidéo numérique corrigé vis-à-vis des erreurs de vitesse. Conformément à la technique de correction d'erreur de vitesse décrite ci-dessus, ceci n'a été réalisé jusqu'à présent que par la reversion sous forme numérique du signal vidéo analogique corrigé vis-à-vis des erreurs de vitesse. Ceci s'accompagne naturellement du bruit de quantification habituel et des erreurs inhérentes à toute conversion numérique-analogique-numérique. Il est donc souhaitable de réaliser un compensateur numérique d'erreur de vitesse, de façon qu'on puisse éviter la conversion numérique-analogique et la modulation de phase des impulsions d'horloge lues.

L'invention a donc pour but de réaliser un compensateur numérique d'erreur de vitesse qui évite les inconvénients précités qui accompagnent les systèmes de correction d'erreur de vitesse de l'art antérieur.

L'invention a également pour but de réaliser un dispositif compensateur d'erreur de vitesse qui soit particulièrement utile dans un correcteur de base de temps qui est utilisé pour corriger les erreurs de base de temps qui peuvent être présentes dans un signal vidéo.

L'invention a également pour but de réaliser un

compensateur d'erreur de vitesse qui compense les niveaux des échantillons du signal vidéo qui sont lus dans une mémoire de correcteur de base de temps, de façon que les échantillons compensés soient pratiquement exempts d'erreur de vitesse.

L'invention consiste en un dispositif compensateur d'erreur de vitesse destiné à être utilisé dans un correcteur de base de temps du type comportant une mémoire dans laquelle des échantillons successifs d'un signal d'information périodique, comme un signal vidéo en couleur composite, sont écrits à une cadence d'écriture qui est synchronisée avec les erreurs de base de temps présentes dans le signal d'information, de telle façon que plusieurs périodes, ou lignes, des signaux d'information soient enregistrées dans la mémoire, les échantillons successifs étant ensuite lus dans cette mémoire avec une cadence de lecture constante. Un détecteur d'erreur de vitesse détecte les erreurs de vitesse dans les périodes, ou lignes, successives des signaux d'information qui sont écrits dans la mémoire. Un compensateur de niveau d'échantillon compense le niveau d'un échantillon lu dans la mémoire en fonction de l'erreur de vitesse détectée, d'une manière telle que le niveau de l'échantillon lu soit modifié pour être égal au niveau qu'il aurait eu à l'instant auquel il a été lu, s'il n'y avait pas eu d'erreur de vitesse.

Dans un mode de réalisation préféré de l'invention, le compensateur d'erreur de vitesse travaille sur un signal vidéo en couleur composite, et les échantillons successifs du signal vidéo qui sont lus dans la mémoire sont séparés, de préférence par un séparateur numérique, en échantillons de composante de luminance, et en échantillons de composante de chrominance. Conformément à un aspect de l'invention, le compensateur de niveau d'échantillon comprend des interpolateurs de luminance et de chrominance séparés, destinés à produire respectivement des échantillons de luminance et de chrominance compensés. L'échantillon de luminance compensé y_Y est produit par des circuits multiplicateurs qui produisent l'échantillon de lu-

minance compensé conformément à l'expression $y_Y = a_Y(1-x) + b_Yx$, dans laquelle a_Y et b_Y désignent des échantillons de composante de luminance consécutifs et x est l'erreur de vitesse de l'un de ces échantillons. L'échantillon de chrominance compensé y_C est produit par des circuits multiplificateurs qui produisent l'échantillon de chrominance compensé conformément à l'expression $y_C = b_C \sin \frac{\pi}{2}x + a_C \cos \frac{\pi}{2}x$, dans laquelle a_C et b_C sont des échantillons de composante de chrominance consécutifs et x est l'erreur de vitesse de l'un de ces échantillons. Les échantillons de luminance et de chrominance compensés sont combinés pour produire des échantillons du signal vidéo en couleur composite, compensés par rapport à l'erreur de vitesse.

D'autres caractéristiques et avantages de l'invention seront mieux compris à la lecture de la description qui va suivre d'un mode de réalisation et en se référant aux dessins annexés sur lesquels :

La figure 1 est un schéma synoptique d'un correcteur de base de temps dans lequel l'invention trouve une application directe ;

La figure 2 est un schéma synoptique d'un intégrateur numérique qui est utilisé conformément à l'invention pour produire des signaux d'erreur de vitesse ;

Les figures 3A et 3B sont des diagrammes séquentiels qui représentent la manière selon laquelle les signaux d'erreur de vitesse sont générés ;

La figure 4 est un schéma synoptique du compensateur d'erreur de vitesse conforme à l'invention ;

La figure 5 est un schéma d'un circuit de retard variable qui est utilisé dans l'invention d'une manière qu'on décrira ;

La figure 6 est un schéma synoptique d'un interpolateur conforme à l'invention, destiné à compenser les échantillons de composante de luminance qui contiennent des erreurs de vitesse ;

La figure 7 est une représentation graphique qui est utile à la compréhension du fonctionnement du mode de réalisation qui est représenté sur la figure 6 ;

La figure 8 est un schéma synoptique d'un interpolateur conforme à l'invention qui compense les échantillons de composante de chrominance qui contiennent des erreurs de vitesse ; et

5 Les figures 9A et 9B représentent respectivement un diagramme vectoriel et un diagramme séquentiel qui sont utiles à la compréhension du fonctionnement de l'interpolateur qui est représenté sur la figure 8.

10 On va maintenant considérer les dessins, et en particulier la figure 1 qui représente un schéma synoptique d'un correcteur de base de temps dans lequel l'invention trouve une application directe. Par commodité, on décrira le correcteur de base de temps représenté sur la figure 1 en liaison avec un signal d'entrée qui est un
15 signal vidéo en couleur composite, par exemple un signal vidéo en couleur reproduit par un magnétoscope. Cependant, dans son sens le plus large, le correcteur de base de temps représenté est conçu de façon à corriger des erreurs de base de temps qui peuvent exister dans un signal d'in-
20 formation périodique qui lui est appliqué, par exemple, par un dispositif de reproduction de signal. Le correcteur de base de temps représenté comprend une mémoire 3, un dispositif de commande de mémoire 6, un générateur d'horloge d'écriture 7, un générateur d'horloge de lecture 9, un détec-
25 tecteur d'erreur de vitesse 11, un générateur de signal de données d'erreur de vitesse 13 et un compensateur d'erreur de vitesse 4. La mémoire 3 peut être constituée par plusieurs éléments de mémoire, chacun d'eux étant conçu de façon à enregistrer au moins une ligne de signaux vidéo.
30 La mémoire est de préférence une mémoire adressable et elle est commandée par le dispositif de commande de mémoire 6, de façon que les éléments de mémoire particuliers de la mémoire, et les positions adressables dans ces éléments de mémoire, soient adressés de façon à permettre l'écriture
35 de signaux numériques dans la mémoire et la lecture des signaux numériques enregistrés dans la mémoire. On notera que la mémoire 3 est un dispositif de mémoire numérique de type caractéristique.

L'entrée de la mémoire 3 est connectée à une borne d'entrée 1 par l'intermédiaire d'un convertisseur analogique-numérique 2. Le convertisseur analogique-numérique 2 est conçu de façon à échantillonner un signal vidéo appliqué sur la borne d'entrée 1, à une cadence d'échantillonnage qui est synchronisée avec les erreurs de base de temps présentes dans le signal vidéo d'entrée. Les échantillons successifs que produit le convertisseur analogique-numérique 2 sont appliqués à la mémoire 3 et ils sont enregistrés dans des positions adressées d'un élément de mémoire qui est sélectionné par le dispositif de commande de mémoire 6. Dans le mode de réalisation qui est décrit ici, le signal vidéo en couleur composite qui est appliqué sur la borne d'entrée 1 comprend une sous-porteuse de chrominance sur laquelle la composante de chrominance est modulée en amplitude, avec une fréquence de sous-porteuse f_{sc} . La cadence d'échantillonnage à laquelle le signal vidéo en couleur d'entrée est échantillonné est égale à $4 f_{sc}$. Le convertisseur analogique-numérique échantillonne le signal vidéo d'entrée à cette cadence d'échantillonnage et il convertit chaque échantillon en un signal numérique à plusieurs bits correspondant dont la valeur représente l'amplitude de l'échantillon considéré. Ce sont ces échantillons numériques à plusieurs bits qui sont enregistrés dans les éléments de mémoire respectifs de la mémoire 3.

La borne d'entrée 1 est également connectée à un séparateur de signaux de synchronisation et de salve, 8. Le séparateur 8 peut être de structure classique et il est conçu de façon à séparer du signal vidéo en couleur composite d'entrée le signal de synchronisation horizontale et le signal de salve qui sont présents au début de chaque intervalle de ligne horizontale. Pour abrégé, on ne décrira pas davantage le séparateur de synchronisation 8.

Le signal de synchronisation horizontale et le signal de salve séparés, qui sont obtenus à partir du signal vidéo en couleur composite d'entrée, sont appliqués au générateur d'horloge d'écriture 7. Le générateur d'horloge

d'écriture est conçu de façon à générer des signaux d'horloge d'écriture ayant une fréquence $4 f_{sc}$, et ce signal d'horloge d'écriture est synchronisé en phase avec le signal de salve séparé. En outre, le générateur d'horloge d'écriture 7 comprend des circuits classiques de commande automatique de fréquence (CAF) et de commande automatique de phase (CAP), de telle façon que les impulsions d'horloge d'écriture soient synchronisées à la fois en fréquence et en phase par rapport au signal de synchronisation horizontale et au signal de salve séparés. Les erreurs de base de temps qui peuvent être présentes dans le signal vidéo en couleur composite d'entrée sont également présentes dans les impulsions d'horloge d'écriture qui sont synchronisées avec les signaux de synchronisation horizontale et de salve. Bien que ceci ne soit pas représenté ici, les impulsions d'horloge d'écriture qui sont générées par le générateur d'horloge d'écriture 7 sont également utilisées pour échantillonner le signal vidéo d'entrée dans le convertisseur analogique-numérique 2.

Le dispositif de commande de mémoire 6 est conçu de façon à recevoir à la fois les impulsions d'horloge d'écriture générées par le générateur d'horloge d'écriture 7 et les impulsions d'horloge de lecture qui sont générées par le générateur d'horloge de lecture 9. Le dispositif de commande de mémoire est conçu de façon à sélectionner dans la mémoire 3 les éléments de mémoire particuliers dans lesquels une ou plusieurs lignes d'échantillons de signal vidéo sont écrites, et dans lesquels sont lues des lignes successives d'échantillons de signal vidéo.

Le générateur d'horloge de lecture 9 est connecté à une borne 10 qui est conçue de façon à recevoir un signal d'horloge de référence provenant d'une source appropriée, telle qu'un oscillateur à quartz ou un élément analogue (non représenté). Dans un mode de réalisation, le générateur d'horloge de lecture 9 génère des impulsions d'horloge de lecture à la fréquence constante et fixe de $4 f_{sc}$, par exemple. Ces impulsions d'horloge de lecture sont appliquées au dispositif de commande de

mémoire 6 et elles sont utilisées pour lire des échantillons consécutifs dans l'élément de mémoire sélectionné de façon appropriée dans la mémoire 3.

La figure 1 comporte également un circuit de correction d'erreur de vitesse qui est constitué par le détecteur d'erreur de vitesse 11, le générateur de signal de données d'erreur de vitesse 13 et le compensateur d'erreur de vitesse 4. Le détecteur d'erreur de vitesse 11 est conçu de façon à détecter l'erreur de vitesse qui peut exister dans chaque ligne de signaux vidéo qui est écrite dans la mémoire 3. Le détecteur d'erreur de vitesse peut comprendre par exemple un détecteur de différence de phase qui reçoit les impulsions d'horloge d'écriture générées par le générateur d'horloge d'écriture 7, et les signaux de synchronisation horizontale et de salve qui sont séparés du signal vidéo entrant par le séparateur 8. On notera qu'au début d'un intervalle de ligne, les impulsions d'horloge d'écriture générées par le générateur d'horloge d'écriture 7 sont encore synchronisées en phase avec le signal de salve qui était présent au début de l'intervalle de ligne précédent. Par conséquent, la différence de phase entre les impulsions d'horloge d'écriture et le signal de salve qui est séparé de l'intervalle de ligne présent représente l'erreur de vitesse de l'intervalle de ligne précédent. Le détecteur d'erreur de vitesse 11 produit de façon caractéristique une tension de sortie qui est fonction de cette différence de phase.

Le signal de sortie du détecteur d'erreur de vitesse 11 est appliqué au convertisseur analogique-numérique 12 qui convertit en un signal numérique correspondant la tension analogique qui est produite par le détecteur d'erreur de vitesse et qui est représentative de l'erreur de vitesse de l'intervalle de ligne précédent. Cette tension d'erreur de vitesse convertie sous forme numérique est à son tour soumise à une intégration numérique sur une certaine durée, par le générateur de signal de données d'erreur de vitesse 13. Comme on le décrira ci-après en relation avec la figure 2, le générateur de si-

gnal de données d'erreur de vitesse génère une version numérique d'un signal qui augmente (ou diminue) de façon linéaire sur un intervalle de ligne horizontale.

Le signal de sortie du générateur de signal de données d'erreur de vitesse 13 est appliqué au compensateur d'erreur de vitesse 4. Le compensateur d'erreur de vitesse, qui est décrit ci-après de façon plus détaillée, reçoit également des échantillons de signal vidéo successifs ou consécutifs qui sont lus dans la mémoire 3. On notera que ces échantillons de signal vidéo lus présentent une erreur de vitesse, et cette erreur de vitesse est compensée par le compensateur d'erreur de vitesse. La sortie du compensateur d'erreur de vitesse 4 est connectée à une borne de sortie 5 qui reçoit des échantillons de signal vidéo qui ont fait l'objet d'une correction de base de temps et d'une compensation d'erreur de vitesse. Comme on l'expliquera ci-après, le compensateur d'erreur de vitesse 4 modifie la valeur effective, ou le niveau, de chaque échantillon de signal vidéo lu, de façon que le niveau de chaque échantillon devienne pratiquement égal au niveau que cet échantillon aurait eu à l'instant auquel il a été lu dans la mémoire 3, s'il n'y avait pas eu d'erreur de vitesse. Ceci est expliqué ci-après de façon plus détaillée.

Le compensateur d'erreur de vitesse 4 utilise des échantillons de signal vidéo consécutifs, ainsi que le signal de données d'erreur de vitesse, représentant l'erreur de vitesse qui concerne, par exemple, le premier de ces échantillons consécutifs, pour compenser, ou modifier, le niveau de ce premier échantillon. Ainsi, la borne de sortie 5 reçoit des échantillons de signal vidéo consécutifs qui ont fait l'objet d'une compensation d'erreur de vitesse.

On va maintenant considérer la figure 2 qui représente un mode de réalisation du générateur de signal de données d'erreur de vitesse 13. Ce générateur est constitué par des circuits numériques et il comprend un circuit de sommation numérique 14 dont la sortie est connectée

à un registre numérique 15. Le contenu du registre 15 est renvoyé vers le circuit de sommation 14 et il est sommé dans ce dernier avec un signal proportionnel à l'erreur de vitesse détectée par le détecteur d'erreur de vitesse 11 et converti sous forme numérique par le convertisseur analogique-numérique 12. En plus de sa connexion au registre 15, la sortie du circuit de sommation 14 applique le signal de données d'erreur de vitesse au compensateur d'erreur de vitesse 4.

Le registre 15 comporte une borne d'entrée d'impulsions d'horloge 16a et une borne d'entrée de restauration 16b. Des impulsions d'horloge qui sont synchronisées par rapport aux impulsions d'horloge de lecture précitées, ou sont identiques à ces dernières, sont appliquées sur la borne d'impulsions d'horloge 16a. On voit donc que des impulsions d'horloge ayant une cadence de répétition égale à $4 f_{sc}$ sont appliquées au registre 15. Chacune de ces impulsions d'horloge charge dans le registre le signal numérique qui est appliqué à ce registre par le circuit de sommation 14. La borne de restauration 16b est destinée à recevoir un signal de restauration ayant une cadence de répétition égale à la cadence de lecture de ligne dans la mémoire 3. Ainsi, une impulsion de restauration est appliquée à la borne de restauration 16b lorsque le premier échantillon de signal vidéo d'un intervalle de ligne horizontale enregistré dans la mémoire 3 est lu dans cette mémoire. Ainsi, le registre 15 est restauré et son contenu est effacé au début de chaque intervalle de ligne lu.

On va maintenant décrire la manière selon laquelle fonctionne l'intégrateur numérique qui est représenté sur la figure 2, en se référant aux diagrammes séquentiels représentés sur les figures 3A et 3B. La figure 3A représente la valeur de la différence, à la fin de chaque intervalle de ligne horizontale du signal vidéo entrant, entre la phase des impulsions d'horloge d'écriture qui sont générées par le générateur d'horloge d'écriture 7, et la phase du signal de salve qui est séparé du signal vidéo

entrant. Plus précisément, la figure 3A représente la commande de phase qui est exercée sur les impulsions d'horloge d'écriture. A l'instant t_{H1} , à la fin d'un premier intervalle de ligne (ou, autrement dit, au début de l'intervalle de ligne immédiatement suivant), la phase des impulsions d'horloge d'écriture peut être ajustée, ou décalée, de la valeur négative représentée, de façon à être synchronisée sur la phase du signal de salve séparé. Ceci représente l'erreur de base de temps qui est présente dans le premier intervalle de ligne horizontale. A l'instant t_{H2} , la phase des impulsions d'horloge d'écriture peut être décalée de la valeur positive représentée. A l'instant t_{H3} , la phase des impulsions d'horloge d'écriture peut être décalée de la valeur négative représentée; et les décalages positifs ou négatifs de la phase des impulsions d'horloge d'écriture sont accomplis au début des intervalles de ligne suivants, comme l'indiquent les instants t_{H4} et t_{H5} . On notera que les valeurs de ces déphasages qui doivent être effectués pour amener les impulsions d'horloge d'écriture en synchronisme avec les signaux de salve séparés, sont produites sous la forme des tensions d'erreur de vitesse par le détecteur d'erreur de vitesse 11. Ainsi, sur la figure 3A, le détecteur d'erreur de vitesse 11 produit la tension d'erreur de vitesse V_E à l'instant t_{H1} .

Le convertisseur analogique-numérique 12 convertit la tension d'erreur de vitesse V_E générée par le détecteur d'erreur de vitesse 11 en un signal numérique correspondant, lorsque l'intervalle de ligne d'échantillons de signal vidéo qui est associé à cette erreur de vitesse est lu dans la mémoire 3. De plus, bien que ceci ne soit pas représenté, ce signal d'erreur de vitesse converti sous forme numérique est divisé par le nombre d'échantillons de signal vidéo contenus dans chaque intervalle de ligne (par exemple 910 échantillons dans l'exemple décrit ici), de façon à produire un signal d'erreur de vitesse sous forme numérique qui représente l'erreur de vitesse du premier échantillon de signal vidéo lu dans la mémoire 3. C'est

ce signal d'erreur de vitesse converti sous forme numérique et divisé qui est appliqué à l'entrée du circuit de sommation 14.

5 Au début d'un intervalle de ligne horizontale, c'est-à-dire au début de l'intervalle de ligne pendant lequel des échantillons de signal vidéo sont lus dans la mémoire 3, le registre 15 est restauré et le signal d'erreur de vitesse qui représente l'erreur de vitesse du premier échantillon de signal vidéo est appliqué au circuit de sommation 14. Sous l'effet de la première impulsion d'horloge qui est appliquée à la borne 16a du registre 15, ce signal d'erreur de vitesse converti sous forme numérique est chargé dans le registre. Le contenu du registre 15, qui est maintenant égal à la valeur du signal d'erreur de vitesse associé au premier échantillon de signal vidéo lu dans la mémoire 3, est sommé avec le signal d'erreur de vitesse converti sous forme numérique qui est appliqué au circuit de sommation 14, et ce signal d'erreur de vitesse converti sous forme numérique demeure égal à l'erreur de vitesse divisée par le nombre d'échantillons contenus dans un intervalle de ligne. Ainsi, le signal de sortie du circuit de sommation 14 est maintenant égal à la somme du contenu du registre 15 et du signal d'erreur de vitesse converti sous forme numérique et divisé qui est appliqué à l'entrée du circuit de sommation.

Sous l'effet de l'impulsion d'horloge suivante appliquée sur la borne 16a, le signal de sortie du circuit de sommation 14 est chargé dans le registre 15; et le contenu mis à jour de ce registre est additionné au signal d'erreur de vitesse converti sous forme numérique et divisé qui est appliqué à l'entrée du circuit de sommation 14. Ainsi, le signal de sortie du circuit de sommation est à nouveau augmenté. Ce fonctionnement se poursuit sous l'effet de chaque impulsion d'horloge, ce qui fait que le signal de sortie du circuit de sommation 14 augmente par incréments. La figure 3B représente cette augmentation du signal de sortie du circuit de sommation 14 qui, comme on le voit, correspond à l'intégration de la tension d'erreur de vitesse V_E . Du

fait que les impulsions d'horloge qui sont appliquées sur la borne 16a ont une cadence de répétition égale à la cadence d'échantillonnage $4 f_{sc}$, on voit sur la figure 3B que le signal de sortie du circuit de sommation 14 est augmenté à cette cadence d'échantillonnage, de façon à produire un signal de données d'erreur de vitesse discret et intégré, à chaque impulsion d'horloge. Par conséquent, le générateur de signal de données d'erreur de vitesse 13 applique un signal de données d'erreur de vitesse discret au compensateur d'erreur de vitesse 4, en synchronisme avec chaque échantillon de signal vidéo que la mémoire 3 applique au compensateur. Autrement dit, chaque signal de données d'erreur de vitesse discret produit par l'intégrateur représenté sur la figure 1, est associé à un échantillon de signal vidéo respectif lu dans la mémoire et il représente l'erreur de vitesse de cet échantillon.

Lorsque le dernier échantillon de signal vidéo appartenant à un intervalle de ligne est lu, le registre 15 (figure 2) est restauré, et le processus précédent se répète, comme le montrent les figures 3A et 3B. Ainsi, l'intégrateur représenté sur la figure 2 fonctionne en intégrateur numérique de manière à intégrer, sur un intervalle de ligne horizontale, l'erreur de vitesse détectée par le détecteur d'erreur de vitesse 11 et convertie sous forme numérique par le convertisseur analogique-numérique 12.

On va maintenant considérer la figure 4 qui représente un schéma synoptique du compensateur d'erreur de vitesse 4. Dans l'exemple décrit, dans lequel on utilise le correcteur de base de temps et le compensateur d'erreur de vitesse pour corriger les erreurs de base de temps et de vitesse dans un signal vidéo composite, le compensateur d'erreur de vitesse comporte des circuits interpolateurs séparés 19 et 20 qui sont conçus de façon à compenser respectivement les erreurs de vitesse présentes dans les échantillons des composantes de luminance et de chrominance. Par conséquent, l'interpolateur 19 est appelé ici l'interpolateur de composante de luminance et l'interpolateur 20 est appelé l'interpolateur de composante de chrominance.

Les signaux d'entrée de ces interpolateurs sont appliqués à un séparateur de luminance/chrominance 18, et les signaux de sortie de ces interpolateurs sont appliqués à un circuit de combinaison de luminance/chrominance 21.

5 Le séparateur 18 est branché à une borne d'entrée 17 de façon à recevoir les échantillons de signal vidéo consécutifs qui sont lus dans la mémoire 3. Le séparateur 18 peut être un filtre numérique du type décrit dans le document intitulé "Digital TV Comb Filter with Adaptive
10 Features" par John P. Rossi, International Conference on Video and Data Recording, 1976, pages 267-279. Le séparateur 18 sépare ainsi les échantillons qui lui sont appliqués par la mémoire 3 en échantillons respectifs de composante de luminance et de composante de chrominance. Les
15 échantillons de composante de luminance sont compensés, d'une manière décrite ci-dessus, par l'interpolateur 19; et les échantillons de composante de chrominance sont compensés par l'interpolateur 20. Les échantillons compensés des composantes de luminance et de chrominance sont
20 ensuite combinés par le circuit de combinaison 21 qui peut consister par exemple en un mélangeur numérique. Ce mélangeur peut être construit sous une forme inverse de celle du séparateur numérique 18, conformément aux principes décrits dans l'article précité. Le signal de sortie du
25 mélangeur 21 est appliqué à la borne de sortie 22 qui est à son tour connectée à la borne de sortie 5 de la figure 1.

Chacun des interpolateurs 19 et 20 est sensible aux signaux de données d'erreur de vitesse discrets que génère l'intégrateur représenté sur la figure 2, et il
30 modifie le niveau, ou la valeur, des échantillons de composantes de luminance et de chrominance consécutifs, de telle façon que ces échantillons prennent des niveaux égaux à ceux que les échantillons auraient eu au moment où ils ont été lus dans la mémoire 3, s'il n'y avait pas
35 eu d'erreur de vitesse. Ceci est décrit ci-dessous de façon plus détaillée.

L'interpolateur de niveau d'échantillon de luminance 19 est représenté sur la figure 6. Cet interpolateur

comprend des circuits multiplicateurs 35 et 36, un générateur de signal 34 et un circuit de sommation 37. Une borne d'entrée 30 est conçue de façon à recevoir les échantillons de luminance successifs qui sont lus dans la mémoire 3 et sont séparés par le filtre numérique 18. La borne d'entrée 30 est connectée au circuit multiplicateur 35 par un circuit de retard 31 et par un circuit de retard sélectif 32. Le circuit de retard 31 est conçu de façon à communiquer un retard égal à un intervalle d'impulsion d'horloge de lecture, de façon que l'échantillon retardé apparaissant à la sortie de ce circuit coïncide dans le temps avec l'échantillon immédiatement suivant qui est appliqué sur la borne d'entrée 30. Comme il est représenté, la borne d'entrée est également connectée directement à un autre circuit de retard sélectif 33. Les circuits de retard sélectifs 32 et 33 ont une structure similaire dont un mode de réalisation est représenté sur la figure 5. Le but et le fonctionnement du circuit de retard sélectif seront décrits ultérieurement.

Les signaux de sortie des circuits de retard sélectifs 32 et 33 sont respectivement appliqués aux circuits multiplicateurs 35 et 36. On voit qu'à cause du retard d'un intervalle d'impulsion d'horloge ($1D$) qui est établi par le circuit de retard 31, les échantillons de composante de luminance successifs sont appliqués en coïncidence de temps aux circuits multiplicateurs 35 et 36.

Un signal VE_2 représentant la valeur du signal de données d'erreur de vitesse produit par l'intégrateur représenté sur la figure 2, est appliqué au circuit multiplicateur 36. On rappelle que le niveau ou la valeur de ce signal de données d'erreur de vitesse augmente par incréments une fois par intervalle d'impulsion d'horloge. Ainsi, l'erreur de vitesse associée à chacun des échantillons successifs appliqués à l'interpolateur qui est représenté sur la figure 6 est également appliquée au circuit multiplicateur 36.

On comprend que le signal d'erreur de vitesse produit par l'intégrateur de la figure 2 représente une erreur

de temps et que les signaux de données d'erreur de vitesse discrets représentent ainsi des décalages de temps. L'erreur de temps que représente le signal de données d'erreur de vitesse est de façon caractéristique inférieure à la durée 1D de l'intervalle d'impulsion d'horloge de lecture. Il est cependant possible que des erreurs de vitesse plus importantes soient présentes, et le décalage de temps représenté par le signal de données d'erreur de vitesse peut donc être supérieur à un intervalle d'impulsion d'horloge.

Par exemple, le signal d'erreur de vitesse peut être supérieur à 1 D, ou supérieur à 2 D, ou supérieur à 3 D, et ainsi de suite. Par conséquent, le signal de données d'erreur de vitesse peut être constitué par un certain nombre de bits, comme par exemple un signal à 10 bits, avec les bits de fort poids, par exemple les deux bits de plus fort poids, indiquant si l'erreur de vitesse est inférieure à 1 D, ou entre 1D et 2 D, ou entre 2 D et 3 D, et ainsi de suite. Les bits restants de poids inférieur représentent la valeur absolue de l'erreur de vitesse.

Les bits de plus fort poids du signal de données d'erreur de vitesse sont représentés par VE_1 , et les bits de moindre poids du signal de données d'erreur de vitesse sont représentés par VE_2 . Comme le montre la figure 6, les bits de moindre poids VE_2 de chaque signal de données d'erreur de vitesse discret sont appliqués au circuit multiplicateur 36. Les bits de plus fort poids VE_1 de chaque signal de données d'erreur de vitesse discret sont appliqués aux circuits de retard sélectifs 32 et 33. Les bits de moindre poids VE_2 représentent les erreurs de vitesse x de chaque échantillon de composante de luminance lu .

Comme le montre également la figure 6, les bits de moindre poids VE_2 du signal de données d'erreur de vitesse sont appliqués à un générateur de signal 34 qui est conçu de façon à produire un signal numérique à plusieurs bits représentant la différence entre une période d'horloge de lecture 1 D et l'erreur de vitesse x . Le générateur de signal 34 produit un signal qui, pour les besoins de la description, a la valeur $(1-x)$. Ce générateur de signal

peut par exemple consister en un circuit soustracteur ou, selon une variante, en une mémoire adressable comportant un sensiblement de positions de mémoire, chacune de ces positions conservant la valeur numérique $(1-x)$, et chaque position étant adressée par la valeur x qui est représentée par les bits de moindre poids VE_2 du signal de données d'erreur de vitesse. Le signal de sortie du générateur de signal 34 est appliqué au circuit multiplicateur 35.

Le circuit de sommation 37 est branché aux sorties des circuits multiplicateurs 35 et 36 et il est conçu de façon à sommer ou à additionner de façon numérique les produits qui sont formés par chacun de ces circuits multiplicateurs. La sortie du circuit de sommation 37 est branchée à une borne de sortie 38 et elle lui applique un échantillon de composante de luminance qui a fait l'objet d'une compensation de niveau. La borne 38 est elle-même branchée à une entrée respective du mélangeur 21 (figure 4).

On va maintenant décrire le fonctionnement de l'interpolateur représenté sur la figure 6, en se référant à la représentation graphique de la figure 7. La ligne R représente la composante de luminance qui est lue dans la mémoire 3 et qui contient une erreur de vitesse. Plus précisément, un échantillon A est lu à l'instant t_1 et l'échantillon immédiatement suivant B est lu à l'instant t_2 . La figure 7 montre l'intervalle d'horloge de lecture 1 D qui sépare ces échantillons successifs a et b. On suppose que l'erreur de vitesse de l'échantillon a est égale à x et que la valeur x est représentée par les bits de moindre poids VE_2 du signal de données d'erreur de vitesse qui est produit par l'intégrateur représenté sur la figure 2, à l'instant auquel l'échantillon a est lu. Comme mentionné ci-dessus, l'erreur de vitesse représente un décalage de l'instant auquel l'échantillon, soit dans ce cas l'échantillon a, est écrit et lu dans la mémoire 3. Pour éliminer cette erreur de vitesse, l'échantillon a devrait être lu à l'instant t_{x1} . Ainsi, une composante de luminance corrigée, corrigée vis-à-vis de l'erreur de vitesse, serait représentée par la ligne S représentée sur la figure 7. Si les

échantillons de luminance lus dans la mémoire 3 sont soumis à un décalage de temps de façon à annuler l'erreur de vitesse, la composante de luminance résultante est représentée par des échantillons qui définissent la ligne S. Par conséquent, l'échantillon corrigé vis-à-vis de l'erreur de vitesse qui est lu dans la mémoire 3 à l'instant t_1 doit avoir le niveau ou la valeur y' . Naturellement, à l'instant t_1 , le niveau réel de l'échantillon est égal au niveau a qui, comme on le voit, est décalé dans le temps de la quantité x par rapport à l'instant correct t_{x1} auquel il aurait dû être lu. Autrement dit, le niveau de l'échantillon a qui est lu à l'instant t_1 aurait la valeur y' s'il n'y avait pas eu d'erreur de vitesse dans l'écriture des échantillons. L'interpolateur représenté sur la figure 6 calcule le niveau y que l'échantillon a aurait dû avoir à l'instant t_1 s'il n'y avait pas eu d'erreur de vitesse dans les échantillons de composante de luminance.

La relation trigonométrique représentée sur la figure 7 peut s'exprimer de la façon suivante :

$$\frac{b - a}{1} = \frac{y - a}{x} \quad (1)$$

$$y = (b-a)x + a \quad (2)$$

$$y = a(1-x) + bx \quad (3)$$

Le générateur de signal 34, les circuits multiplicateurs 35 et 36 et le circuit de sommation 37 de la figure 6 ont pour fonction de mettre en oeuvre l'équation (3). Ainsi, le multiplicateur 36 forme le produit bx , dans lequel b est la valeur de l'échantillon de luminance lu dans la mémoire 3 au moment présent et x est la valeur de l'erreur de vitesse, représentée par le signal de données d'erreur de vitesse qui est produit par l'intégrateur représenté sur la figure 2. On notera que l'erreur de vitesse de l'échantillon précédent a est pratiquement identique à l'erreur de vitesse de l'échantillon présent b , ce qui fait que l'erreur de vitesse x peut être associée aussi bien à l'échantillon a qu'à l'échantillon b .

Le circuit multiplicateur 35 forme le produit

$a(1-x)$; et le circuit de sommation 37 fait la somme des produits des circuits multiplicateurs 35 et 36, pour produire l'échantillon de niveau compensé, y , conformément à l'équation (3). Ainsi, l'échantillon compensé y a une
5 valeur qui est égale à la valeur que l'échantillon a aurait eu à l'instant t_1 s'il n'y avait pas eu d'erreur de vitesse. Ainsi, la valeur de l'échantillon y correspond au niveau de la composante de luminance corrigée vis-à-vis de l'erreur de vitesse, qui est représenté par la ligne S (figure 7), à l'instant t_1 .

Chacun des circuits de retard sélectifs 32 et 33 peut avoir la structure représentée sur la figure 5 et comprendre des éléments de retard de 1D 23, 24, 25 et 26 branchés en cascade. Chacun de ces éléments de retard est
15 conçu de façon à communiquer un retard égal à une période d'horloge de lecture. La sortie de chaque élément de retard est connectée à une prise respective d'un circuit de commutation 28 qui est représenté schématiquement sous une forme comportant un contact mobile qui peut être placé
20 sélectivement sur l'une quelconque des prises représentées pour ce circuit. Un mode de réalisation du circuit de commutation 28 consiste en un multiplexeur comportant plusieurs entrées, chacune d'elles étant connectée sélectivement à une sortie du multiplexeur, sous la dépendance
25 d'un signal de commande qui lui est appliqué. Sur la figure 5, le signal de commande est constitué par les bits de plus fort poids VE_1 du signal de données d'erreur de vitesse que produit l'intégrateur représenté sur la figure 2. En fonction de la valeur de ces bits de plus fort poids
30 VE_1 , la sortie du multiplexeur, ou circuit de commutation, 28 est connectée à l'une correspondante des entrées ou des prises du multiplexeur.

Lorsque le circuit de retard sélectif représenté sur la figure 5 est utilisé en tant que circuit de retard
35 32 (figure 6), sa borne d'entrée 27 reçoit des échantillons de composante de luminance retardés et successifs, a . De façon similaire, lorsque le circuit de retard sélectif est utilisé en tant que circuit de retard 33, la borne d'entrée

27 reçoit des échantillons de composante de luminance successifs b. En fonction de la valeur de l'erreur de vitesse de l'échantillon appliqué au circuit de retard sélectif, qui est représentée par les bits de plus fort poids VE_1 du signal de données d'erreur de vitesse, la sortie du circuit de commutation 28 est connectée à une entrée respective de ce circuit, ce qui applique l'échantillon de composante de luminance à la borne de sortie 29 avec un retard égal à 1D, 2D, 3D ou 4D, en fonction de la prise particulière à laquelle est connectée la sortie du circuit de commutation 28.

On va maintenant considérer la figure 8 qui représente un schéma synoptique de l'interpolateur de composante de chrominance 20. L'interpolateur est utilisé dans le même but que l'interpolateur de composante de luminance décrit précédemment, c'est-à-dire pour modifier le niveau, ou la valeur, de l'échantillon de composante de chrominance qui est lu dans la mémoire 3, de façon à rendre ce niveau égal au niveau qu'aurait eu l'échantillon à l'instant auquel il a été lu, s'il n'y avait pas eu d'erreur de vitesse. L'interpolateur de composante de chrominance représenté sur la figure 8 comprend des circuits multiplicateurs 43 et 44, un circuit de sommation 45 et des générateurs de signal 47 et 48. Le circuit multiplicateur 43 est connecté, par l'intermédiaire d'un circuit de retard 40, à une borne d'entrée 39. La borne d'entrée est conçue de façon à recevoir des échantillons de composante de chrominance successifs qui sont lus dans la mémoire 3. Le circuit de retard 40 est conçu de façon à retarder chacun de ces échantillons avec un retard égal à une période d'horloge de lecture (1D). Le circuit multiplicateur 44 est également connecté à la borne d'entrée 39 et il est destiné à recevoir l'échantillon de composante de chrominance qui est lu dans la mémoire au moment considéré. Ainsi, à cause du circuit de retard 40, les circuits multiplicateurs 43 et 44 reçoivent l'échantillon de composante de chrominance présent et l'échantillon immédiatement précédent en coïncidence dans le temps. L'échantillon de com-

posante de chrominance immédiatement précédent a est appliqué au circuit multiplicateur 43 et l'échantillon de composante de chrominance présent b est appliqué au circuit multiplicateur 44. De plus, des circuits de retard sélectifs 41 et 42, qui peuvent être similaires aux circuits de retard 32 et 33 qui ont été envisagés précédemment et qui ont été décrits de façon plus détaillée en relation avec la figure 5, sont connectés aux entrées des circuits multiplicateurs respectifs 43 et 44, et ils ont pratiquement le même but que les circuits de retard sélectifs 32 et 33 mentionnés précédemment. Ainsi, les circuits de retard 41 et 42 ont pour fonction de compenser les erreurs de vitesse ayant des valeurs supérieures à une période d'horloge de lecture. Comme il est représenté, les bits de plus fort poids VE_1 du signal de données d'erreur de vitesse qui est produit par l'intégrateur représenté sur la figure 2 sont appliqués aux circuits de retard sélectifs 41 et 42 et ils établissent le retard que ces circuits communiquent aux échantillons de composante de chrominance.

Les générateurs de signal 47 et 48 sont connectés de façon à recevoir les bits de moindre poids VE_2 du signal de données d'erreur de vitesse, ces bits représentant l'erreur de vitesse x envisagée ci-dessus. Le générateur de signal 47 est conçu de façon à produire un signal numérique à plusieurs bits qui représente $\cos \frac{\pi}{2}x$, et le générateur de signal 48 est conçu de façon à produire un signal numérique à plusieurs bits qui représente $\sin \frac{\pi}{2}x$. Les générateurs de signal 47 et 48 peuvent être constitués par des dispositifs de mémoire adressables comportant un certain nombre de positions de mémoire, chaque position étant adressée par la valeur x représentée par les bits de moindre poids VE_2 , et chaque position de mémoire adressée conservant un signal numérique qui représente respectivement $\cos \frac{\pi}{2}x$ et $\sin \frac{\pi}{2}x$. Les sorties des générateurs de signal 47 et 48 sont respectivement connectées aux circuits multiplicateurs 43 et 44. Le circuit multiplicateur 43 est conçu de façon à produire un signal numérique représentant le produit $a \cos \frac{\pi}{2}x$, et le circuit multiplicateur 44 est

conçu de façon à produire un signal numérique représentant le produit $b \sin \frac{\pi}{2}x$. Ces signaux de sortie produits par les circuits multiplicateurs 43 et 44 sont sommés dans le circuit de sommation 45 qui produit un signal de sortie y défini par $y = a \cos \frac{\pi}{2}x + b \sin \frac{\pi}{2}x$. Ce signal de sortie y est appliqué à la borne de sortie 46 et il constitue l'échantillon de composante de chrominance qui a été compensé pour corriger l'erreur de vitesse.

On comprendra mieux le principe de fonctionnement de l'interpolateur représenté sur la figure 8 en considérant les représentations graphiques que montrent les figures 9A et 9B. On note que la composante de chrominance du signal vidéo est modulée en amplitude sur la sous-porteuse de chrominance habituelle dont la fréquence est égale à f_{sc} . La figure 9A représente un demi-cycle de la sous-porteuse de chrominance modulée en amplitude. On supposera que deux échantillons de composante de chrominance successifs qui sont écrits dans la mémoire 3 et lus dans cette mémoire sont respectivement les échantillons a et b. Du fait que le signal vidéo en couleur composite d'entrée est échantillonné à la cadence d'échantillonnage $4f_{sc}$, on voit que les échantillons a et b sont séparés l'un de l'autre par un angle égal à $\frac{\pi}{2}$. On supposera en outre que les échantillons a et b présentent l'erreur de vitesse x, comme il est représenté. Ainsi, bien que l'échantillon a soit lu dans la mémoire 3 à l'instant t_1 , à cause de cette erreur de vitesse, il aurait dû être lu dans la mémoire à l'instant t_x . En l'absence d'erreur de vitesse, la composante de chrominance se présenterait sous la forme de la courbe S, représentée en pointillés sur la figure 9A. Cependant, du fait de l'erreur de vitesse qui est présente dans la composante de chrominance, la composante de chrominance réelle qui est lue dans la mémoire 3 se présente sous la forme de la courbe R (en considérant une version analogique de cette composante).

La courbe S permet de voir qu'en l'absence de l'erreur de vitesse x, l'échantillon de composante de chrominance à l'instant t_1 aurait la valeur y. L'interpolateur

représenté sur la figure 8 a pour fonction de calculer, ou d'interpoler, la valeur de l'échantillon y , à partir d'échantillons consécutifs a et b , ces échantillons consécutifs étant lus dans la mémoire 3 à des instants respectifs t_1 et t_2 . On peut obtenir la valeur y de l'échantillon à partir du diagramme vectoriel qui correspond au diagramme séquentiel représenté sur la figure 9A. Ce diagramme vectoriel est représenté sur la figure 9B.

Les figures 9A et 9B permettent de voir que l'échantillon a est obtenu pour un angle arbitraire θ du cycle de la sous-porteuse de chrominance. La figure 9B montre le vecteur qui correspond à l'échantillon a . Naturellement, l'échantillon immédiatement suivant b apparaît à l'angle $\frac{\pi}{2}$ à la suite de l'apparition de l'échantillon a . La figure 9B représente également le vecteur qui correspond à l'échantillon b . De plus, l'échantillon y apparaît à un instant retardé qui correspond à l'erreur de vitesse x . La représentation angulaire de cet instant retardé x est égale à α , et on voit que $\alpha = \frac{\pi}{2}x$. La figure 9B montre le vecteur qui correspond à l'échantillon y . On voit sur la figure 9B que les échantillons a et b correspondent aux deux côtés de l'angle droit d'un triangle rectangle. L'hypoténuse de ce triangle est donc égale à $\sqrt{a^2 + b^2}$. On voit également que l'échantillon compensé y sur la figure 9B est égal à un côté de l'angle droit d'un autre triangle rectangle dont l'hypoténuse est aussi égale à $\sqrt{a^2 + b^2}$. Par conséquent, la valeur de l'échantillon de composante de chrominance compensé y peut s'exprimer de la façon suivante :

$$y = \sqrt{a^2 + b^2} \sin(\alpha + \theta) \quad (4)$$

$$y = \sqrt{a^2 + b^2} (\sin \alpha \cos \theta + \cos \alpha \sin \theta) \quad (5)$$

$$y = \sqrt{a^2 + b^2} \left(\frac{b}{\sqrt{a^2 + b^2}} \sin \alpha + \frac{a}{\sqrt{a^2 + b^2}} \cos \alpha \right) \quad (6)$$

$$y = b \sin \alpha + a \cos \alpha \quad (7)$$

On voit donc que l'interpolateur représenté sur la figure 8 met en oeuvre l'équation (7). Dans le cas où la valeur de l'erreur de vitesse x dépasse une période d'horloge de lecture, les circuits de retard sélectifs 41 et 42 fonctionnent de la manière décrite ci-dessus en relation avec la figure 5, pour compenser cette valeur de l'erreur de vitesse.

Ainsi, la borne de sortie 46 (figure 8) fournit un signal numérique à plusieurs bits qui représente l'échantillon de composante de chrominance compensé, y , conformément à l'équation (7). Cet échantillon de composante de chrominance compensé est combiné dans le mélangeur 21 (figure 4) avec l'échantillon de composante de luminance compensé que produit l'interpolateur représenté sur la figure 6, de façon à donner sur la borne de sortie 22 (figure 4) des échantillons compensés du signal vidéo en couleur composite qui est lu dans la mémoire 3. On voit donc que le niveau de chaque échantillon lu dans la mémoire est modifié de façon à être égal au niveau que cet échantillon aurait eu à l'instant où il a été lu, s'il n'y avait pas eu d'erreur de vitesse.

L'invention vient d'être décrite et représentée de façon particulière en considérant un mode de réalisation préféré, mais il apparaîtra de façon évidente à l'homme de l'art que diverses modifications peuvent y être apportées, sans sortir du cadre de l'invention. Par exemple, bien que le signal vidéo entrant soit échantillonné ici à la cadence de $4 f_{sc}$, on peut utiliser une cadence d'échantillonnage égale à $3 f_{sc}$. On notera que la cadence d'horloge de lecture peut de même être égale à $3 f_{sc}$. De plus, le correcteur de base de temps et le compensateur d'erreur de vitesse représentés peuvent être utilisés avec d'autres signaux d'information périodiques, et ne sont pas limités exclusivement à l'utilisation avec des signaux vidéo en couleur composites. Selon la composition de ces signaux d'information périodiques, on peut supprimer l'interpolateur 19 (figure 6) ou l'interpolateur 20 (figure 8).

REVENDEICATIONS

1. Dispositif compensateur d'erreur de vitesse destiné à être utilisé dans un correcteur de base de temps du type comportant une mémoire principale dans laquelle des échantillons successifs d'un signal vidéo sont écrits à une cadence d'écriture synchronisée avec les erreurs de base de temps présentes dans le signal vidéo, de façon à enregistrer plusieurs lignes du signal vidéo dans cette mémoire principale, et dans laquelle ces échantillons successifs sont lus à une cadence de lecture constante, et comportant un détecteur d'erreur de vitesse destiné à détecter les erreurs de vitesse dans les lignes successives du signal vidéo qui sont écrites dans la mémoire principale, caractérisé en ce qu'il comporte un compensateur de niveau d'échantillon (4; figure 4; figure 6; figure 8) destiné à compenser le niveau d'un échantillon lu dans la mémoire principale en fonction de l'erreur de vitesse détectée, de façon à modifier le niveau de l'échantillon lu, pour le rendre égal au niveau qu'aurait eu cet échantillon lu au moment où il a été lu, s'il n'y avait pas eu d'erreur de vitesse.

2. Dispositif selon la revendication 1, dans lequel le signal vidéo est un signal vidéo en couleur comportant des composantes de luminance et de chrominance, et dans lequel chaque échantillon est constitué par un signal numérique à plusieurs bits, caractérisé en ce que le compensateur de niveau d'échantillon comprend un séparateur numérique (18) destiné à séparer les échantillons de composante de luminance (Y) et les échantillons de composante de chrominance (C) à partir des échantillons qui sont lus successivement dans la mémoire principale; un interpolateur d'échantillon de luminance (19; figure 6) connecté au séparateur numérique (18) de façon à produire un échantillon de luminance interpolé (y_y) sous la forme d'une fonction des échantillons de composante de luminance successifs (a_y, b_y) qui lui sont appliqués, cet échantillon de luminance interpolé ayant une valeur égale à la

valeur qu'aurait eue l'un des échantillons de composante de luminance successifs appliqués, à l'instant auquel il a été lu, s'il n'y avait pas eu d'erreur de vitesse; un interpolateur d'échantillon de chrominance (20, figure 8) 5 connecté au séparateur numérique (18) de façon à produire un échantillon de chrominance interpolé (y_C) sous la forme d'une fonction des échantillons de composante de chrominance successifs (a_C, b_C) qui lui sont appliqués, cet échantillon de chrominance interpolé ayant une valeur égale 10 à la valeur qu'aurait eue l'un des échantillons de composante de chrominance successifs appliqués à l'instant auquel il a été lu, s'il n'y avait pas eu d'erreur de vitesse; et un circuit de combinaison (21) destiné à combiner les échantillons de luminance (y_Y) et de chrominance 15 (y_C) interpolés, pour produire des échantillons de signal vidéo en couleur interpolés.

3. Dispositif selon la revendication 2, caractérisé en ce que l'interpolateur de composante de luminance comprend un premier multiplicateur (36) destiné à 20 multiplier un échantillon courant parmi les échantillons de composante de luminance successifs (b_Y) par un facteur x qui est une fonction de l'erreur de vitesse détectée; un second multiplicateur (35) destiné à multiplier l'échantillon immédiatement précédent parmi les échantillons de 25 composante de luminance successifs (a_Y) par un facteur $(1-x)$; et un circuit de sommation (37) destiné à faire la somme des échantillons multipliés que produisent les premier et second multiplicateurs.

4. Dispositif selon la revendication 3, caractérisé en ce que le détecteur d'erreur de vitesse comprend 30 un intégrateur numérique (figure 2) qui est destiné à intégrer l'erreur de vitesse détectée sur une durée égale à un intervalle de ligne horizontale du signal vidéo, de façon à produire pour chaque échantillon de composante de 35 luminance un signal numérique d'erreur de vitesse x qui représente l'erreur de vitesse de cet échantillon, et le facteur x est égal au signal numérique d'erreur de vitesse x .

5. Dispositif selon la revendication 4, caractérisé

en ce qu'il comprend un circuit de retard (32, 33; figure 5) qui est destiné à retarder sélectivement l'échantillon courant et l'échantillon immédiatement précédent, parmi les échantillons de composante de luminance, d'un multiple entier de l'intervalle d'échantillonnage (1 D) qui sépare l'échantillon courant et l'échantillon immédiatement précédent parmi les échantillons de composante de luminance, en fonction de la valeur du signal numérique d'erreur de vitesse, lorsque ce signal numérique d'erreur de vitesse dépasse l'intervalle d'échantillonnage.

6. Dispositif selon la revendication 5, caractérisé en ce que le circuit de retard comprend des premier et second circuits de retard (31, 32) destinés à appliquer respectivement aux premier et second multiplicateurs l'échantillon courant et l'échantillon immédiatement précédent, parmi les échantillons de composante de luminance; et chaque circuit de retard comprend plusieurs éléments de retard branchés en cascade (23, 24, 25, 26), chacun d'eux présentant un retard égal à un intervalle d'échantillonnage, une borne de sortie (29), et un circuit de commutation (28) qui réagit au signal numérique d'erreur de vitesse (VE_1) en connectant sélectivement la sortie de l'un des éléments de retard branchés en cascade à la borne de sortie, grâce à quoi chaque circuit de retard (31, 32) communique un retard supérieur à la valeur du signal numérique d'erreur de vitesse.

7. Dispositif selon la revendication 2, caractérisé en ce que l'interpolateur de composante de chrominance comprend un premier multiplicateur (44) destiné à multiplier un échantillon courant parmi les échantillons de composante de chrominance successifs (b_c) par un facteur $\sin \alpha$, en désignant par α une fonction de l'erreur de vitesse détectée; un second multiplicateur (43) destiné à multiplier l'échantillon immédiatement précédent parmi les échantillons de composante de chrominance successifs (a_c) par un facteur $\cos \alpha$; et un circuit de sommation (45) destiné à faire la somme des échantillons multipliés que produisent les premier et second multiplicateurs.

8. Dispositif selon la revendication 7, caractérisé en ce que les échantillons de composante de chrominance présentent la fréquence de répétition $4 f_{sc}$, en désignant par f_{sc} la fréquence de la sous-porteuse de chrominance du signal vidéo en couleur; et α a la valeur $\frac{\pi}{2}x$, dans laquelle x représente l'erreur de vitesse.

9. Dispositif selon la revendication 8, caractérisé en ce que le détecteur d'erreur de vitesse comprend un intégrateur numérique (figure 2) destiné à intégrer l'erreur de vitesse détectée sur une durée égale à un intervalle de ligne horizontale du signal vidéo, afin de produire pour chaque échantillon de composante de chrominance un signal numérique d'erreur de vitesse x qui représente l'erreur de vitesse de cet échantillon.

10. Dispositif selon la revendication 9, caractérisé en ce qu'il comporte un circuit de retard (41, 42; figure 5) qui est destiné à retarder sélectivement l'échantillon courant et l'échantillon immédiatement précédent, parmi les échantillons de composante de chrominance, d'un multiple entier de l'intervalle d'échantillonnage ($1D$) qui sépare l'échantillon courant et l'échantillon immédiatement précédent, parmi les échantillons de composante de chrominance, en fonction de la valeur du signal numérique d'erreur de vitesse, lorsque ce signal numérique d'erreur de vitesse dépasse l'intervalle d'échantillonnage.

11. Dispositif selon la revendication 10, caractérisé en ce que le circuit de retard comprend des premier et second circuits de retard (41, 42) destinés à appliquer respectivement aux premier et second multiplicateurs l'échantillon courant et l'échantillon immédiatement précédent, parmi les échantillons de composante de chrominance; et chaque circuit de retard comprend un certain nombre d'éléments de retard branchés en cascade (23, 24, 25, 26), chacun d'eux présentant un retard égal à un intervalle d'échantillonnage, une borne de sortie (29); et un circuit de commutation (28) qui réagit au signal numérique d'erreur de vitesse (VE_1) en connectant sélectivement la sortie de l'un des éléments de retard branchés en cascade à la borne de

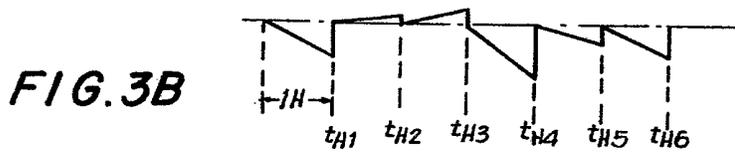
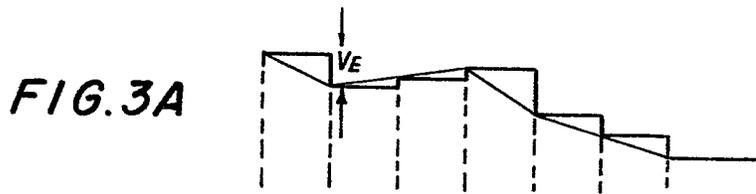
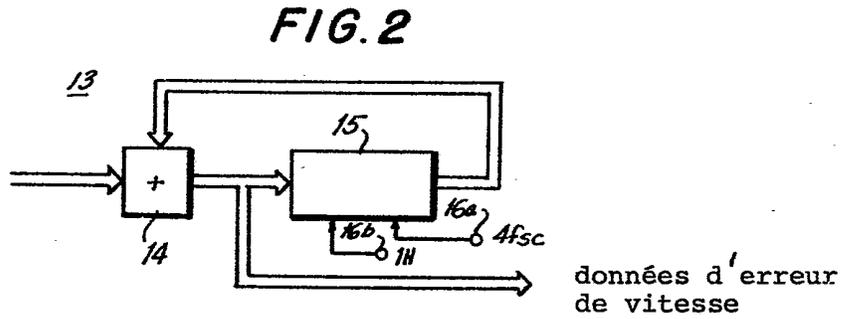
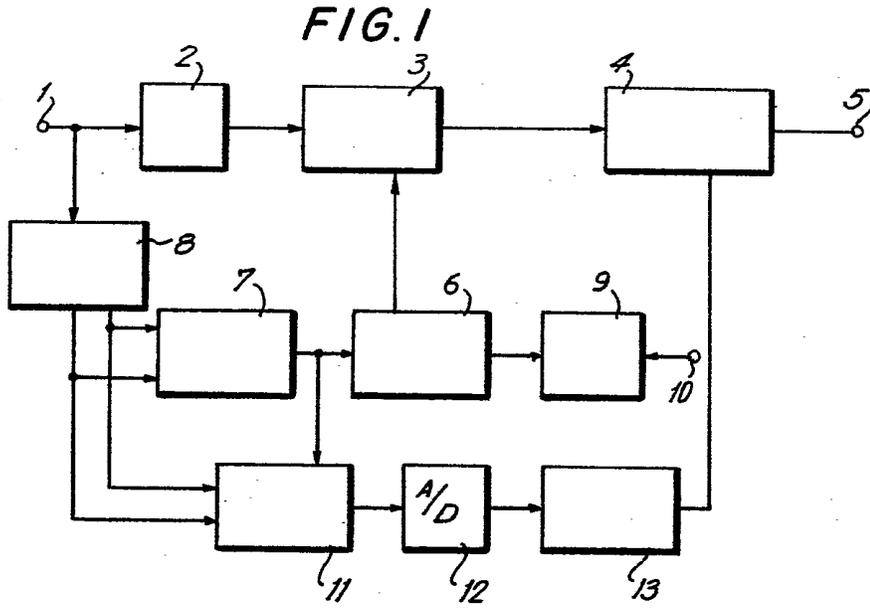
sortie, grâce à quoi le circuit de retard communique un retard supérieur à la valeur du signal numérique d'erreur de vitesse.

12. Dispositif selon la revendication 1, caracté-
 5 risé en ce que le compensateur de niveau d'échantillon comprend un interpolateur (figure 6; figure 8) qui reçoit des échantillons consécutifs lus dans la mémoire principale et un signal de données d'erreur de vitesse qui représente l'erreur de vitesse de l'un des échantillons consé-
 10 cutifs, pour produire à partir des signaux reçus un échantillon compensé ayant une valeur effective qui est fonction des échantillons consécutifs et du signal de données d'erreur de vitesse.

13. Dispositif selon la revendication 12, dans
 15 lequel l'un des échantillons consécutifs est représenté par le signal numérique à plusieurs bits b , l'échantillon immédiatement précédent parmi les échantillons consécutifs est représenté par le signal numérique à plusieurs bits a , et le signal de données d'erreur de vitesse est
 20 représenté par le signal numérique à plusieurs bits x ; caractérisé en ce que l'interpolateur comprend un circuit qui est destiné à produire l'échantillon compensé représenté par le signal numérique à plusieurs bits y , avec :
 $y = a(1-x) + bx$.

25 14. Dispositif selon la revendication 12, dans lequel l'un des échantillons consécutifs est représenté par le signal numérique à plusieurs bits b , l'échantillon immédiatement précédent parmi les échantillons consécutifs est représenté par le signal numérique à plusieurs bits a ,
 30 et le signal de données d'erreur de vitesse est représenté par le signal numérique à plusieurs bits x ; caractérisé en ce que l'interpolateur comprend un circuit destiné à produire l'échantillon compensé qui est représenté par le signal numérique à plusieurs bits y , avec :

35 $y = b \sin \frac{\pi}{2}x + a \cos \frac{\pi}{2}x$.



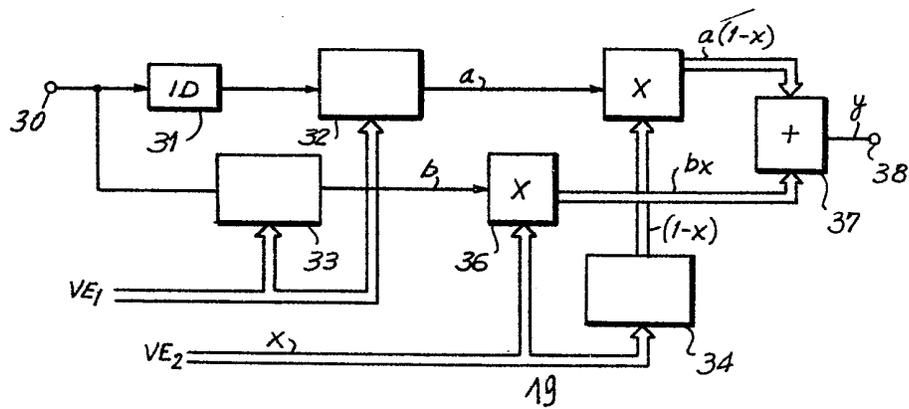
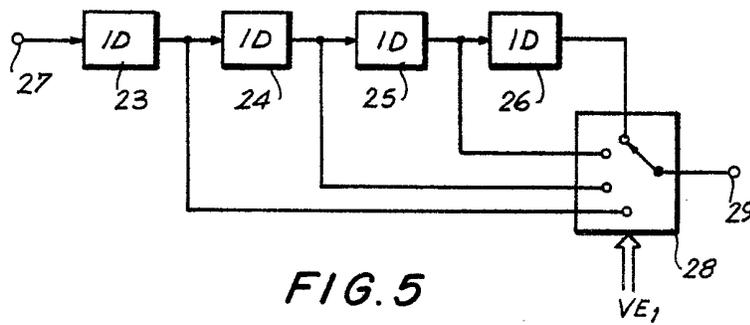
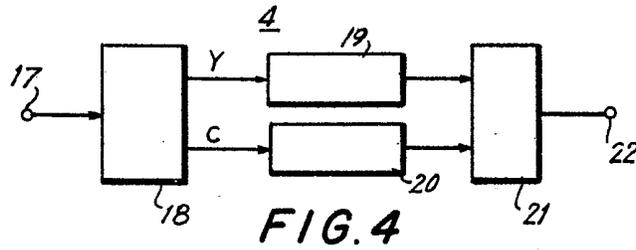


FIG. 6

FIG. 7

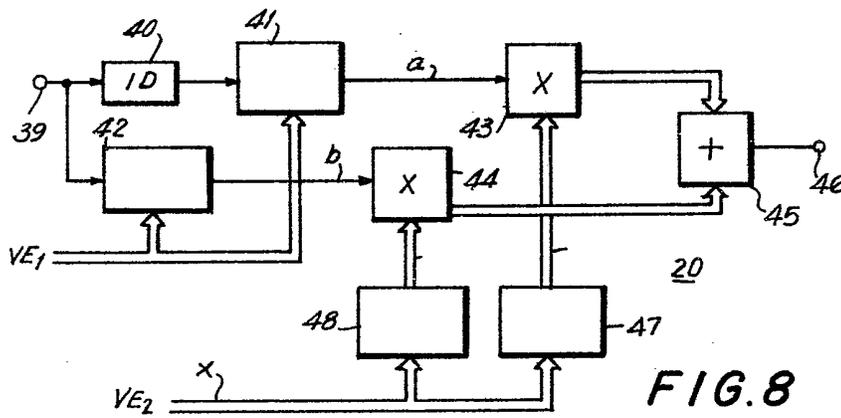
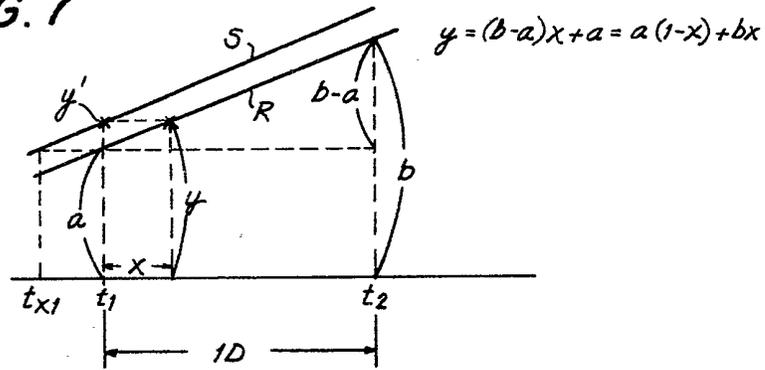


FIG. 8

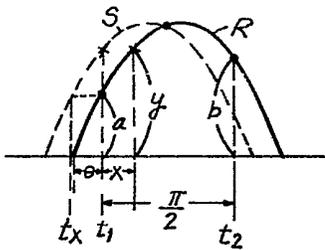


FIG. 9A

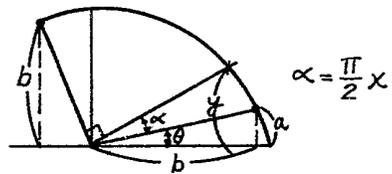


FIG. 9B