

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>7</sup> H01L 29/73	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년07월07일 10-0499212 2005년06월24일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2002-0001598 2002년01월11일	(65) 공개번호 (43) 공개일자	10-2002-0062811 2002년07월31일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장      09/769,640      2001년01월25일      미국(US)

(73) 특허권자      인터내셔널 비지네스 머신즈 코포레이션  
미국 10504 뉴욕주 아몽크 뉴오차드 로드

(72) 발명자      쿨바우더글라스듀엔  
미국05452버몬트주에섹스정선세이지서클21

                 두피스마크디  
미국05403버몬트주사우스버링턴아이리스레인35

                 갤라거매튜디  
미국05401버몬트주버링턴에드시트코트14

                 케이스피터제이  
미국05489버몬트주언더힐포커힐로드601

                 필립스브레트에이  
미국05454버몬트주페어팩스메인스트리트1163

(74) 대리인      김창세  
                 김원준  
                 장성구

심사관 : 조지은

(54) 전위 감소 방법 및 SiGe 바이폴라 트랜지스터

요약

본 발명은 내부에 컬렉터 및 서브 컬렉터 영역을 갖는 반도체 기판을 갖는 SiGe 바이폴라 트랜지스터에 관한 것으로서, 전술한 컬렉터 및 서브 컬렉터는 기판 내에 존재하는 격리 영역 사이에 형성된다. 각각의 격리 영역은 리소그래피 및 에칭을 사용하여 형성되는 리세스된 표면 및 비리세스된 표면을 포함한다. SiGe 층은 기판뿐만 아니라 각각의 격리 영역의 리세스된 표면 및 비리세스된 표면 상에 형성되는데, SiGe 층은 다결정 Si 영역 및 SiGe 베이스 영역을 포함한다. 패터닝된 절연층은 SiGe 베이스 영역 상에 형성되고, 에미터는 패터닝된 절연층 상에 형성되고, 에미터 방출 윈도우를 통해 SiGe 베이스 영역과 접촉한다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 통상의 격리 영역이 사용되는 SiGe 헤테로접합 바이폴라 트랜지스터의 단면도,

도 2는 리세스된 표면 및 비리세스된 표면을 갖는 풀 다운 격리 영역이 사용되는 본 발명의 SiGe 헤테로접합 바이폴라 트랜지스터의 단면도,

도 3은 유전체가 격리 영역 상의 비리세스된 표면 상에 형성된 본 발명에 따른 또 다른 실시예의 단면도,

도 4 내지 도 8은 본 발명의 SiGe 헤테로접합 바이폴라 트랜지스터의 형성 시, 본 발명에 사용되는 여러가지 공정 단계를 도시한 단면도.

도 9 내지 도 10은 패터닝된 유전체가 에칭 마스크로서 사용되는 본 발명에 따른 실시예의 단면도.

도면의 주요 부분에 대한 부호의 설명

- 10 : 반도체 기판 12 : 격리 영역
- 14 : 서브 컬렉터 16 : 컬렉터
- 20 : SiGe 층 22 : SiGe 베이스 영역
- 24 : 다결정 Si 영역 26 : 절연층
- 28 : 에미터 30 : 패킷
- 50 : 반도체 기판 52 : 격리 영역
- 54 : 서브 컬렉터 영역 55 : 상부 표면
- 56 : 컬렉터 58 : 컬렉터 영역
- 60 : 다결정 Si 영역 61 : 절연 층
- 62 : SiGe 베이스 영역 64 : 패터닝된 절연층
- 66 : 진성 폴리실리콘 75 : 리세스된 표면
- 80 : 비리세스된 표면 85 : 유전체 층

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 헤테로접합 바이폴라 트랜지스터에 관한 것으로서, 더 구체적으로는 SiGe 층의 에지에서 패킷 성장(facet growth)을 제어하는 에칭 공정을 사용함으로써 베이스 저항을 개선시키는 SiGe 헤테로접합 바이폴라 트랜지스터의 제조 방법에 관한 것이다. 특히, 본 발명은 리세스 영역을 구조물 내에 존재하는 격리 영역(isolation region) 내에 제공함으로써 패킷 성장을 제어한다.

고주파수 유선 및 무선 시장 모두의 상당한 성장은 SiGe와 같은 화합물 반도체(compound semiconductor)가 벌크 상보형 금속 산화물 반도체(CMOS)기술에 비해 독특한 이점을 갖는 새로운 상황을 가져왔다. 에피택셜층 부정형 SiGe 증착 공정(epitaxial-layer pseudomorphic SiGe deposition process)의 급속한 발전으로, 에피택셜 기반 SiGe 헤테로접합 바이폴라 트랜지스터(expitaxial-base SiGe heterojunction bipolar transistors)는 넓은 시장의 수용에 있어서 주류인 개선형 CMOS 개발에 통합되어, 디지털 로직 회로에 대한 개선된 CMOS 기술 기반을 충분히 활용하면서도, 아날로그 및 RF 회로에 대한 SiGe 기술의 이점을 제공하였다.

전형적인 종래 기술인 SiGe 헤테로접합 바이폴라 트랜지스터가 예를 들어, 도 1에 도시된다. 특히, 도 1에 도시된 SiGe 헤테로접합 바이폴라 트랜지스터는 트랜지스터 내부에 형성된 서브 컬렉터(sub-collector)(14) 및 컬렉터(16)를 갖는 제 1 도전형의 반도체 기판(10)을 포함한다. 또한, 격리 영역(12)이 기판 내에 존재하며, 바이폴라 트랜지스터의 외부 경계를 규정한다. 도 1의 바이폴라 트랜지스터는 기판(10)의 표면뿐만 아니라 격리 영역(12) 상에 형성된 SiGe 층(20)을 더 포함한다. SiGe 층은 격리 영역 위에 형성된 다결정 Si 영역(24)과, 컬렉터 및 서브 컬렉터 영역 위에 형성된 SiGe 베이스 영역 Z라 트랜지스터는 베이스 영역 상에 형성된 패터닝된 절연층(26)과 패터닝된 절연층 및 SiGe 베이스 영역(22) 상에 형성된 에미터(28)를 포함한다.

도 1에 도시된 유형의 종래 기술의 SiGe 헤테로접합 바이폴라 트랜지스터가 갖는 주된 문제는 SiGe 층의 증착 동안, 패킷 영역(도 1의 30)이 다결정 Si 영역과 SiGe 베이스 영역 사이의 SiGe 층의 에지에서 성장한다는 것이다. 도시된 바와 같

이, 패킷은 기판(10)의 상부 표면과 그 구조물의 격리 영역 사이에 형성된 코너를 침식하는 영역 내에 형성된다. 이러한 코너 근처의 패킷의 성장은 증가된 기생 전류의 누설뿐만 아니라 구조물 내의 과도한 전위(dislocation)로 인해 야기되는 단락을 초래한다. 더욱이, 바이폴라 트랜지스터 패킷의 존재는 구조물의 베이스 저항을 증가시킨다.

종래 기술의 헤테로접합 바이폴라 트랜지스터가 갖는 기술한 문제로 인해, 구조물이 감소된 전위 및 베이스 저항 뿐만 아니라 감소된 기생 누설을 갖도록 패킷 성장이 제어되는 헤테로접합 바이폴라 트랜지스터를 제조할 수 있는 신규의 개선된 방법을 지속적으로 개발할 필요가 있다.

**발명이 이루고자 하는 기술적 과제**

본 발명의 목적 중 하나는 SiGe 베이스 저항이 감소된 SiGe 헤테로접합 바이폴라 트랜지스터를 제조하는 방법을 제공하는 것이다.

패킷이 기판의 상부 표면과 격리 영역 사이에 존재하는 코너에서 형성되지 않도록 패킷의 성장이 제어되는 SiGe 헤테로접합 바이폴라 트랜지스터를 제조하는 방법에 관한 것이다.

본 발명의 또 다른 목적은 감소된 기생 전류 누설이 달성되는 SiGe 헤테로접합 바이폴라 트랜지스터의 제조 방법을 제공하는 것이다.

본 발명에서 이러한 목적들 및 이점들과 다른 목적들 및 이점들은 풀 다운 격리 영역을 형성함으로써 달성된다. 본 발명에서, 풀 다운 격리 영역은 구조물 상의 SiGe 층을 형성하기 전에 격리 영역의 일부를 리세스함으로써 형성된다. SiGe 증착 동안, 패킷은 기판의 상부와 풀 다운 격리 영역 사이에 존재하는 코너를 침식하지 않는다.

특히, 본 발명의 방법은 (a) 반도체 기판 영역 내에 형성된 격리 영역을 갖는 반도체 기판 - 기술한 반도체 기판은 상부 표면을 가짐 - 을 제공하는 단계와, (b) 리세스된 격리 표면을 제공하기 위해 기술한 반도체 기판의 상부 표면 아래로 격리 영역의 일부를 리세스하는 단계와, (c) 반도체 기판의 상부 표면뿐만 아니라 리세스 - 기술한 리세스 단계는 SiGe 층의 에지에서의 패킷 성장을 제어하여 전위를 감소시킴 - 된 격리 표면 상에 SiGe 층을 형성하는 단계를 포함한다.

기술한 단계 (a) 내지 (c)를 수행한 후, 통상의 처리 단계를 사용하여 바이폴라 트랜지스터의 에미터 영역을 형성한다.

본 발명의 일 실시예에서, 질화물과 같은 유전체 층은 SiGe 층의 형성에 앞서 비리세스된 격리 영역의 부분 상에 형성된다. 본 발명에서는 비리세스된 격리 영역 상에 형성되는 것에 더하여, 풀 다운 격리 영역의 제조시, 유전체를 에칭 마스크로서 사용하고자 한다. 이러한 실시예가 구현되었을 때, 패터닝된 유전체는 리세스하기 전에 격리 영역의 일부 상에 형성되고, 유전체와 비교하여 격리 중진 재료의 제거에 매우 선택적인 에칭 공정이 사용될 수 있다.

본 발명의 또 다른 측면은 내부에 풀 다운 격리 영역으로 포함하는 SiGe 헤테로접합 바이폴라 트랜지스터에 관한 것이다. 특히, 본 발명의 SiGe 바이폴라 트랜지스터는 내부에 컬렉터 - 기술한 컬렉터는 기판 내에 존재하는 격리 영역들 사이에 형성되는 데, 기술한 격리 영역 각각은 리세스된 표면과 비리세스된 표면을 가짐 - 및 서브 컬렉터를 갖는 반도체 기판과, 기술한 기판뿐만 아니라 각각의 격리 영역의 기술한 리세스된 표면 및 비리세스된 표면 상에 형성된 SiGe 층 - 기술한 SiGe 층은 다결정 Si 영역 및 SiGe 베이스 영역을 포함함 - 과, 기술한 SiGe 베이스 영역 상에 형성된 패터닝된 절연층 - 기술한 절연 층은 그 내부에 개구를 가짐 - 과, 기술한 패터닝된 절연층 상에 형성되고 기술한 개구를 통해 SiGe 베이스 영역과 접촉하여 형성되는 에미터를 포함한다.

본 발명에 따른 일 실시예에서, 본 발명의 SiGe 헤테로접합 바이폴라 트랜지스터는 격리 영역의 비리세스된 표면 상에 존재하는 패터닝된 유전체 재료를 포함한다.

**발명의 구성 및 작용**

지금부터, SiGe 바이폴라 트랜지스터의 SiGe 바이폴라 수율(SiGe bipolar yield)을 개선하기 위한 방법을 제공하는 본 발명은 본 명세서에 첨부된 도면을 참조하여 상세히 기술될 것이다. 첨부 도면에서, 동일한 요소 및 대응하는 요소는 동일한 참조 번호로 나타낸다는 것을 유의해야 한다. 또한, 간단히 하기 위해, 하나의 바이폴라 디바이스 영역만 도면에 도시된다. 다른 바이폴라 디바이스 영역뿐만 아니라 디지털 로직 회로도 도면에 도시된 바이폴라 디바이스 영역에 인접하여 형성될 수 있다.

먼저 도 2를 참조하면, SiGe 헤테로접합 바이폴라 트랜지스터의 단면도가 도시된다. 특히, SiGe 바이폴라 트랜지스터는 내부에 서브 컬렉터 영역(54) 및 컬렉터 영역(56)을 갖는 제 1 도전형(a first conductivity type)(N 또는 P)의 반도체 기판(50)을 포함한다. 또한, 기판은 상부 표면(55)을 갖는 것을 특징으로 한다. 또한 기판 내에 존재하는 격리 영역(52)이 바이폴라 디바이스 영역의 외부 경계를 규정하고, 도 2에 도시된 바이폴라 디바이스 영역을 인접한 디바이스 영역과 격리시키는 역할을 한다.

본 발명의 격리 영역(종종 풀 다운 격리 영역으로 지칭됨)은 리세스된 표면 및 비리세스된 표면을 포함한다는 점에서 종래의 전형적인 격리 영역과는 상이하다. 도 2에서, 참조 번호(75)는 격리 영역의 리세스된 표면을 나타내고, 참조 번호(80)는 격리 영역의 비리세스된 표면을 나타낸다. 리세스된 표면은 기판의 상부 표면 내의 코너 아래에 있다.

도 2의 SiGe 바이폴라 트랜지스터는 기판(50)뿐만 아니라 격리 영역(52), 즉 리세스된 표면(75) 및 비리세스된 표면(80) 상에 형성된 SiGe 층(58)도 포함한다. 본 발명에 따르면, SiGe 층은 격리 영역(52) 위에 형성된 다결정 Si 영역(60) 및 컬렉터 및 서브 컬렉터 영역 위에 형성된 SiGe 베이스 영역(62)을 포함한다. SiGe 베이스 영역은 외인성 베이스(extrinsic

base) 및 진성 영역(intrinsic area)을 포함한다. 도면에서, 이들 영역을 나누어서 참조 번호를 붙이지는 않았지만, 영역(62) 내에 포함되는 것으로 여겨진다. 구조물의 외인성 및 진성 베이스 영역은 종종 바이폴라 트랜지스터 디바이스의 기저부(pedestal portion)로 지칭됨을 유의해야 한다.

또한, 도 2의 바이폴라 트랜지스터는 내부에 개구를 갖는 패터닝된 절연층(64)과, 전술한 패터닝된 절연층 상에 형성되고 패터닝된 절연층의 개구를 통해 SiGe 베이스 영역과 접촉하여 형성된 진성 폴리실리콘(66)의 영역, 즉, 에미터를 포함한다.

도 2에 도시된 바이폴라 트랜지스터는 SiGe 층의 에지에서 패킷(30)의 성장을 실질적으로 줄이는 풀 다운 격리 영역으로 인해 SiGe 바이폴라 수율을 개선시켰다는 점에 유의해야 한다. 본 발명의 풀 다운 격리 영역은 종래 기술의 SiGe 헤테로접합 바이폴라 트랜지스터에서 전형적으로 발생하는 (결국 바이폴라 단락을 초래할 수 있는) 전위를 줄인다.

도 3은 본 발명에서 형성될 수 있는 또 다른 SiGe 헤테로접합 바이폴라 트랜지스터를 도시한다. 또 다른 SiGe 바이폴라 트랜지스터는 비리세스된 표면(80) 상에 형성된 유전체 층(85)을 제외하면, 도 2에 도시된 것과 동일한 요소를 포함한다.

이제, 도 2 및 도 3에 도시된 SiGe 헤테로접합 바이폴라 트랜지스터를 형성하는데 사용되는 방법 및 다양한 재료를 이하 상세히 기술할 것이다. 먼저 도 4를 참조하면, 본 발명에 사용되는 최초 구조물의 바이폴라 디바이스 영역을 도시한다. 도 4에 도시된 최초의 구조물은 그 내부에 서브 컬렉터(54), 컬렉터(56) 및 격리 영역(52)을 갖는 기판(50)을 포함한다.

도 4에 당업자에게 잘 알려진 통상의 공정 단계를 사용하여 도시된 구조물을 제조한다. 더욱이, 도 4의 구조물을 제조하는 데에는 통상의 재료를 사용한다. 예를 들어, 기판(50)은 Si, Ge, SiGe, GaAs, InAs, InP 및 다른 모든 III/IV 족 화합물 반도체를 포함하는 소정의 반도체성 재료로 이루어지는데, 이에 한정하는 것은 아니다. 가령, Si/Si 또는 Si/SiGe와 같이, 동일 또는 상이한 반도체성 재료를 포함하는 층상(layered) 기판도 고려된다. 이들 반도체성 재료들 중, 기판(50)은 Si로 이루어지는 것이 바람직하다. 전술한 바와 같이, 기판은 후속하여 형성될 디바이스의 유형에 따라 N 형 기판 또는 P 형 기판일 수 있다.

도 4의 구조물은 먼저, 화학 기상 증착(CVD), 플라즈마 보조 CVD 또는 스퍼터링과 같은 통상의 증착 공정을 사용하여 기판(50)의 표면 상에 산화물 층(도시하지 않음)을 형성함으로써 형성되지만, 이와 달리 산화물층을 열적으로 성장시킬 수도 있다. 그런 다음, 통상의 이온 주입 단계를 사용하여 서브 컬렉터 영역(54)을 기판 내에 형성할 수 있다. 주입 단계 후, 주입 손상을 제거하기 위해 약 240 nm에 가까운 두꺼운 산화물층(역시 도시하지 않음)을 표면 상에 성장시킨다. 그런 다음, 실리콘에 비해 산화물을 제거하는 데 높은 선택도를 갖는 에칭 공정을 사용하여 두꺼운 산화물층뿐만 아니라 전술한 산화물층을 제거한다.

그런 다음, 통상의 실리콘 국부 산화 공정 또는 리소그래피, 에칭 및 트렌치 격리 충전 중 하나를 사용하여 격리 영역(52)을 형성한다. 도면은 후속하는 바와 같이 형성되는 격리 트렌치 영역의 형성을 도시한다. 먼저, 기판의 일부를 노출시키는 패터닝된 마스크 층(도시하지 않음)을 기판(50)의 표면 상에 형성한다. 그런 다음, 반응성 이온 에칭(RIE) 또는 플라즈마 에칭과 같은 통상의 건식 에칭 공정을 사용하여 기판 상의 노출된 부분 내로 격리 트렌치를 에칭한다. 그에 따라 형성된 트렌치는 통상의 라이너(liner) 재료, 즉, 선택에 따라(optionally) 산화물로 라이닝(lining)될 수 있고, 그런 후에는 SiO<sub>2</sub> 또는 다른 유사한 충전 유전체 재료로 트렌치를 충전하기 위해 CVD 또는 다른 유사한 증착 공정이 사용될 수 있다. 증착 후에는 트렌치 유전체 재료를 선택에 따라 농후하게(densify) 할 수 있고 화학 기계 연마(CMP)와 같은 통상의 평탄화 공정도 선택에 따라 사용할 수가 있다.

기판 내에 격리 영역의 형성 후, 당업자에게 잘 알려진 통상의 이온 주입 및 활성화 어닐링 공정을 사용하여 컬렉터 영역(56)을 바이폴라 디바이스 영역 내에 형성한다. 전형적으로 950 °C 이상의 온도에서 약 30 초 이하의 시간 동안 활성화 어닐링 공정을 수행한다.

본 발명의 공정의 이 시점에서, Si<sub>3</sub>N<sub>4</sub>와 같은 보호 재료를 바이폴라 디바이스 영역 상에 형성함으로써 도면에 도시된 바이폴라 디바이스 영역을 보호할 수 있고, 인접 디바이스 영역을 형성할 수 있는 통상의 공정 단계를 수행할 수 있다. 인접 디바이스 영역의 완성 및 그 영역의 후속하는 보호 처리 후, 본 발명의 공정을 계속 수행한다. 몇몇 실시예에서, 바이폴라 트랜지스터를 완전히 제조한 후, 인접 디바이스 영역을 형성한다는 것에 유의해야 한다.

그런 다음, 도 5에 도시된 것과 같이, 통상의 리소그래피 및 에칭을 사용하여 격리 영역을 리세스하여 리세스된 부분 및 비리세스된 부분을 포함하는 격리 영역을 제공한다. 격리 영역의 리세스된 부분은 기판의 상부 표면(55) 아래에 형성되는 리세스된 표면(75)을 포함한다. 또한, 격리 영역의 비리세스된 부분은 기판의 상부 표면과 실질적으로 평탄한 비리세스된 표면(85)을 포함한다. 반응성 이온 에칭(RIE), 플라즈마 에칭 및 이온 빔 에칭과 같은 소정의 등방성 에칭 공정을 사용하는 에칭 단계를 수행한다. 패킷(30)은 도 1에 도시된 경우와 같이 코너 영역 내 형성되지 않는다는 것을 유의해야 한다.

본 발명의 후속 단계는 도 6에 도시된다. 이 도면에서, SiGe 층(58)이 기판(50) 및 격리 영역(52)(즉, 리세스된 표면 및 비리세스된 표면) 상에 형성된다. 본 발명에 따르면, SiGe 층은 격리 영역(52) 위에 형성된 다결정 Si 영역(60)과, 컬렉터 및 서브 컬렉터 영역 위에 형성된 SiGe 베이스 영역(62)을 포함한다.

초고진공 화학 기상 증착(ultra-high vacuum chemical vapor deposition : UHVCD), 분자 빔 에피택시(molecular beam epitaxy : MBE), 급속 가열 화학 기상 증착(rapid thermal chemical vapor deposition : RTCVD) 및 플라즈마 여기 화학 기상 증착(PECVD)을 포함하되, 이에 한정되지 않는 소정의 통상의 증착 기술을 사용하여 SiGe 층을 형성한다. (통상적이고 당업자에게 잘 알려진) SiGe 층을 형성하는 데 사용되는 조건은 사용되는 원하는 기술에 따라 변한다. SiGe 층의 증착 동안 패킷은 SiGe 베이스 영역의 에지와 Si 다결정 영역 사이에 성장하기 시작한다. 본 발명에서는, 실질적으로 어떠한 전위도 존재하지 않을 정도로 풀 다운 격리 영역에 의해 패킷 성장이 제어된다.

그런 다음, 도 7에 도시된 바와 같이, CVD, 플라즈마 보조 CVD, 화학적 용매 증착 및 기타 다른 증착 공정을 사용하여, 절연층(후속하여 패터닝된 절연층(64)이 됨)(61)을 SiGe 층(58) 상에 형성한다. 절연층은 도 7에 도시된 바와 같이 단일 층일 수 있거나, 다수의 절연층을 포함할 수도 있다. 절연층은 SiO<sub>2</sub>, Si 산질화물(Si-oxynitride) 및 기타 다른 절연체의 그룹으로부터 선택된 동일 또는 상이한 재료로 이루어진다.

그런 다음, SiGe 베이스 영역의 일부를 노출시키기 위해 에미터 윈도우 개구(63)(도 7 참조)를 절연층(61) 내에 형성한다. 통상의 리소그래피 또는 에칭을 사용하여 에미터 윈도우 개구를 형성한다. 사용되는 에칭 단계는 SiGe 층에 비해 절연 재료의 제거에 선택적이다.

도 8에서 보듯이, 에미터 윈도우 개구의 형성에 후속하여, 통상의 인시튜(in-situ) 도핑 증착 공정 또는 증착 후 이온 주입하는 공정 중 어느 하나를 사용하여, 진성 폴리실리콘층(후속하여 에미터(66)가 됨)을 패터닝된 절연체 상과 에미터 윈도우 개구 내에 형성한다. 그런 다음, 패터닝된 절연체(64) 및 에미터(66)를 SiGe 베이스 영역(62) 상에 형성하여 도 2에 도시된 구조물을 제공하기 위해 폴리실리콘 및 절연체를 선택적으로 제거한다. 특히, 통상의 리소그래피 및 에칭을 사용하여, 도 2에 도시된 최종의 구조물을 형성한다. 단일 에칭 공정을 사용하여 진성 폴리실리콘 층(61) 및 절연층(61)의 일부를 제거하거나, 별개의 에칭 단계를 사용하여 이들 층을 제거할 수 있다는 것에 유의해야 한다.

도 3에 도시된 또 다른 구조물의 경우에는, SiGe 층의 형성에 앞서 격리 영역의 비리세스된 표면 상에 유전체(85)를 형성하는 단계를 제외하고는 전술한 것과 동일한 공정 단계를 사용한다. 유전체 층은 산화물, 질화물, 산질화물 또는 이들의 조합으로 이루어질 수 있는데, 질화물 유전체가 바람직하다. 통상의 증착을 사용하여 유전체를 형성하고, 필요하다면, 리소그래피 및 에칭을 사용하여 유전체를 패터닝할 수 있다. 격리 영역의 비리세스된 표면 상에 형성되는 것에 더하여, 본 발명에서는 리세스된 풀 다운 격리 영역의 제조시, 유전체를 마스크로 사용하는 것이 고려된다. 이러한 실시예를 구현할 경우, 패터닝된 유전체를 격리 영역(도 9 참조)의 일부 상에 형성하고, 유전체에 비해, 격리 층진 재료의 제거에 매우 선택적인 에칭 공정을 사용할 수 있다(도 10 참조).

본 발명은 구체적으로 도시되고 본 발명의 바람직한 실시예에 대해 기술되었지만, 당업자는 전술한 내용, 다른 형태의 변화 및 세부가 본 발명의 사상과 범주를 벗어나지 않고 구현될 수 있다는 것을 이해할 것이다. 따라서, 본 발명은 기술되고 도시된 정확한 형태 및 세부에 한정하지 않고, 첨부된 청구항의 범주 내에 포함된다.

**발명의 효과**

본 발명에 따르면 SiGe 층의 패킷이 기관의 상부 표면과 격리 영역 사이에 존재하는 코너에서 형성되지 않도록 에지에서 패킷 성장(facet growth)을 제어하는 에칭 공정을 사용하여 베이스 저항이 줄고 기생 누설 전류가 감소된 SiGe 헤테로접합 바이폴라 트랜지스터를 제조할 수 있다.

**(57) 청구의 범위**

**청구항 1.**

SiGe 헤테로접합 바이폴라 트랜지스터(heterojunction bipolar transistor) 내에 존재하는 전위(dislocation)를 감소시키는 방법에 있어서,

- (a) 컬렉터 영역과 상기 컬렉터 영역에 인접한 격리 영역(isolation region)을 포함하는 반도체 기관을 제공하는 단계와,
  - (b) 상기 반도체 기관 내의 상기 컬렉터 영역의 상부 표면 아래로 상기 격리 영역의 일부를 리세스하여 리세스된 격리 표면(a recessed isolation surface)을 제공하는 단계와,
  - (c) 상기 반도체 기관 및 상기 리세스된 격리 표면 상에 상기 SiGe 층을 형성하는 단계 - 상기 리세스 단계가 SiGe 층 및 상기 컬렉터의 상부 표면의 에지(edge)에서의 패킷 형성을 제어함 -
- 를 포함하는 전위 감소 방법.

**청구항 2.**  
삭제

**청구항 3.**  
삭제

**청구항 4.**  
삭제

**청구항 5.**

제 1 항에 있어서,

단계 (b)를 실행하기 전에, 상기 격리 영역의 일부 상에 패터닝된 유전체 층이 형성되는 전위 감소 방법.

**청구항 6.**  
삭제

**청구항 7.**  
삭제

**청구항 8.**

제 1 항에 있어서,  
상기 리세스 단계 후, 패터닝된 유전체가 리세스되지 않은 격리 영역의 부분 상에 형성되는 전위 감소 방법.

**청구항 9.**

제 1 항에 있어서,  
상기 SiGe 층은 초고진공 화학 기상 증착(ultra-high vacuum chemical vapor deposition : UHVCVD), 분자 빔 에피택시(molecular beam epitaxy : MBE), 급속 가열 화학 기상 증착(rapid thermal chemical vapor deposition : RTCVD), 플라즈마 여기 화학 기상 증착(plasma-enhanced chemical vapor deposition : PECVD) 공정으로 이루어진 그룹으로부터 선택된 증착 공정에 의해 형성되는 전위 감소 방법.

**청구항 10.**

제 1 항에 있어서,  
(d) 상기 SiGe 층 상에 절연체를 형성하는 단계와,  
(e) 상기 절연체 내에 개구를 제공하여 상기 SiGe 층의 일부를 노출시키는 단계와,  
(f) 상기 절연체 상과 상기 개구 내에 에미터 재료를 형성하여 상기 SiGe 층과 접촉시키는 단계와,  
(g) 상기 에미터 재료와 상기 절연체를 패터닝하여 패터닝된 에미터 및 패터닝된 절연체를 상기 SiGe 층 상에 형성하는 단계  
를 더 포함하는 전위 감소 방법.

**청구항 11.**

SiGe 바이폴라 트랜지스터에 있어서,  
바이폴라 트랜지스터 디바이스 영역 내에 존재하는 컬렉터 및 서브 컬렉터(sub-collector)를 갖는 반도체 기판 - 상기 바이폴라 트랜지스터 디바이스 영역 내의 상기 반도체 기판은 상부 표면과 상부 코너 영역을 포함하고, 상기 컬렉터는 상기 반도체 기판 내에 존재하는 격리 영역들 사이에 형성되고, 상기 격리 영역 각각은 리세스된 표면 및 리세스되지 않은 표면을 가지며, 상기 리세스된 표면은 상기 반도체 기판의 상기 상부 표면 아래에 존재하고, 상기 리세스되지 않은 표면은 상기 반도체 기판의 상기 상부 표면과 동일 평면 상에 존재함 - 과,  
상기 기판과 각각의 격리 영역의 상기 리세스된 표면 및 리세스되지 않은 표면 상에 위치하는 SiGe 층 - 상기 SiGe 층은 상기 격리 영역 상부에 주로 위치하는 다결정 Si 영역 및 상기 컬렉터 상에 주로 위치하는 SiGe 베이스 영역을 포함하고, 상기 SiGe 베이스 영역은 상기 반도체 기판의 상기 상부 표면 아래로 상기 바이폴라 디바이스 영역 내의 상기 반도체의 상기 상부 코너 영역을 넘어서 연장됨 - 과,

상기 SiGe 베이스 영역 상부의 패터닝된 절연체 층 - 상기 패터닝된 절연체 층은 자체 내에 개구를 가짐 - 과,  
상기 패터닝된 절연체 층 상에 위치하며, 상기 개구를 통해 상기 SiGe 베이스 영역과 접촉하는 에미터  
를 포함하는 SiGe 바이폴라 트랜지스터.

#### 청구항 12.

제 11 항에 있어서,  
상기 리세스되지 않은 표면은 그 표면 상에 형성된 유전체 재료를 포함하는  
SiGe 바이폴라 트랜지스터.

#### 청구항 13.

삭제

#### 청구항 14.

제 11 항에 있어서,  
상기 반도체 기판은 Si, Ge, SiGe, GaAs, InAs, InP, Si/Si 및 Si/SiGe로 이루어진 그룹으로부터 선택된 반도체 재료로  
이루어지는  
SiGe 바이폴라 트랜지스터.

#### 청구항 15.

삭제

#### 청구항 16.

제 11 항에 있어서,  
상기 격리 영역은 트렌치 격리 영역인  
SiGe 바이폴라 트랜지스터.

#### 청구항 17.

제 11 항에 있어서,  
상기 격리 영역은 SiO<sub>2</sub>로 충전되는  
SiGe 바이폴라 트랜지스터.

#### 청구항 18.

제 11 항에 있어서,  
상기 패터닝된 절연체는 산화물, 질화물, 질산화물 또는 이들의 조합으로 이루어지는  
SiGe 바이폴라 트랜지스터.



청구항 19.

제 11 항에 있어서,

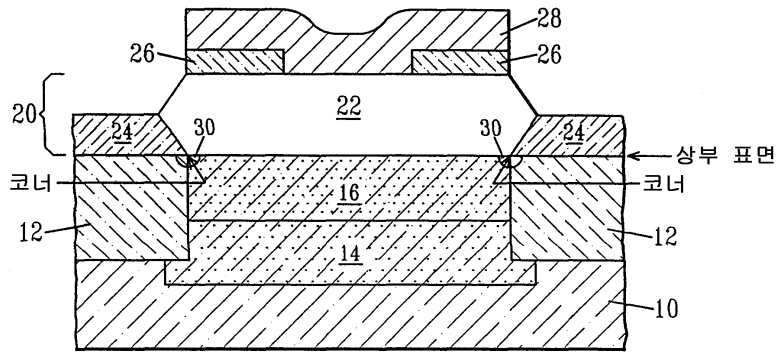
상기 에미터는 도핑된 폴리실리콘으로 이루어진

SiGe 바이폴라 트랜지스터.

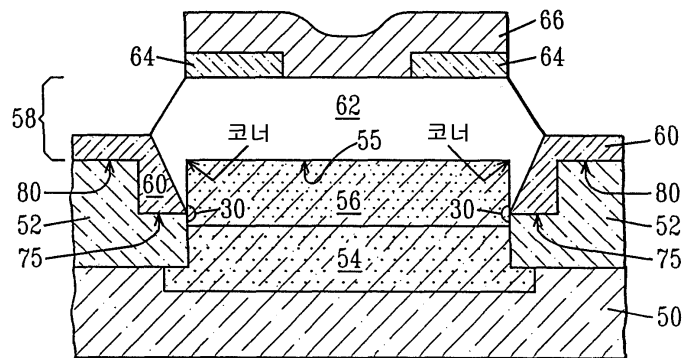
도면

도면1

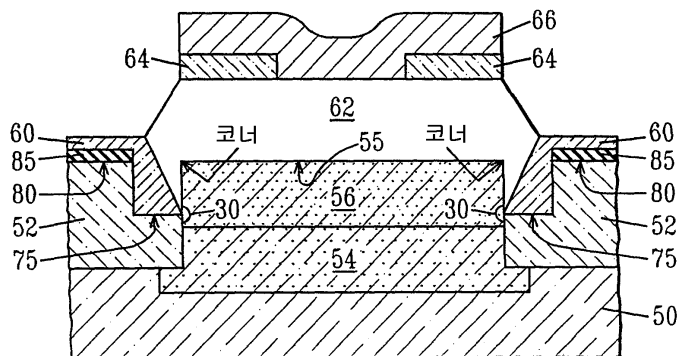
(종래기술)



도면2

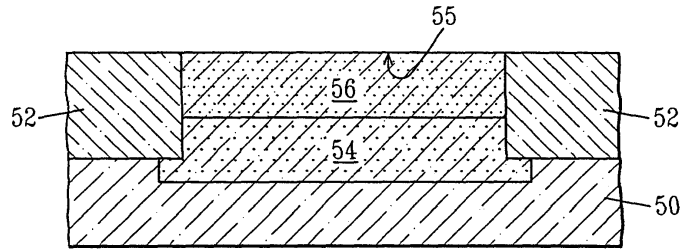


도면3

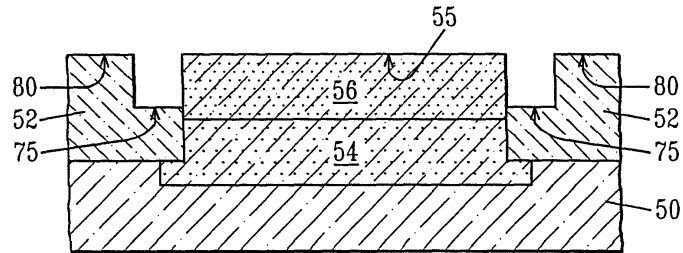




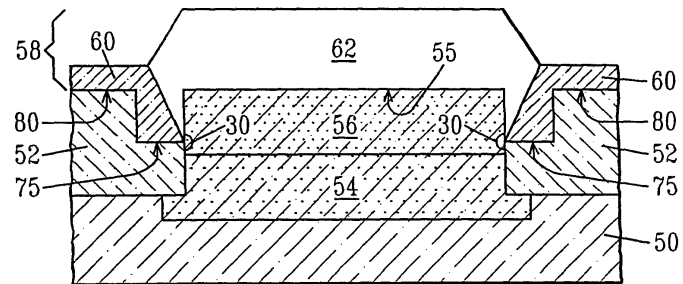
도면4



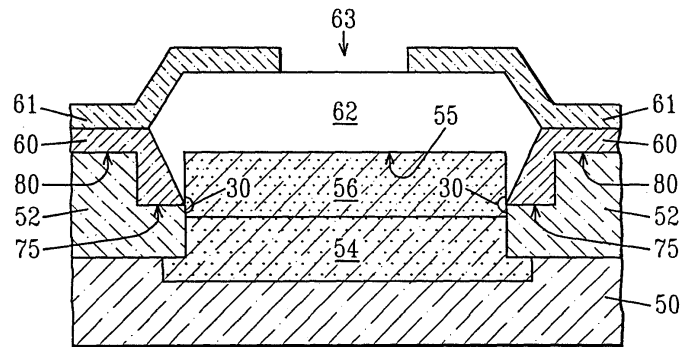
도면5



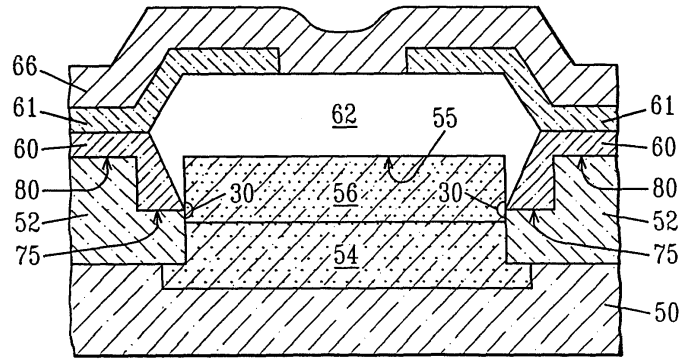
도면6



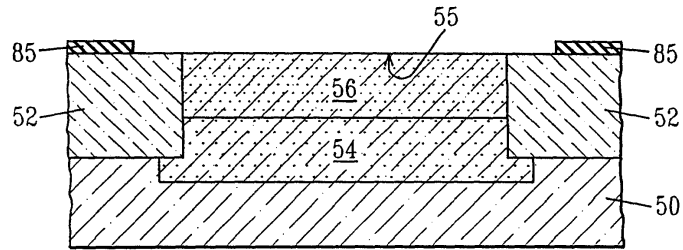
도면7



도면8



도면9



도면10

