

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

|   |                             |                            |
|---|-----------------------------|----------------------------|
| (51) Int. Cl. <sup>6</sup><br>G11C 5/14 | (11) 공개번호<br>특 1997-0051071 | (43) 공개일자<br>1997년 07월 29일 |
| (21) 출원번호<br>특 1995-0051067             | (22) 출원일자<br>1995년 12월 16일  |                            |
| (71) 출원인<br>삼성전자 주식회사 김광호               | 경기도 수원시 팔달구 매탄 3동 416번지     |                            |
| (72) 발명자<br>윤세승                         | 서울특별시 용산구 한강로 3가 40-194     |                            |
| (74) 대리인<br>임창현                         |                             |                            |

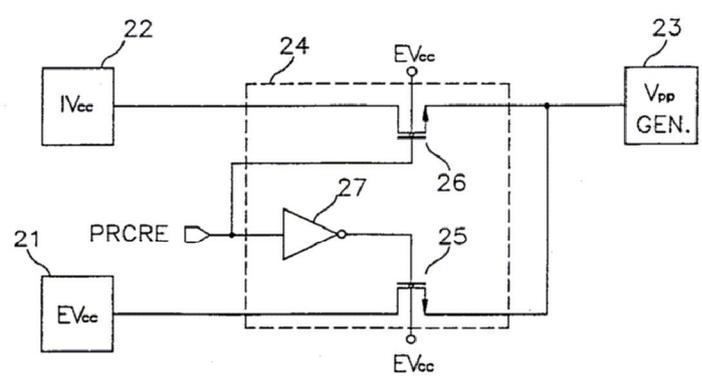
심사청구 : 있음

(54) 승압 전원을 사용하는 디램 장치의 전원 공급 회로

요약

본 발명은 칩 사이즈의 증가에 따른 부담없이 DRAM의 Vpp 발생 회로의 전원 공급 능력을 증대시키기 위한 것으로, 외부 전원(21)과 1Vcc 발생 회로(22) 및 Vpp 발생 회로(23) 사이에 전압 선택 회로(24)를 포함하며, 이 전압 선택 회로(24)는 외부 전원(21)과 Vpp 발생 회로(23)로 사이에 연결되는 도전 경로를 갖는 제1PMOS 트랜지스터(25)와, 1Vcc 발생 회로(22)와 Vpp 발생 회로(23)로 사이에 연결되는 도전 경로를 갖는 제2PMOS 트랜지스터(26) 및, PRCRE 신호를 반전시키는 인버터(27)로 구성된다.

대표도



명세서

[발명의 명칭]

승압 전원을 사용하는 디램 장치의 전원 공급 회로(a Power supply circuit of a DRAM device using on-chip boosted power)

[도면의 간단한 설명]

제6도는 본 발명의 실시예 1에 따른 DRAM 장치의 전원 공급 회로를 나타낸 회로도.  
제7도는 본 발명의 실시예 2에 따른 DRAM 장치의 승압 전압 발생 회로를 나타낸 회로도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

외부 전원으로부터의 외부 전원 전압을 소정의 레벨로 강하시켜 내부 전원 전압으로서 칩 내에 공급하는 내부 전원 전압 발생 회로와, 이 내부 전원 전압 발생 회로로부터의 상기 내부 전원 전압을 차지 펌핑하

는 것에 의해 얻어지는 승압 전압을 공급하는 승압 전압 발생 회로를 가지며; 재생 사이클 축소 모드를 구현하는 DRAM 장치에 있어서: 소정의 모드 표시 신호에 응답하여 상기 외부 전원 전압과 상기 내부 전원 전압을 상기 승압 전압 발생 회로에 선택적으로 공급하는 전압 선택 수단을 구비하는 것을 특징으로 하는 전원 공급 회로.

**청구항 2**

제1항에 있어서, 상기 전압 선택 수단은; 상기 외부 전원과 상기 승압 전압 발생 회로 사이에 양단자가 연결되고, 소정의 제1제어 신호가 소정의 제1레벨을 가질 때 상기 외부 전원과 상기 승압 전압 발생 회로를 전기적으로 연결하고, 상기 제1제어 신호가 소정의 제2레벨을 가질 때 상기 외부 전원과 상기 승압 전압 발생 회로를 전기적으로 절연하는 제1스위치 수단과; 상기 내부 전원 전압 발생 회로와 상기 승압 전압 발생 회로 사이에 양단자가 연결되고, 소정의 제2제어 신호가 소정의 제3레벨을 가질 때 상기 외부 전원과 상기 승압 전압 발생 회로를 전기적으로 연결하고, 상기 제2제어 신호가 소정의 제4레벨을 가질 때 상기 내부 전압 발생 회로와 상기 승압 전압 발생 회로를 전기적으로 절연하는 제2스위치 수단과; 상기 모드 표시 신호가 상기 재생 사이클 축소 모드를 나타내는 것에 응답하여 상기 제1레벨의 상기 제1제어 신호를 상기 제1스위치 수단으로 제공하고 상기 제4레벨의 상기 제2제어 신호를 상기 제2스위치 수단으로 제공하며, 상기 모드 표시 신호가 상기 재생 사이클 축소 모드를 나타내지 않는 것에 응답하여 상기 제2레벨의 상기 제1제어 신호를 상기 제1스위치 수단으로 제공하고 상기 제3레벨의 상기 제2제어 신호를 상기 제2스위치 수단으로 제공하는 스위치 제어 수단을 구비하는 것을 특징으로 하는 전원 공급 회로.

**청구항 3**

제1항에 있어서, 상기 전압 선택 수단은; 상기 내부 전압 발생 회로와 상기 승압 전압 발생 회로 사이에 연결되는 도전 경로를 갖고, 상기 모드 표시 신호가 제공되는 제어 단자를 갖되, 상기 모드 표시 신호가 상기 재생 사이클 축소 모드를 나타낼 때 도통되는 제1트랜지스터와; 상기 모드 표시 신호를 반전시키는 인버터와; 상기 외부 전원과 상기 승압 전압 발생 회로 사이에 연결되는 도전 경로를 갖고, 상기 인버터의 출력이 제공되는 제어 단자를 갖되, 상기 인버터의 상기 출력이 상기 재생 사이클 축소 모드를 나타내지 않을 때 도통되는 제2트랜지스터를 구비하는 것을 특징으로 하는 전원 공급 회로.

**청구항 4**

외부 전원으로부터의 외부 전원 전압을 소정의 레벨로 강하시켜 내부 전원 전압으로서 칩 내에 공급하는 내부 전원 전압 발생 회로와, 이 내부 전원 전압 발생 회로로부터의 상기 내부 전원 전압을 차지 평핑하는 것에 의해 얻어지는 승압 전압을 공급하는 승압 전압 발생 회로를 가지는 DRAM 장치에 있어서: 상기 승압 전압 발생 회로는, 상기 승압 전압의 공급을 위한 제1노드와, 상기 제1노드의 전압 레벨을 상승시키기 위한 제2노드와, 상기 제1노드와 상기 제2노드 사이에 연결되고 제어 단자로 제공되는 소정의 제어 신호에 응답하여 상기 제1노드와 상기 제2노드 사이에 도전 경로를 형성하는 MOS 트랜지스터와, 워드 라인 신호에 응답하여 상기 제2노드를 '프리차징'하기 위한 제1MOS커패시터와, 상기 워드 라인 신호에 응답하여 상기 제2노드를 '차징'하기 위한 제2MOS 커패시터와, 상기 MOS트랜지스터의 상기 제어 단자에 연결되는 제3MOS커패시터와, 상기 제1 내지 제3MOS 커패시터들의 구동을 위한 제1 내지 제3커패시터 구동 수단을 가지고; 소정의 모드 표시 신호(**PRCRE**)에 응답하여 상기 제2MOS 커패시터 및 상기 제3MOS 커패시터로 상기 외부 전원 전압을 선택적으로 공급하는 전압 선택 수단을 구비하는 것을 특징으로 하는 전원 공급 회로.

**청구항 5**

제4 항에 있어서, 상기 전압 선택 수단은; 소정 레벨의 입력 신호가 입력되는 것에 응답하여 상기 외부 전원 전압을 공급하는 레벨 시프팅 수단과; 상기 제2MOS 커패시터와 상기 제2커패시터 구동 수단 사이에 그리고 상기 제3MOS 커패시터와 상기 제3커패시터 구동 수단 사이에 연결되되, 상기 모드 표시 신호가 상기 재생 사이클 축소 모드를 나타낼 때 상기 레벨 시프팅 수단과 상기 제2및 제3MOS 커패시터들 사이에 도전 경로를 형성함과 아울러 상기 제2및 제3MOS 커패시터들과 상기 제2 및 제3커패시터 구동 수단들 사이에 도전 경로를 형성하지 않으며, 상기 모드 표시 신호가 상기 재생 사이클 축소 모드를 나타내지 않을 때 상기 레벨 시프팅 수단과 상기 제2및 제3MOS 커패시터들 간에 도전 경로를 형성하지 않음과 아울러 상기 제2 및 제3MOS 커패시터들과 상기 제2 및 제3커패시터 구동 수단들 사이에 도전 경로를 형성하는 경로 전환 수단을 구비하는 것을 특징으로 하는 전원 공급 회로.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

**도면**

