



(12) 发明专利

(10) 授权公告号 CN 114579071 B

(45) 授权公告日 2023. 04. 07

(21) 申请号 202210161370.8

G06T 1/20 (2006.01)

(22) 申请日 2022.02.22

G06T 1/60 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 114579071 A

(56) 对比文件

CN 104134432 A, 2014.11.05

US 2016247306 A1, 2016.08.25

(43) 申请公布日 2022.06.03

审查员 卢旭阳

(73) 专利权人 珠海昇生微电子有限责任公司

地址 519000 广东省珠海市高新区唐家湾

镇金唐路1号港湾1号科创园24栋B区3

层302室

(72) 发明人 黄俏

(74) 专利代理机构 广州三环专利商标代理有限

公司 44202

专利代理师 侯丽燕

(51) Int. Cl.

G06F 3/14 (2006.01)

权利要求书2页 说明书5页 附图3页

(54) 发明名称

一种基于多个JPEG图层的叠加显示电路及其实现方法

(57) 摘要

本发明提供一种基于多个JPEG图层的叠加显示电路及其方法,该电路包括接收模块、JPEG图像解压模块、Blending图像处理模块、存储器以及显示单元,接收模块用于接收多个压缩图像,并将多个压缩图像数据传输至JPEG图像解压模块, JPEG图像解压模块根据待解压缩图像的数量,通过分时复用方式分别解压各个压缩图像的一个block数据,并将解压出来的一个block数据作为一个图层块放到对应的存储器中,在同时解压完多个图层块后,把多个图层块通过Blending图像处理模块做Blending图像叠加处理, Blending图像处理模块将叠加处理后的图像信息传输至显示单元进行实时显示。应用本发明可以解决现有技术中存在的问题,可以实现方案硬件电路和存储资源消耗少,且图像处理显示速度快的目的。



1. 一种基于多个JPEG图层的叠加显示电路,其特征在于,包括:

接收模块、JPEG图像解压模块、Blending图像处理模块、存储器以及显示单元,所述接收模块用于接收多个压缩图像,并将多个压缩图像数据传输至所述JPEG图像解压模块,所述JPEG图像解压模块根据待解压缩图像的数量,通过分时复用方式分别解压各个压缩图像的一个block数据,并将解压出来的一个block数据作为一个图层块放到对应的存储器中,在同时解压完多个图层块后,把多个图层块通过所述Blending图像处理模块做Blending图像叠加处理,所述Blending图像处理模块将叠加处理后的图像信息传输至所述显示单元进行实时显示;

一种基于多个JPEG图层的叠加显示电路的实现方法,包括:

选定有至少两个图层块相互叠加的区域;

通过接收模块接收多个压缩图像,并将多个压缩图像数据传输至JPEG图像解压模块, JPEG图像解压模块通过分时复用方式分别解压各个压缩图像的一个block数据,并将解压出来的一个block数据作为一个图层块放到对应的存储器中,待同时解压完N个图层块后,把N个图层块通过Blending图像处理模块做Blending图像叠加处理,得到N个图层块叠加融合后的一个图层块数据,并将叠加融合后的图层进行叠加显示;

所述Blending图像叠加处理包括将每个图层按照对应比例因子值Alpha1-AlphaN做乘法运算,即 $layer1*Alpha1+layer2*Alpha2\cdots layerN*AlphaN$ ,以上数据经过Blending图像处理模块后得到N个图层叠加融合后的一个图层块YUV数据。

2. 根据权利要求1所述的叠加显示电路,其特征在于:

所述接收模块包括FIFO寄存器、控制器以及输出控制模块,所述控制器分别与所述FIFO寄存器、输出控制模块连接。

3. 根据权利要求1所述的叠加显示电路,其特征在于:

所述显示单元包括接口送显模块以及显示屏,所述Blending图像处理模块与所述接口送显模块连接,所述接口送显模块与所述显示屏连接。

4. 根据权利要求1所述的叠加显示电路,其特征在于:

所述接收模块包括以下工作状态:

idle:空闲状态,状态机初始默认状态;

send\_addr:发送取数据地址命令;

rcv\_data:接收数据状态,只有处于该状态,才能响应数据接收;

wait\_read\_buff:该状态下,FIFO寄存器已满,等待JPEG图像解压模块读取数据,同时向总线发送full信号。

5. 根据权利要求4所述的叠加显示电路,其特征在于:

在接收模块开始工作之前,通过config配置好送显模式,以及压缩图像地址后,发送开始接收数据命令start,接收模块的状态机从idle状态跳转到send\_addr状态;

在向总线发送取数据地址命令后直接跳到rcv\_data状态,开始接收总线从存储器发送来的压缩图像数据并写入到FIFO寄存器中。

6. 根据权利要求5所述的叠加显示电路,其特征在于:

在接收数据时,若收到接收完一个block数据的结束信号则切换到另一个压缩图像的存储器地址,并通过JPEG图像解压模块把图像解压到相应的图层块中;然后,发送update\_

addr命令返回send\_addr状态,并向总线发送full握手信号以停止发送数据;

若FIFO寄存器已满,则发送prefull命令,并跳转到wait\_read\_buff状态;若此时图像一帧已经传送完毕,则发送framend命令,并跳转到idle状态;

在wait\_read\_buff状态下,不再接收总线发来的数据;当buff处于空或者半满状态,则跳转到send\_addr状态。

7. 根据权利要求6所述的叠加显示电路,其特征在于:

所述update\_addr命令的产生包括:

当多个图层块做Blending图像叠加处理时,则在接收到restartmark标记和image end标记时,发送update\_addr命令,并在接收到第一个image end标记时,把image end标记信息给丢弃掉;

当一个图层块与一个YUV数据做Blending图像叠加处理时,则当接收到的buff满时,发送update\_addr命令,开始接收另一个图层块的数据。

8. 根据权利要求1至7任一项所述的叠加显示电路,其特征在于:

所述Blending图像叠加处理使用alpha-blending算法实现,其表示为公式(1):

$$\text{Result image} = (\text{layerA} * \text{AR} + \text{layer B} * \text{BR} + \text{layer C} * \text{CR} + \dots + \text{layer N} * \text{NR}) \gg 8 \quad (1)$$

其中,AR是A层图像的8bit的alpha值,通过配置config得到,NR为N层图像的8bit的alpha值,layerN则由YUV数据3个8bit图像像素点组成。

## 一种基于多个JPEG图层的叠加显示电路及其实现方法

### 技术领域

[0001] 本发明涉及电子与信息技术领域,具体涉及一种基于多个JPEG图层的叠加显示电路以及应用该电路的实现方法。

### 背景技术

[0002] 人机交互界面UI显示,是系统和用户之间进行交互和信息交换的桥梁。为了追求显示的多样丰富性,以便于人员对芯片的操作与理解,通常会用到Alpha-Blending叠加技术。所谓的Alpha-Blending叠加技术,是按照“Alpha”混合向量值混合源图层和目标图层的一种图像处理技术。

[0003] 同时为了释放芯片里的CPU处理图像的算力,以便于芯片里的CPU可以实时处理更多突发任务和事件,需要由专门的硬件电路实现多图层的叠加图像处理工作,并把处理完的图像送到显示接口。

[0004] 目前,现有的一种技术方案通过多个jpeg解压电路同时解压对应图像,并把实时解压的图像进行叠加处理并送显。不过由于该技术需要消耗的电路资源比较大,造成的成本较高。

[0005] 另外,现有的另一种技术方案是通过一个JPEG解压电路同时解压多个图像,并把多个图像数据实时的存在存储器中,等到每个图像的一帧数据都解压完并存储起来之后,再从存储器里把多个图像的数据进行叠加处理并送显。然而,该技术需要很大的存储空间,消耗很大的存储资源,并且图像处理速度不能实时,从而影响最终的送显速度。

### 发明内容

[0006] 为了克服现有技术的不足,本发明的目的在于提供一种基于多个JPEG图层的叠加显示电路及其方法,该系统和方法可以解决现有技术中成本高、消耗存储资源、实时性差等问题,可以实现方案硬件电路和存储资源消耗少,且图像处理显示速度快的目的。

[0007] 为解决上述问题,本发明所采用的技术方案如下:

[0008] 一种基于多个JPEG图层的叠加显示电路,包括:接收模块、JPEG图像解压模块、Blending图像处理模块、存储器以及显示单元,所述接收模块用于接收多个压缩图像,并将多个压缩图像数据传输至所述JPEG图像解压模块,所述JPEG图像解压模块根据待解压缩图像的数量,通过分时复用方式分别解压各个压缩图像的一个block数据,并将解压出来的一个block数据作为一个图层块放到对应的存储器中,在同时解压完多个图层块后,把多个图层块通过所述Blending图像处理模块做Blending图像叠加处理,所述Blending图像处理模块将叠加处理后的图像信息传输至所述显示单元进行实时显示。

[0009] 进一步的方案是,所述接收模块包括FIFO寄存器、控制器以及输出控制模块,所述控制器分别与所述FIFO寄存器、输出控制模块连接。

[0010] 更进一步的方案是,所述显示单元包括接口送显模块以及显示屏,所述Blending图像处理模块与所述接口送显模块连接,所述接口送显模块与所述显示屏连接。

[0011] 一种基于多个JPEG图层的叠加显示电路的实现方法,该系统应用于上述的一种基于多个JPEG图层的叠加显示电路进行控制,该方法包括;选定有至少两个图层块相互叠加的区域;通过接收模块接收多个压缩图像,并将多个压缩图像数据传输至JPEG图像解压模块, JPEG图像解压模块通过分时复用方式分别解压各个压缩图像的一个block数据,并将解压出来的一个block数据作为一个图层块放到对应的存储器中,待同时解压完N个图层块后,把N个图层块通过Blending图像处理模块做Blending图像叠加处理,得到N个图层块叠加融合后的一个图层块数据,并将叠加融合后的图层进行叠加显示。

[0012] 进一步的方案是,所述Blending图像叠加处理包括将每个图层按照对应比例因子值Alpha1-AlphaN做乘加运算,即 $layer1*Alpha1+layer2*Alpha2\cdots layerN*AlphaN$ ,以上数据经过Blending图像处理模块后得到N个图层叠加融合后的一个图层块YUV数据。

[0013] 更进一步的方案是,所述接收模块包括以下工作状态:idle:空闲状态,状态机初始默认状态;send\_addr:发送取数据地址命令;rcv\_data:接收数据状态,只有处于该状态,才能响应数据接收;wait\_read\_buff:该状态下,FIFO寄存器已满,等待JPEG图像解压模块读取数据,同时向总线发送full信号。

[0014] 更进一步的方案是,在接收模块开始工作之前,通过config配置好送显模式,以及压缩图像地址后,发送开始接收数据命令start,接收模块的状态机从idle状态跳转到send\_addr状态;在向总线发送取数据地址命令后直接跳到rcv\_data状态,开始接收总线从存储器发送来的压缩图像数据并写入到FIFO寄存器中。

[0015] 更进一步的方案是,在接收数据时,若收到接收完一个block数据的结束信号则切换到另一个压缩图像的存储器地址,并通过JPEG图像解压模块把图像解压到相应的图层块中;然后,发送update\_addr命令返回send\_addr状态,并向总线发送full握手信号以停止发送数据;若FIFO寄存器已满,则发送prefull命令,并跳转到wait\_read\_buff状态;若此时图像一帧已经传送完毕,则发送framend命令,并跳转到idle状态;在wait\_read\_buff状态下,不再接收总线发来的数据;当buff处于空或者半满状态,则跳转到send\_addr状态。

[0016] 更进一步的方案是,所述update\_addr命令的产生包括:当多个图层块做Blending图像叠加处理时,则在接收到restart mark标记和image end标记时,发送update\_addr命令,并在接收到第一个image end标记时,把image end标记信息给丢弃掉;当一个图层块与一个YUV数据做Blending图像叠加处理时,则当接收到的buff满时,发送update\_addr命令,开始接收另一个图层块的数据。

[0017] 更进一步的方案是,所述Blending图像叠加处理使用alpha-blending算法实现,其表示为公式(1):

[0018]  $Result\ image = (layer\ A*AR+layer\ B*BR+layer\ C*CR+\cdots+layer\ N*NR) \gg 8$  (1)

[0019] 其中,AR是A层图像的8bit的alpha值,通过配置config得到,NR为N层图像的8bit的alpha值,layer N则由YUV数据3个8bit图像像素点组成。

[0020] 因此,相比现有技术,本发明具有以下有益效果:

[0021] 1、基于JPEG图像块的blending处理,以实现图层叠加处理,从而减少存储器的开销。

[0022] 2、采用分时复用一个JPEG图像解压模块,可以实现多个JPEG压缩图像同时解压并处理目的,以减少硬件电路的开销。

[0023] 3、实时显示性更高,无需CPU介入,可以完成由硬件电路实现边解压JPEG图像边按块blending,并把blending处理完成图像图层块按行扫描的方式实时送显。

[0024] 所以,本发明可以有效降低芯片设计的制造成本,减少设计电路的面积以及内置存储器的开销,从而提高芯片的竞争力。

[0025] 下面结合附图和具体实施方式对本发明作进一步详细说明。

### 附图说明

[0026] 图1是本发明一种基于多个JPEG图层的叠加显示电路实施例的原理图。

[0027] 图2是本发明一种基于多个JPEG图层的叠加显示电路实施例中接收模块的原理图。

[0028] 图3是本发明一种基于多个JPEG图层的叠加显示电路的实现方法实施例中接收模块的接收控制状态机的原理图。

[0029] 图4是本发明一种基于多个JPEG图层的叠加显示电路的实现方法实施例中接收控制关键信号的时序图。

[0030] 图5是本发明一种基于多个JPEG图层的叠加显示电路的实现方法实施例中alpha-blending算法的实现原理图。

### 具体实施方式

[0031] 一种基于多个JPEG图层的叠加显示电路实施例:

[0032] 参见图1,一种基于多个JPEG图层的叠加显示电路,包括:接收模块10、JPEG图像解压模块20、Blending图像处理模块30、存储器以及显示单元,接收模块10用于接收多个压缩图像,并将多个压缩图像数据传输至JPEG图像解压模块20,JPEG图像解压模块20根据待解压缩图像的数量,通过分时复用方式分别解压各个压缩图像的一个block数据,并将解压出来的一个block数据作为一个图层块放到对应的存储器中,在同时解压完多个图层块后,把多个图层块通过Blending图像处理模块30做Blending图像叠加处理,Blending图像处理模块30将叠加处理后的图像信息传输至显示单元进行实时显示。

[0033] 如图2所示,接收模块10包括FIFO寄存器、控制器以及输出控制模块,控制器分别与FIFO寄存器、输出控制模块连接。

[0034] 在本实施例中,显示单元包括接口送显模块40以及显示屏,Blending图像处理模块30与接口送显模块40连接,接口送显模块40与显示屏连接。

[0035] 一种基于多个JPEG图层的叠加显示电路的实现方法实施例:

[0036] 一种基于多个JPEG图层的叠加显示电路的实现方法,该系统应用于上述的一种基于多个JPEG图层的叠加显示电路进行控制,该方法包括:

[0037] 首先,选定有至少两个图层块相互叠加的区域。

[0038] 然后,通过接收模块10接收多个压缩图像,并将多个压缩图像数据传输至JPEG图像解压模块20,JPEG图像解压模块20通过分时复用方式分别解压各个压缩图像的一个block数据,并将解压出来的一个block数据作为一个图层块放到对应的存储器中,待同时解压完N个图层块后,把N个图层块通过Blending图像处理模块30做Blending图像叠加处理,得到N个图层块叠加融合后的一个图层块数据,并将叠加融合后的图层进行叠加显示。

[0039] 在本实施例中, Blending图像叠加处理包括将每个图层按照对应比例因子值 $\text{Alpha1}-\text{AlphaN}$ 做乘加运算, 即 $\text{layer1}*\text{Alpha1}+\text{layer2}*\text{Alpha2}\cdots\text{layerN}*\text{AlphaN}$ , 以上数据经过Blending图像处理模块30后得到N个图层叠加融合后的一个图层块YUV数据。

[0040] 具体的, 当接收模块10时分从存储器中把压缩图像数据搬到JPEG图像解压模块20, JPEG图像解压模块20通过分时复用方式, 分别解压各个压缩图像的一个block数据, 并将解压出来的一个block数据作为一个图层块放到对应的存储器中。其中, 一个图层块大小为 $8*8*2=128\text{B}$  YUV数据, 比起要完全解压完一帧的压缩图像数据( $1024*768*2=1572864\text{B}$  YUV)要少了上万倍的存储空间。

[0041] 等同时解压完N块图层之后, 把N块图层做blending图像叠加处理: 处理公式为每块图层按照对应比例因子值 $\text{Alpha1}, \text{Alpha2}\cdots\text{AlphaN}$ 做乘加运算, 即 $\text{layer1}*\text{Alpha1}+\text{layer2}*\text{Alpha2}\cdots\text{layerN}*\text{AlphaN}$ 经过Blending图像处理模块30后得到N个图层叠加融合后的一个图层块YUV数据(128B)。然后, 通过接口送显模块40接收到该数据后根据接口时序要求把数据送到显示屏中, 进行实时显示。

[0042] 在本实施例中, 接收模块10包括FIFO寄存器、控制器以及输出控制模块, 控制器的接收控制状态机如图3所示, 其包括以下工作状态:

[0043] idle: 空闲状态, 状态机初始默认状态;

[0044] send\_addr: 发送取数据地址命令;

[0045] rcv\_data: 接收数据状态, 只有处于该状态, 才能响应数据接收;

[0046] wait\_read\_buff: 该状态下, FIFO寄存器已满(buff已经满了不能再接收数据, ), 只能等待JPEG图像解压模块20读取数据, 同时向总线发送full信号。

[0047] 在接收模块10开始工作之前, 通过config配置好送显模式, 以及压缩图像地址后, 发送开始接收数据命令start, 接收模块10的状态机从idle状态跳转到send\_addr状态。

[0048] 在向总线发送取数据地址命令后直接跳到rcv\_data状态, 开始接收总线从存储器发送来的压缩图像数据并写入到FIFO寄存器中。

[0049] 在接收数据时, 若收到接收完一个block数据的结束信号则切换到另一个压缩图像的存储器地址, 并通过JPEG图像解压模块20把图像解压到相应的图层块中; 然后, 发送update\_addr命令返回send\_addr状态, 并向总线发送full握手信号以停止发送数据。

[0050] 若FIFO寄存器已满, 则发送prefull命令, 并跳转到wait\_read\_buff状态; 若此时图像一帧已经传送完毕, 则发送framend命令, 并跳转到idle状态;

[0051] 在wait\_read\_buff状态下, 不再接收总线发来的数据; 当buff处于空或者半满状态(具体由软件配置决定), 则跳转到send\_addr状态。

[0052] 在本实施例中, 如图4所示, update\_addr命令的产生包括:

[0053] 当多个图层块做Blending图像叠加处理时, 则在接收到restart mark标记和image end标记时, 发送update\_addr命令, 并在接收到第一个image end标记时, 把image end标记信息给丢弃掉。

[0054] 当一个图层块与一个YUV数据做Blending图像叠加处理时, 则当接收到的buff满时, 发送update\_addr命令, 开始接收另一个图层块的数据, 如此反复交替。

[0055] 当收到image\_ack, receive\_valid拉高, 此时开始接收数据, 当收到image\_last信号或者pre\_full信号时, 停止接收数据, receive\_valid拉低。

[0056] 如图5所示,Blending图像叠加处理使用alpha-blending算法实现,其表示为公式(1):

[0057] 
$$\text{Result image} = (\text{layer A} * \text{AR} + \text{layer B} * \text{BR} + \text{layer C} * \text{CR} + \dots + \text{layer N} * \text{NR}) \gg 8 \quad (1)$$

[0058] 其中,AR是A层图像的8bit的alpha值,通过配置config得到,依次类推NR为N层图像的8bit的alpha值,layer N则由YUV数据3个8bit图像像素点组成。

[0059] 因此,相比现有技术,本发明具有以下有益效果:

[0060] 1、基于JPEG图像块的blending处理,以实现图层叠加处理,从而减少存储器的开销。

[0061] 2、采用分时复用一个JPEG图像解压模块20,可以实现多个JPEG压缩图像同时解压并处理目的,以减少硬件电路的开销。

[0062] 3、实时显示性更高,无需CPU介入,可以完成由硬件电路实现边解压JPEG图像边按块blending,并把blending处理完成图像图层块按行扫描的方式实时送显。

[0063] 所以,本发明可以有效降低芯片设计的制造成本,减少设计电路的面积以及内置存储器的开销,从而提高芯片的竞争力。

[0064] 上述实施方式仅为本发明的优选实施方式,不能以此来限定本发明保护的范围,本领域的技术人员在本发明的基础上所做的任何非实质性的变化及替换均属于本发明所要求保护的范围。

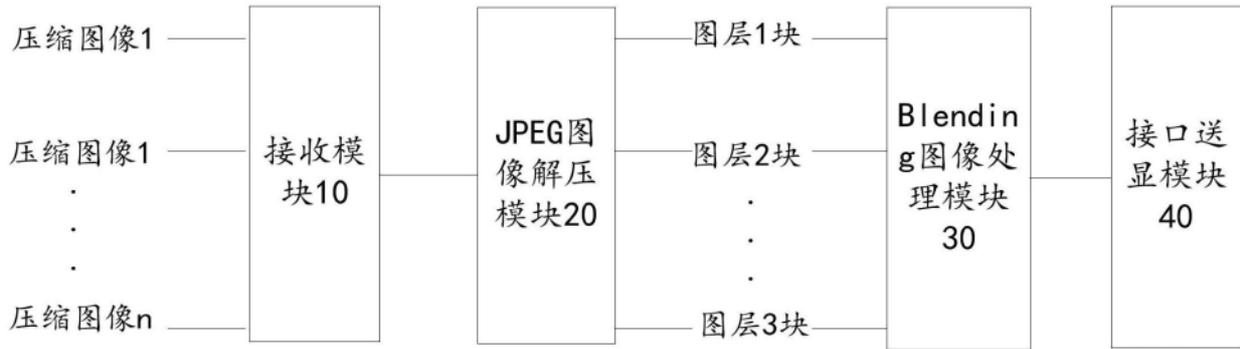


图1

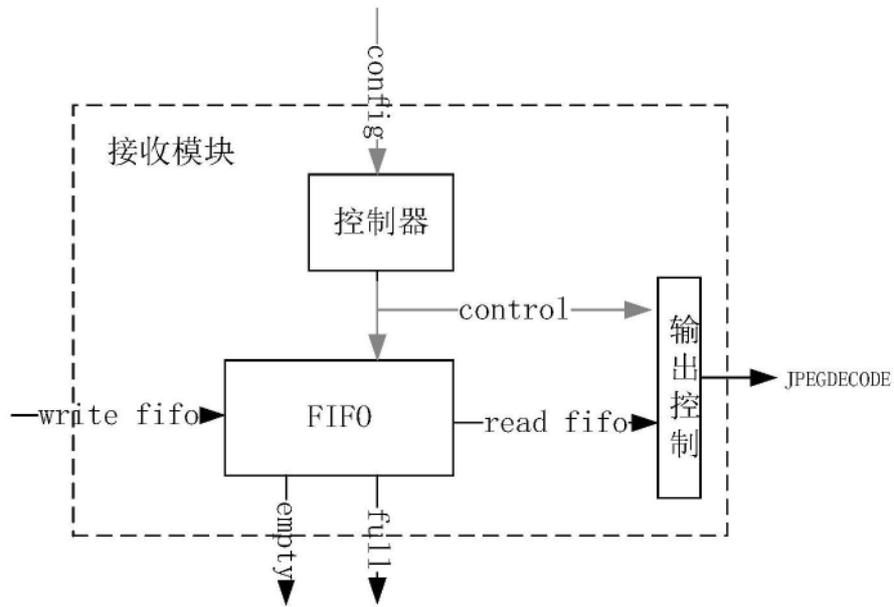


图2

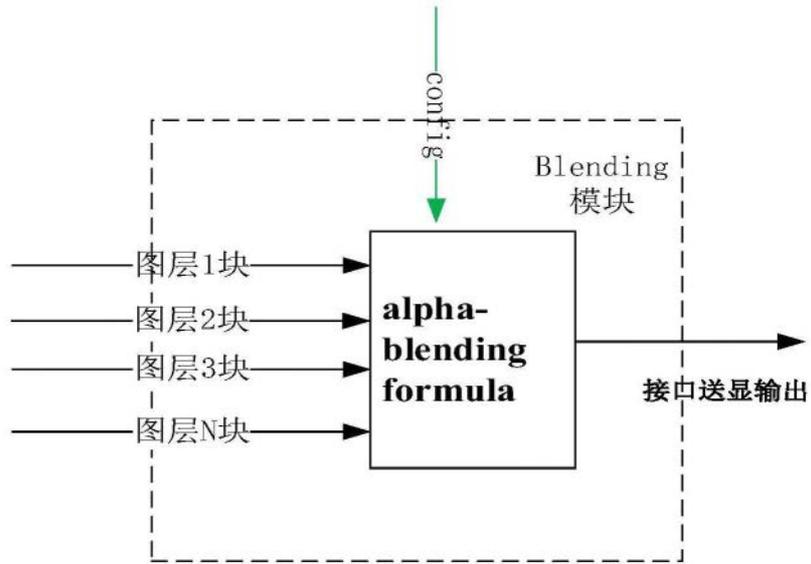


图3

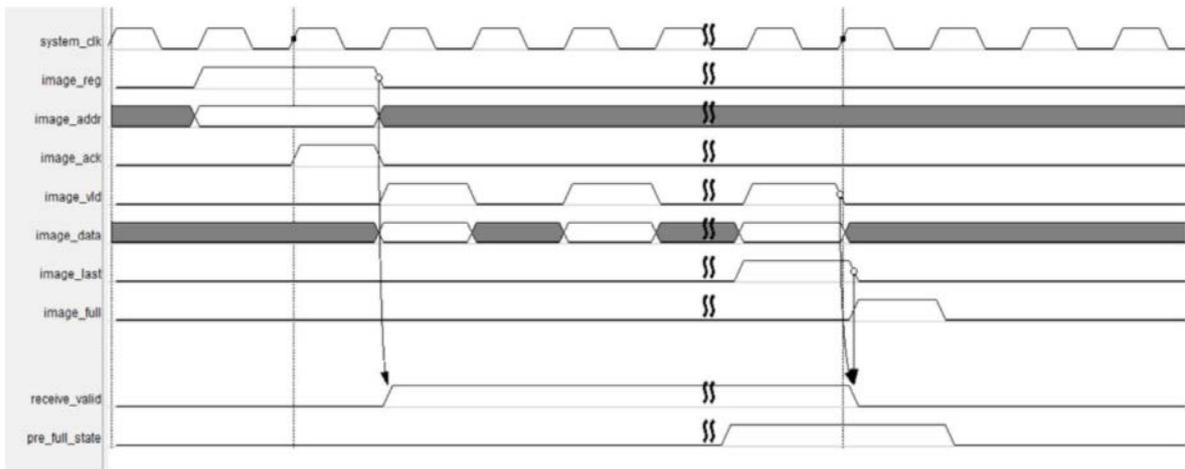


图4

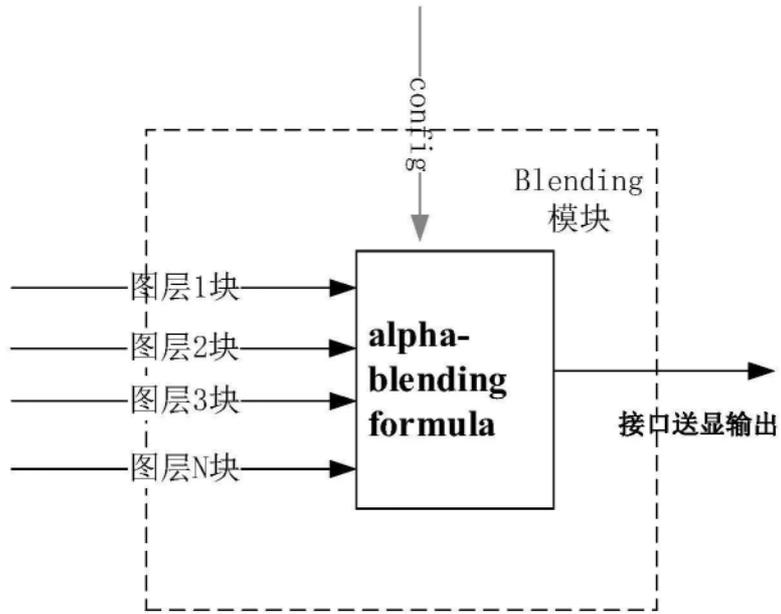


图5