

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97143824

※申請日期：97.11.13

※IPC 分類：H03L7/06 (2006.01)

G06F1/04 (2006.01)

一、發明名稱：(中文/英文)

時脈產生器、展頻時脈產生器以及展頻時脈信號產生方法

clock generator、spread spectrum clock generator and method for
generating spread spectrum clock signals

二、申請人：(共1人)

姓名或名稱：(中文/英文)

聯發科技股份有限公司

MediaTek Inc.

代表人：(中文/英文) 蔡明介/Ming-Kai Tsai

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市篤行一路1號

No. 1, Dusing Rd. 1st, Science-Based Industrial Park, Hsin-Chu 300,
Taiwan, R.O.C.

國籍：(中文/英文) 中華民國/TW

三、發明人：(共2人)

姓名：(中文/英文)

1. 陳尚斌/ Shang-Ping CHEN

2. 汪炳穎/ Ping-Ying WANG

國籍：(中文/英文)

1. 中華民國/TW

2. 中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國(US)、2007/11/15、11/940,486

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於時脈產生器、展頻時脈產生器以及展頻時脈信號之產生方法。

【先前技術】

傳統的電磁干擾(electronic magnetic interference ; EMI)預防措施包括電磁干擾濾波器、陶鐵磁珠(ferrite beads)、控流線圈(choke)、增加電源層與接電層至電路板中、金屬遮蔽、特殊塗層、以及射頻襯墊(RF gasket)等等。然而，電磁干擾之主要來源係為系統時脈，例如來自於頻率時脈產生器、晶體振盪器、壓控振盪器以及鎖相迴路。降低整個系統之電磁干擾的一個有效方法為使用低電磁干擾展頻時脈(spread spectrum clock) 振盪器。使用低電磁干擾展頻時脈振盪器的優點在於符合規範測試、上市時程很短(short time-to-market)以及成本降低。

【發明內容】

為了降低系統之電磁干擾，本發明提供了一種時脈產生器、展頻時脈產生器以及展頻時脈信號之產生方法。

本發明提供了一種展頻時脈產生器，包括鎖相迴路，用以根據一第一、第二輸入時脈，產生輸出時脈；延遲線路，耦接於第一輸入時脈與鎖相迴路之間；以及調變單元，用以提供調變信號控制延遲線路，藉以調變第一輸入時脈之相位，使得鎖相迴路所產生之輸出時脈

的頻率產生週期性地變化。

本發明另提供了一種展頻時脈產生器，包括鎖相迴路，用以根據一第一、第二輸入時脈，產一輸出時脈；延遲線路，耦接於第一輸入時脈與鎖相迴路之間；調變單元，耦接延遲線路；縮放單元，耦接於延遲線路與調變單元之間；以及校正單元，耦接縮放單元。

本發明提供了一種展頻時脈信號產生方法，包括提供調變信號；以及根據調變信號對來自鎖相迴路之第一輸入時脈進行調變，使得鎖相迴路所產生之輸出時脈的頻率產生週期性變化。

本發明提供了一種時脈產生器，包括：鎖相迴路，用以根據第一輸入時脈以及第二輸入時脈，產生輸出時脈；以及延遲線路，耦接於第一輸入時脈與鎖相迴路之間，根據調變信號調變第一輸入時脈之相位，藉以控制該輸出時脈之頻率。

本發明另提供了一種時脈產生器，包括：鎖相迴路，用以根據第一輸入時脈以及第二輸入時脈，產生輸出時脈；調變單元，用以根據具有預設幅度的輸入信號提供調變信號；以及延遲線路，用以根據調變信號調變第一輸入時脈的相位，以使藉由該鎖相迴路產生的輸出時脈的頻率變化作為輸入信號之預設幅度變化。

本發明提供之時脈產生器、展頻時脈產生器以及展頻時脈信號之產生方法，通過提供調變信號控制延遲線路，以調變第一輸入時脈之相位，使得鎖相迴路所產生

之輸出時脈的頻率產生週期性地變化，可以達到降低系統的電磁干擾的效果。

【實施方式】

第 1 圖係為展頻時脈產生器之一實施例之示意圖。如第 1 圖所示，展頻時脈產生器 100 包括鎖相迴路 10、延遲線路 20、調變單元 30、縮放單元 40 以及校正單元 50。

鎖相迴路 10 用以根據第一輸入時脈 S1 以及第二輸入時脈 S2，產生輸出時脈 SOUT。舉例而言，鎖相迴路 10 可包括頻率相位偵測器 (phase/frequency detector, FPD)、電荷泵、低通濾波器以及壓控振盪器 (voltage controlled oscillator, VCO)。頻率相位偵測器係用以偵測第一、第二輸入時脈間之相位差，並輸出一充電 (pump-up) 信號或一放電 (pump-down) 信號，以便控制電荷泵。電荷泵所產生之電壓係藉由低通濾波器進行濾波，並供應至壓控振盪器以作為參考電壓。壓控振盪器係根據參考電壓產生時脈信號。壓控振盪器係可為任何可依據一輸入參考電壓產生時脈頻率信號之電路。通常環狀振盪器係為典型的壓控振盪器結構。由於鎖相迴路 10 之結構皆為本領域之人所知，其細部內容於此就不再累述。

舉例而言，第一輸入時脈 S1 係可由一晶體振盪器所提供，且第二輸入時脈 S2 係可為一除頻器根據鎖相迴路 10 之輸出時脈 SOUT 所產生。或者是，第一輸入時脈 S1

係可為一除頻器根據鎖相迴路 10 之輸出時脈 SOUT 所產生，且第二輸入時脈 S2 係可由一晶體振盪器所提供。

由於第一、第二輸入時脈 S1 與 S2 間之相位差會導致輸出時脈 SOUT 的頻率產生變化，所以第一、第二輸入時脈 S1 與 S2 間之相位差與輸出時脈 SOUT 之頻率間之關係可表示成 $f = \frac{d\Phi}{dt}$ 。因此，本發明係藉由調變第一輸入時脈 S1 之相位來產生一展頻時脈信號。換言之，調變單元 30 係提供一調變信號 MS 用以控制耦接於第一輸入時脈 S1 與鎖相迴路 10 之間的延遲線路 20，以便調變第一輸入時脈 S1 之相位，使得鎖相迴路 10 所產生之輸出時脈 SOUT 的頻率會產生週期性地變化。

舉例而言，延遲線路 20 係可為數位延遲線路或類比延遲線路，但不限定於此。再者，縮放單元 40 係可設置於延遲線路 20 與調變單元 30 之間，用以縮放調變信號 MS，且校正單元 50 係用以調整縮放單元 40 之縮放比例。

第 2A 圖係為展頻時脈產生器之另一實施例之示意圖。第 2B 圖係為第 2A 圖所示之展頻時脈產生器之波形示意圖。如第 2A 圖所示，展頻時脈產生器 200 係與第 1 圖中所示之展頻時脈產生器 100 相似，其差異在於鎖相迴路 10、延遲線路 20、縮放單元 40 以及校正單元 50。於此實施例中，第一輸入時脈 S1 係由晶體振盪器 70 所提供，第二輸入時脈 S2 係藉由除頻器 60 根據鎖相迴路 10 之輸出時脈 SOUT 來提供。

調變單元 30 包括三角波產生器 32、減法器 33、積

分器 34、縮放單元 36 以及量化器 38。三角波產生器 32 係用以產生如第 2B 圖中所示之三角波信號 ST，並藉由減法器 33 輸出至積分器 34。舉例而言，三角波產生器 32 係可為上下數計數器(up-down counter)，但不限定於此。量化器 38 係用以根據調變信號 MS(即積分後的三角波信號)，產生一個為 0 或 1 的數值 SQ。舉例而言，當調變信號 MS 到達(超出)一臨界值 TH 時，量化器 38 所產生之數值 SQ 為 1，而於調變信號 MS 未到達(未超出)臨界值 TH 時，量化器 38 所產生之數值 SQ 為 0。

縮放單元 36 用以縮放量化器 38 所產生之數值 SQ 以輸出給減法器 33。舉例而言，當量化器 38 因為調變信號 MS 到達臨界值 TH 而產生為 1 之數值 SQ 時，縮放單元 36 會縮放數值 SQ 並將縮放後的數值輸出至減法器 33。因此，減法器 33 會由積分器 34 所積分的信號(即調變信號 MS)中減去縮放後的數值，使得調變信號 MS 被重置，並因而變為 0。如第 2B 圖中所示，於時間 t_2 、 t_4 、 t_6 、 t_8 (依此類推)時，調變信號 MS 被來自縮放單元 36 之縮放後的數值所重置。再者，當調變信號 MS 被重置(變為 0)時，量化器 38 會產生為 0 之數值 SQ，直到調變信號 MS 再度達到臨界值 TH。因此，如第 2B 圖所示，來自三角波產生器 32 之三角波信號 ST 會重覆地由 0 被積分到臨界值 TH，用以作為調變信號 MS。減法器 33、積分器 34、量化器 38 以縮放單元 36 係連接成一迴授路徑，使得三角波信號 ST 被積分成第 2B 圖中所示之調變信號

MS。

積分器 34 所輸出之調變信號 MS 接著會被縮放單元 40 所縮放並且輸出至延遲線路 20。延遲線路 20 係根據縮放後的調變信號 MS 調變第一輸入時脈 S1 的相位，使得鎖相迴路 10 所產生之輸出時脈 SOUT 的頻率產生週期性地變化。舉例而言，如第 2B 中所示，鎖相迴路 10 所產生之輸出時脈 S1 的頻率係以三角波形式於頻率 f_1 與 f_2 之間變化。

當鎖相迴路之一個輸入時脈的相位領先鎖相迴路之其它輸入時脈時，頻率相位偵測器會輸出充電信號用以控制電荷泵，以便增加鎖相迴路之輸出時脈的頻率。相反地，當鎖相迴路之一個輸入時脈的相位落後於鎖相迴路之其它輸入時脈時，頻率相位偵測器會輸出放電信號用以控制電荷泵，以便降低鎖相迴路之輸出時脈的頻率。

第 2C 圖係延遲線路之一實施例之示意圖。於此實施例中，如第 2C 圖中所示，延遲線路 20 包括二進位-溫度碼轉換器(binary to thermal code converter)、複數串聯連接的反相器、複數耦接至反相器之開關元件、以及複數電容器，每一電容器係耦接於一對應開關元件與接地端之間。二進位-溫度碼轉換器係用以將縮放後之調變信號 MS 轉換成一控制(溫度)碼 THC，用以切換開關元件，以改變第一輸入時脈 S1 的相位。換言之，調變後之第一輸入時脈與晶體振盪器 70 所提供之原始第一輸入時脈 S1 之間的相位變化係由第 2B 圖中縮放後之調變信號

MS”所決定。

舉例而言，於初始時所有的開關元件皆會被導通，並且第一、第二輸入時脈 S1 與 S2 是相同相位。一旦一個或多個開關元件被截止，由於被充電之電容器的數目減少，第一輸入時脈 S1 的相位會突然地超前第二輸入時脈 S2，故輸出時脈 SOUT 的頻率會因而增加。再者，若累積的相位差(即第一輸入時脈 S1 超前第二輸入時脈 S2 的相位差)已經超過第二輸入時脈 S2 之半個週期，它將當作第二輸入時脈 S2 已經超前第一輸入時脈 S1，故輸出時脈 SOUT 的頻率會因而下降。

舉例而言，本實施例中之延遲線路 20 中之開關元件係根據縮放後的調變信號 MS”分段地被截止直到所有的開關元件皆被截止或所累積的延遲時間已達到一預設時間。因此，輸出時脈 SOUT 的頻率會隨著愈多開關元件被截止而增加，直到所累積的相位差於時間 t1 時已經超過第二輸入時脈 S2 的半個週期，於時間 t1 後輸出時脈 SOUT 的頻率開始減少直到時間 t2 時所有的開關元件皆會被截止。同樣地，於時間 t2 時輸出時脈 SOUT 的頻率又會開始增加，然後於時間 t3 時開始降低直到時間 t4，依此類推。

由於硬體元件的限制，在實務上不可能使用一個具有無限長度之延遲線路。因此，本實施例中當延遲線路 20 無法再延遲第一輸入時脈 S1 時，係藉由除頻器 60 跳過輸出時脈 SOUT 的幾個週期並重置延遲線路 20。於此

實施例中，除頻器 60 具有第一操作模式，用以藉由數值為 30 之除頻因數對第二輸入時脈 S2 進行除頻，以及第二操作模式，用以藉由數值為 29 之除頻因數對第二輸入時脈 S2 進行除頻，並且操作模式係藉由調變信號 MS 來切換。

舉例而言，當調變信號 MS 已經到達(超過)臨界值 TH 時，量化器 38 會輸出為 1 的數值 SQ 到縮放單元 36 以及除頻器 60，使得縮放單元 36 輸出放大後的數值，並藉由減法器 33 重置調變信號 MS，同時除頻器 60 會被致能以由第一操作模式進入第二操作模式。因此，來自鎖相迴路 10 之輸出時脈 SOUT 於時間 t2 時會被數值為 29 之除頻因數所除頻，且輸出時脈 SOUT 的一個週期會被跳過(skip)。

假設延遲線路 20 之預設延遲週期為輸出時脈 SOUT 的一個週期(1T)時，輸出時脈 SOUT 被跳過一個週期會使得第一、第二輸入時脈 S1 與 S2 的時序達到匹配。要注意的是，被跳過之週期的數目係與除頻因數有關。舉例而言，當延遲線路 20 之預設延遲週期為輸出時脈 SOUT 的二個週期(2T)時，輸出時脈 SOUT 將由數值為 30 之除頻因數變成數值為 28 之除頻因數進行除頻，以便跳過輸出時脈 SOUT 的兩個週期(2T)，依此類推。

校正單元 50 調整縮放單元 40 之縮放比例，以使延遲線路 20 之真實延遲週期與被跳過的週期能匹配。舉例而言，若真實的延遲週期比預設的延遲週期短時，校正

單元 50 會提高縮放單元 40 之縮放比例。相反地，若真實的延遲週期比預設的延遲週期長時，校正單元 50 會降低縮放單元 40 之縮放比例。換言之，校正單元 50 會調整縮放單元 40 之縮放比例，使得延遲線路 20 之真實的延遲週期與預設的延遲週期匹配於被跳過的週期。

第 3A 圖係為展頻時脈產生器之另一實施例之示意圖。第 3B 圖係為第 3A 圖所示之展頻時脈產生器之波形示意圖。如第 3A 圖所示，展頻時脈產生器 300 係與第 2A 圖中所示之展頻時脈產生器 200 相似，其差異在於延遲線路 20 係耦接於鎖相迴路 10 與除頻器 60 之間用以調變第二輸入時脈 S2，以及反相器 IN1 耦接於延遲線路 20 與調變單元 30 之間，且反相器 IN2 耦接於除頻器 60 與調變單元 30 之間。實施例中相同的結構與動作於此不再累述。要注意的是，展頻時脈產生器 300 中鎖相迴路 10 的輸出時脈 SOUT 係如第 3B 圖中所示，並且會與展頻時脈產生器 200 中鎖相迴路 10 的輸出時脈 SOUT 相位相反。

第 4 圖係為展頻時脈信號之產生方法之流程圖。步驟 S410，提供第一、第二輸入時脈至鎖相迴路。舉例而言，如第 2A 圖與第 3A 圖中所示，第一輸入時脈 S1 係由晶體振盪器 70 所提供以及第二輸入時脈 S2 係由除頻器 60 所提供。於第 2A 圖所示實施例中，除頻器 60 係具有第一模式用以藉由數值為 30 之除頻因數對第二輸入時脈 S2 進行除頻，以及第二模式用以藉由數值為 29 之除頻因數對第二輸入時脈 S2 進行除頻。

步驟 S420，於輸入時脈與鎖相迴路之間設置延遲線路。舉例而言，如第 2A 圖中所示，延遲線路 20 係耦接鎖相迴路 10 以調變來自晶體振盪器 70 之第一輸入時脈 S1，或者如第 3A 圖中所示，延遲線路 20 係用以調變除頻器 60 所提供之第二輸入時脈 S2。舉例而言，如第 2C 圖中所示，延遲線路 20 係可包括一二進位-溫度碼轉換器、複數串聯連接的反相器、複數耦接至反相器之開關元件以及複數電容器，每一電容器係耦接於一對應開關元件與接地端之間。

步驟 S430，產生一調變信號並供應至延遲線路。舉例而言，調變信號 MS 係可由調變單元 30 所產生，並且供應至延遲線路 20。於調變單元 30 中，三角波產生器 32 係用以產生三角波信號 ST 並供應至積分器 34，積分後的三角波信號係作為調變信號 MS。調變信號 MS 係被供應至縮放單元 40，並且縮放後之調變信號 MS 係被供應至延遲線路 20。於某些實施例中，調變信號 MS 係可直接供應至延遲線路 20 而不需經過縮放單元 40 的縮放。

再者，調變信號 MS 亦會被供應至量化器 38，量化器 38 根據所接收到的調變信號 MS 輸出一數值 SQ 至縮放單元 36 以及除頻器 60。舉例而言，當調變信號 MS 到達一臨界值 TH 時，量化器 38 所產生之數值 SQ 為 1，接著為 1 之數值 SQ 會被縮放單元 36 所縮放並輸出至減法器 33。因此，減法器 33 會由積分器 34 所輸出之調變信號 MS 中減去縮放後的數值，使得調變信號 MS 被重置，

並因而變為 0。如第 2B 圖中所示，係於時間 t_2 、 t_4 、 t_6 、 t_8 (依此類推)時，調變信號 MS 皆會被縮放後的數值所重置。

再者，當調變信號 MS 被重置(變為 0)並且低於臨界值 TH 時，量化器 38 會產生為 0 之數值 SQ 直到調變信號再度到達臨界值 TH。因此，如第 2B 圖中所示，來自三角波產生器 32 之三角波信號 ST 會再三地由 0 被積分至臨界值 TH，用以作為調變信號 MS。換言之，減法器 33、積分器 34、縮放單元 36 與量化器 38 係連接成一迴授路徑，使得三角波信號 ST 被積分成第 2B 圖中所示之調變信號 MS。

步驟 S440，藉由延遲線路來根據調變信號調變第一輸入時脈之相位，使得鎖相迴路之輸出時脈的頻率會產生週期性地變化。延遲線路 20 係根據來自縮放單元 40 之縮放後的調變信號 MS 調變第一輸入時脈 S1 的相位，但不限定於此。於某些實施例中，延遲線路 20 亦可以根據來自積分器 34 但未經縮放單元 40 進行縮放的調變信號 MS，對第一輸入時脈 S1 的相位進行調變。

舉例而言，第 2C 圖中之二進位-溫度碼轉換器係可將縮放後之調變信號 MS 轉換成一控制(溫度)碼 THC，用以切換開關元件，以改變第一輸入時脈 S1 之相位。於初始時，所有的開關元件皆會被導通，並且第一、第二輸入時脈具有相同的相位。當開關元件之一者或多者被截止時，由於被充電的電容變少，故第一輸入時脈 S1 會

突然地超前第二輸入時脈 S2。因此，輸出時脈 SOUT 的頻率會因而增加。再者，當所累積的相位差(即第一輸入時脈 S1 超前於第二輸入時脈 S2 的相位差)超過第二輸入時脈 S2 的半個週期時，它將當作第二輸入時脈 S2 已經超前第一輸入時脈 S1，故輸出時脈 SOUT 的頻率會因而下降。

於此實施例中，延遲線路 20 中之開關元件係根據縮放後的調變信號 MS 分段地被截止直到所有的開關元件皆被截止。因此，輸出時脈 SOUT 的頻率會隨著愈多的開關元件被截止而增加，直到所累積的相位差於時間 t1 時已經超過第二輸入時脈 S2 的半個週期，接著於時間 t1 之後輸出時脈 SOUT 的頻率開始減少直到時間 t2 時所有的開關元件皆截止。換言之，鎖相迴路 10 之輸出時脈 SOUT 的頻率會如同第 2B 圖與第 3B 圖中所示的三角波，在頻率 f1 與 f2 之間變化。

步驟 S450，改變除頻因數以對鎖相迴路之輸出時脈進行除頻。由於硬體元件的限制，在實務上不可能使用一個具有無限長度之延遲線路。因此，在本實施例中，當延遲線路 20 無法再延遲第一輸入時脈 S1 時，係藉由除頻器 60 跳過輸出時脈 SOUT 的幾個週期並重置延遲線路 20 來實現。

舉例而言，當調變信號 MS 已經到達(超過)臨界值 TH 時，量化器 38 會輸出為 1 的數值 SQ 到縮放單元 36 以及除頻器 60。因此，縮放單元 36 輸出的縮放後的數值

會藉由減法器 33 重置調變信號 MS，同時除頻器 60 會被致能以由第一操作模式進入第二操作模式。因此，於時間 t_2 時來自鎖相迴路 10 之輸出時脈 SOUT 會被數值為 29 之除頻因數所除頻，並且輸出時脈 SOUT 的一個週期會被跳過。

假設延遲線路 20 之預設延遲週期為輸出時脈 SOUT 的一個週期 ($1T$) 時，輸出時脈 SOUT 被跳過一個週期會使得第一、第二輸入時脈 S1 與 S2 的時序達到匹配。

步驟 S460，若延遲線路之真實延遲週期與預定延遲週期不匹配時，調整縮放單元之縮放比例。舉例而言，若真實的延遲週期比預設的延遲週期短時，校正單元 50 會提高縮放單元 40 之縮放比例。相反地，若真實的延遲週期比預設的延遲週期長時，校正單元 50 會降低縮放單元 40 之縮放比例。

要注意的是，被跳過之週期的數目係與除頻因數有關。舉例而言，當延遲線路 20 之預設延遲週期為輸出時脈 SOUT 的二個週期 ($2T$) 時，輸出時脈 SOUT 將由數值為 30 之除頻因數變成數值為 28 之除頻因數進行除頻，以便跳過輸出時脈 SOUT 的兩個週期 ($2T$)，依此類推。於此實施例中，校正單元 50 係用以調整縮放單元 40 之縮放比例，使得延遲線路 20 之真實延遲週期為 $2T$ 。

於本發明中，第一輸入時脈 S1 之相位係根據調變信號 MS 進行調變，使得如第 2B 圖與第 3B 圖中所示的輸出時脈 SOUT 之頻率可以(於頻率 f_2 與 f_1 之間)週期性地

變化。換言之，展頻時脈產生器 200 與 300 可以藉由調變鎖相迴路 10 的相位產生展頻時脈信號。再者，當延遲線路無法再延遲輸入時脈時，本發明會跳過幾個輸入時脈的週期，所以只需要具有一個既定延遲週期的延遲線路，因此不需要一個具有無限長度之延遲線路。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟知技藝者，在不脫離本發明之精神和範圍內，當可作些許更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖係為展頻時脈產生器之一實施例之示意圖。

第 2A 圖係為展頻時脈產生器之另一實施例之示意圖。

第 2B 圖係為第 2A 圖所示之展頻時脈產生器之波形示意圖。

第 2C 圖係延遲線路之一實施例之示意圖。

第 3A 圖係為展頻時脈產生器之另一實施例之示意圖。

第 3B 圖係為第 3A 圖所示之展頻時脈產生器之波形示意圖。

第 4 圖係為展頻時脈信號之產生方法之流程圖。

【主要元件符號說明】

10：鎖相迴路；

20：延遲線路；

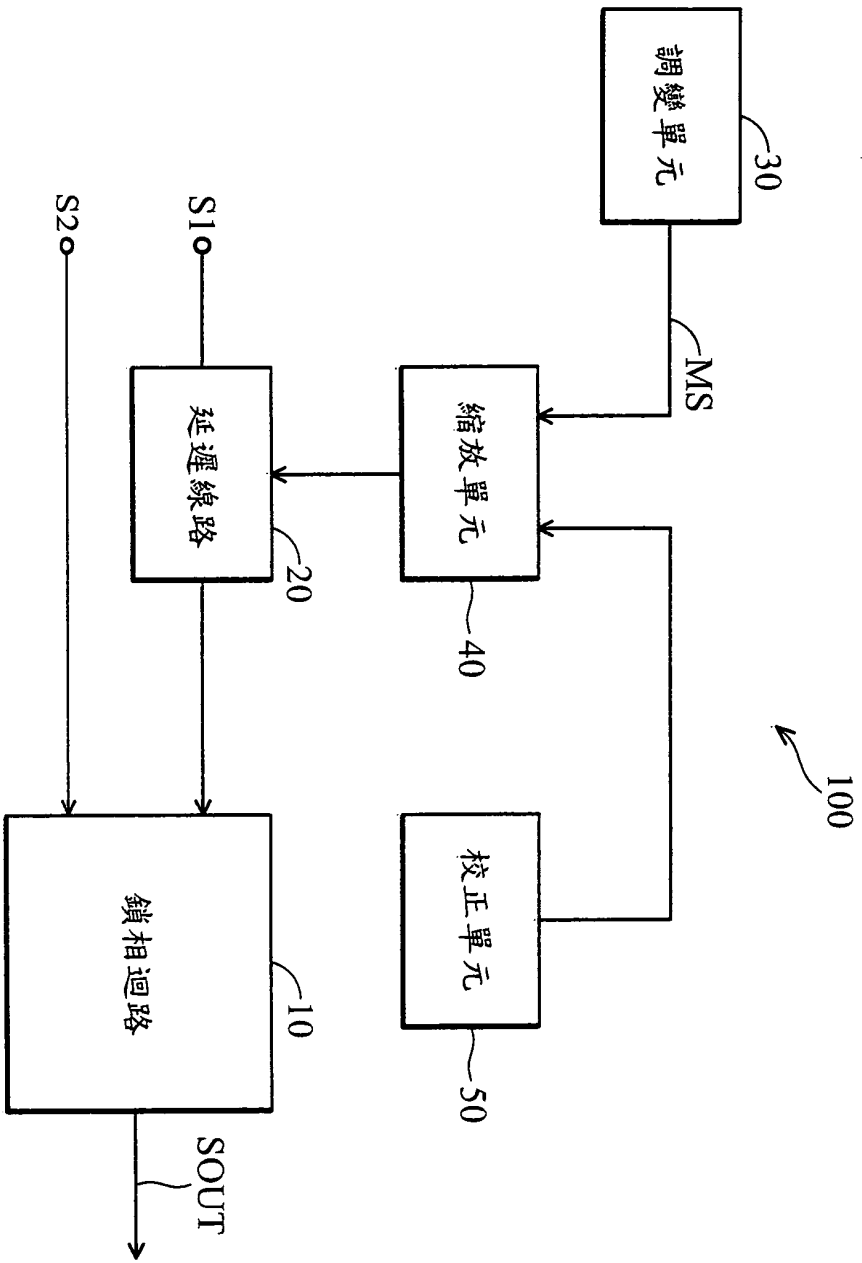
- 30：調變單元；
33：減法器；
38：量化器；
50：校正單元；
70：晶體振盪器；
100、200、300：展頻時脈產生器；
MS：調變信號；
S2：第二輸入時脈；
MS”：縮放後的調變信號；
TH：臨界值；
f1、f2：頻率；
- 32：三角波產生器；
34：積分器；
36、40：縮放單元；
60：除頻器；
S1：第一輸入時脈；
SOUT：輸出時脈；
THC：控制碼；
ST：三角波信號；
IN1、IN2：反相器。

五、中文發明摘要：

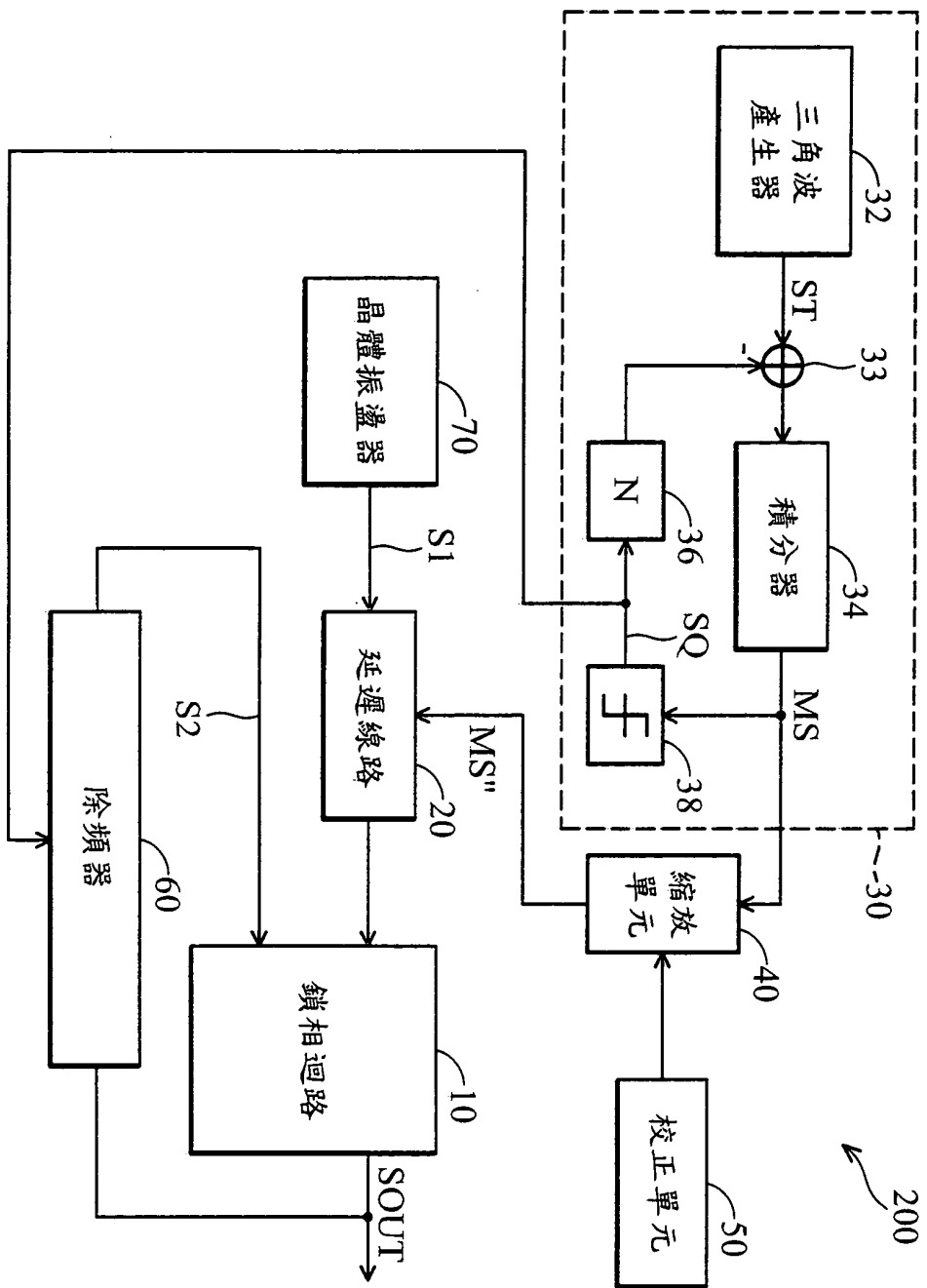
本發明提供了一種時脈產生器、展頻時脈產生器以及展頻時脈信號產生方法。展頻時脈產生器，包括鎖相迴路，用以根據第一、第二輸入時脈，產生輸出時脈；延遲線路，耦接於第一輸入時脈與鎖相迴路之間；以及調變單元，用以提供調變信號控制延遲線路，藉以調變第一輸入時脈之相位，使得鎖相迴路所產生之輸出時脈的頻率產生週期性地變化。

六、英文發明摘要：

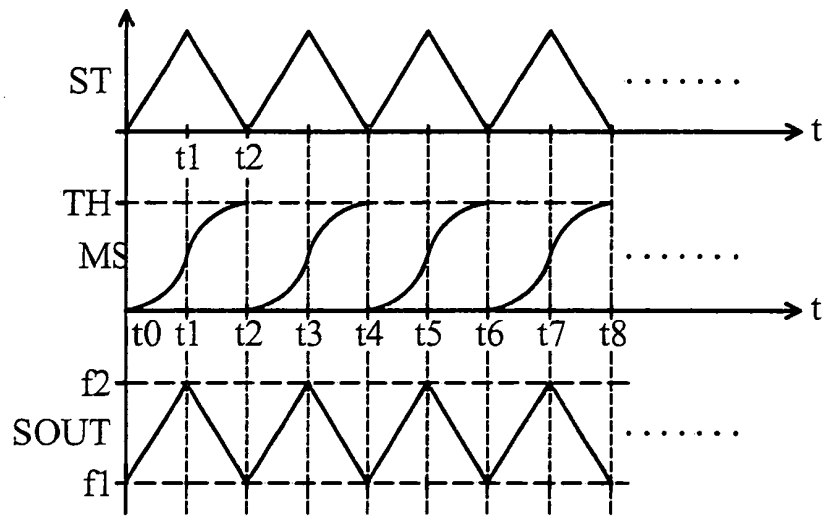
A spread spectrum clock generator is disclosed, in which a phase lock loop generates an output clock according to a first input clock and a second input clock, a delay line is coupled between the first input clock and the phase lock loop. A modulation unit provides a modulation signal to control the delay unit thereby modulating phase of the first input clock, such that frequency of the output clock generated by the phase lock loop varies periodically.



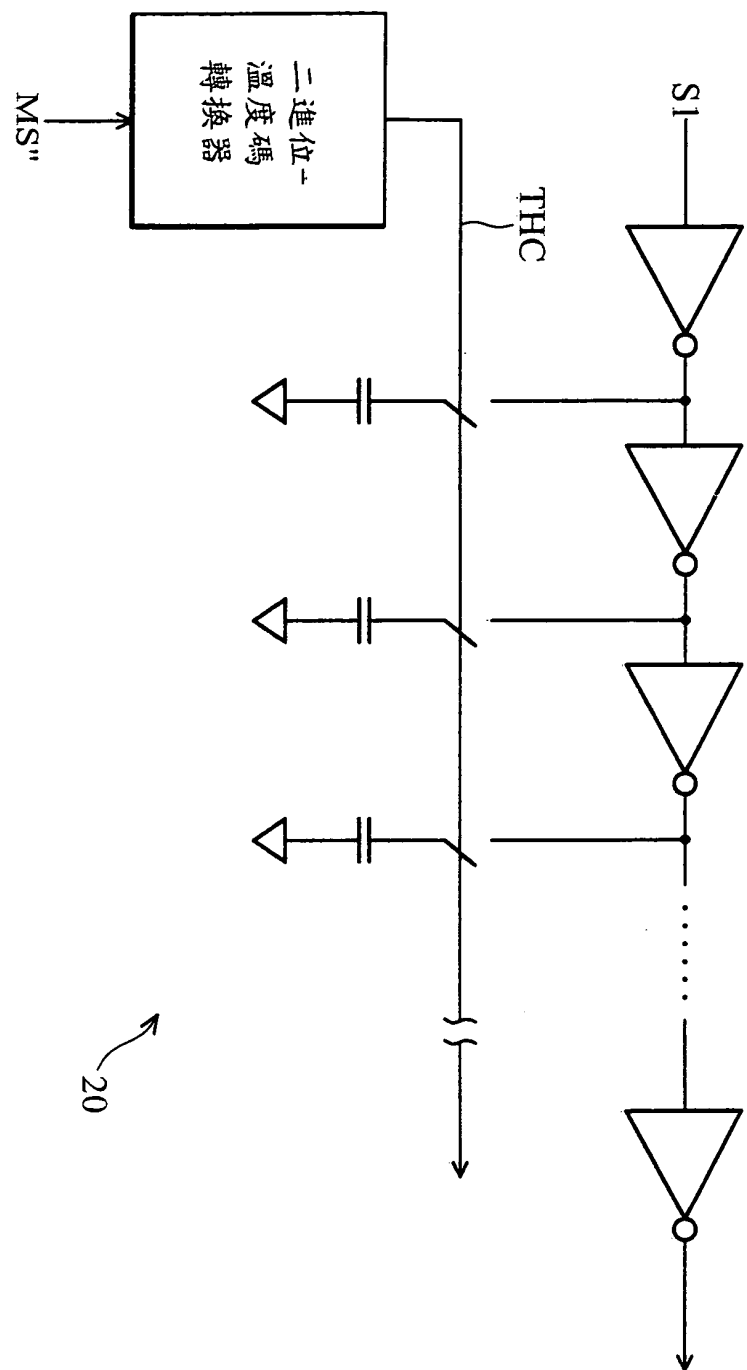
第 1 圖



第2A圖

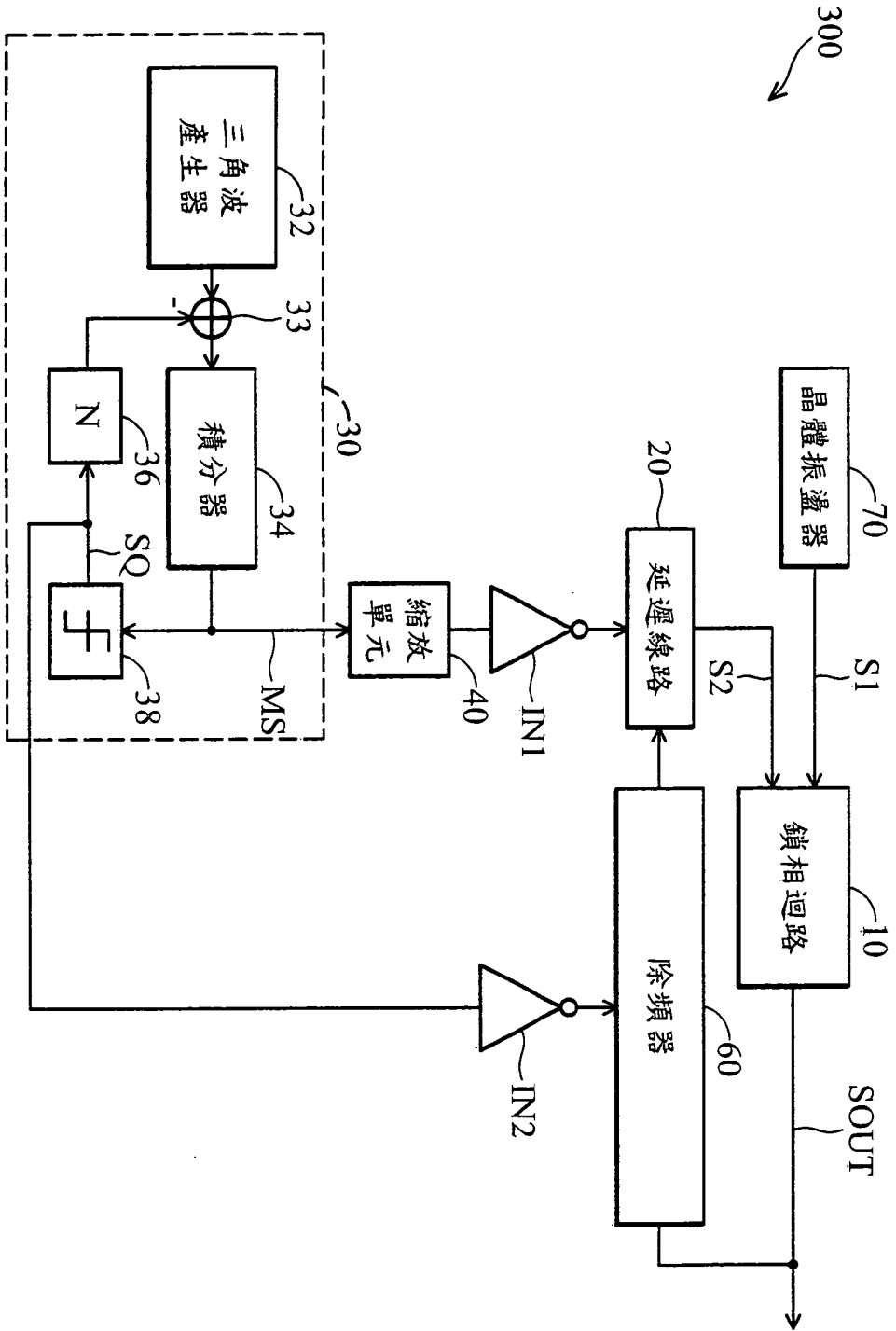


第 2B 圖

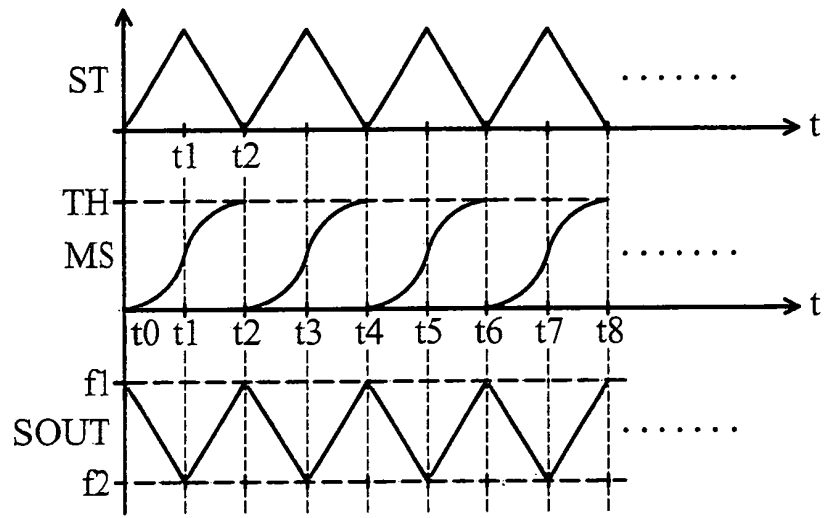


第2C圖

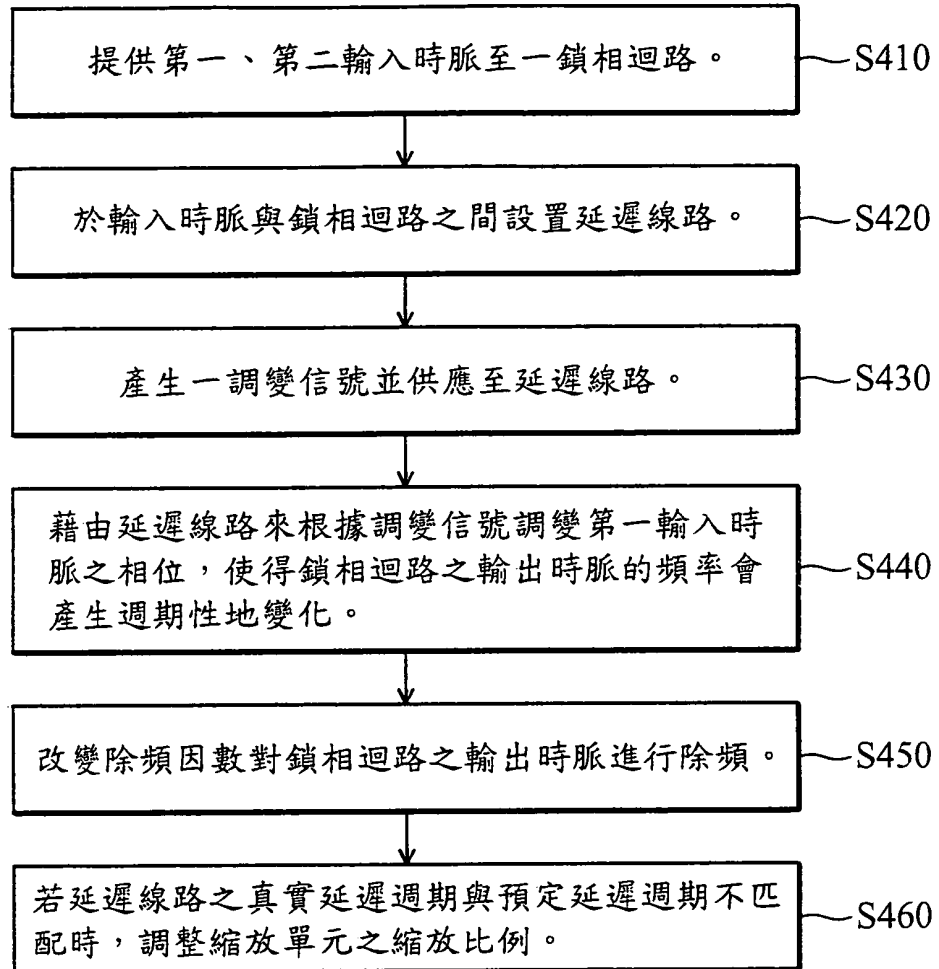
20



第 3A 圖



第 3B 圖



第 4 圖

七、指定代表圖：

(一)本案指定代表圖為：第 1 圖。

(二)本代表圖之元件符號簡單說明：

10：鎖相迴路；	20：延遲線路；
30：調變單元；	40：縮放單元；
50：校正單元；	100：展頻時脈產生器；
MS：調變信號；	S1：第一輸入時脈；
S2：第二輸入時脈；	SOUT：輸出時脈。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

十、申請專利範圍：

1. 一種展頻時脈產生器，包括：

一鎖相迴路，用以根據一第一輸入時脈以及一第二輸入時脈，產生一輸出時脈；

一延遲線路，耦接於該第一輸入時脈與該鎖相迴路之間；

一調變單元，用以提供一調變信號以控制該延遲線路，藉以調變該第一輸入時脈之相位，以使該鎖相迴路所產生之該輸出時脈的頻率週期性地變化；以及

一除頻器，根據該調變信號對該輸出時脈進行除頻。

2. 如申請專利範圍第 1 項所述之展頻時脈產生器，更包括：一縮放單元，用以縮放來自該調變單元之該調變信號，並將縮放後之調變信號輸出至該延遲線路。

3. 如申請專利範圍第 1 項所述之展頻時脈產生器，更包括：

一振盪器，用以提供該第一輸入時脈；以及

該除頻器，用以根據來自該鎖相迴路之該輸出時脈，產生該第二輸入時脈。

4. 如申請專利範圍第 1 項所述之展頻時脈產生器，更包括：

該除頻器，用以根據來自該鎖相迴路之該輸出時脈，產生該第一輸入時脈；以及

一振盪器，用以提供該第二輸入時脈。

5. 如申請專利範圍第 2 項所述之展頻時脈產生器，更

包括：一校正單元，用以調整該縮放單元之一縮放比例。

6.如申請專利範圍第 1 項所述之展頻時脈產生器，其中該調變單元包括：

一三角波產生器，用以產生一三角波信號；以及

一積分器，用以對該三角波信號進行積分，以產生該調變信號。

7.如申請專利範圍第 6 項所述之展頻時脈產生器，其中該除頻器根據來自該鎖相迴路之該輸出時脈輸出該第一輸入時脈，其中，該除頻器根據該調變信號並藉由除頻因數 X 或 Y ，對該輸出時脈進行除頻，其中， X 與 Y 皆為整數，並且 $X > Y$ 。

8.如申請專利範圍第 7 項所述之展頻時脈產生器，其中，該調變單元更包括一量化器，用以當該調變信號超出一臨界值時，觸發該除頻器藉由該除頻因數 Y 對來自該鎖相迴路之該輸出時脈進行除頻。

9.一種展頻時脈產生器，包括：

一鎖相迴路，用以根據一第一輸入時脈以及一第二輸入時脈，產生一輸出時脈；

一延遲線路，耦接於該第一輸入時脈與該鎖相迴路之間；

一調變單元，耦接於該延遲線路；

一縮放單元，耦接於該延遲線路與該調變單元之間；

以及

一校正單元，耦接於該縮放單元。

10.如申請專利範圍第 9 項所述之展頻時脈產生器，其中，該調變單元包括：

- 一三角波產生器，用以產生一三角波信號；以及
- 一積分器，耦接於該三角波產生器與該延遲線路之間。

11.如申請專利範圍第 10 項所述之展頻時脈產生器，更包括：

- 一振盪器，用以提供該第一輸入時脈；以及
- 一除頻器，耦接於該第二輸入時脈以及該鎖相迴路之該輸出時脈之間。

12.如申請專利範圍第 10 項所述之展頻時脈產生器，更包括：

- 一除頻器，耦接於該第一輸入時脈以及該鎖相迴路之該輸出時脈之間；以及
- 一振盪器，用以提供該第二輸入時脈。

13.一種展頻時脈信號之產生方法，包括：

提供一調變信號；

根據該調變信號對來自一鎖相迴路之一第一輸入時脈之相位進行調變，以使該鎖相迴路所產生之一輸出時脈的頻率週期性地變化；以及

藉由一除頻器根據該鎖相迴路之該輸出時脈，產生一第二輸入時脈；

其中，該除頻器根據該調變信號對該輸出時脈進行除頻。

14.如申請專利範圍第 13 項所述之展頻時脈信號之產生方法，其中，該第一輸入時脈係藉由一延遲線路根據該調變信號而被調變。

15.如申請專利範圍第 14 項所述之展頻時脈信號之產生方法，更包括：於藉由該延遲線路調變該第一輸入時脈之相位之前，對該調變信號進行縮放。

16.如申請專利範圍第 14 項所述之展頻時脈信號之產生方法，其中，提供該調變信號的步驟包括：

提供一三角波信號；以及

對該三角波信號進行積分，以產生該調變信號。

17.如申請專利範圍第 16 項所述之展頻時脈信號之產生方法，更包括：

提供該第二輸入時脈至該鎖相迴路，其中，該除頻器係根據該調變信號並藉由除頻因數 X 或 Y 對該輸出時脈進行除頻，其中， X 與 Y 皆為整數，並且 $X > Y$ 。

18.如申請專利範圍第 17 項所述之展頻時脈信號之產生方法，更包括：當該調變信號超出一臨界值時，觸發該除頻器藉由該除頻因數 Y 對來自該鎖相迴路之該輸出時脈進行除頻。

19.一種時脈產生器，包括：

一鎖相迴路，用以根據一第一輸入時脈以及一第二輸入時脈，產生一輸出時脈；

一延遲線路，耦接於該第一輸入時脈與該鎖相迴路之間，根據一調變信號調變該第一輸入時脈之相位，藉以控

制該輸出時脈之頻率；以及

一除頻器，根據該調變信號對該輸出時脈進行除頻。

20.如申請專利範圍第 19 項所述之時脈產生器，更包括：

一振盪器，用以提供該第一輸入時脈；以及

該除頻器，用以根據來自該鎖相迴路之該輸出時脈，產生該第二輸入時脈。

21.如申請專利範圍第 20 項所述之時脈產生器，其中，根據該調變信號，該除頻器藉由除頻因數 X 或 Y 選擇性地對來自該鎖相迴路之該輸出時脈進行除頻以產生該第二輸入時脈，其中， X 與 Y 皆為整數，並且 $X > Y$ 。

22.如申請專利範圍第 19 項所述之時脈產生器，其中該除頻器根據來自該鎖相迴路之該輸出時脈，產生該第一輸入時脈；以及

一振盪器，用以提供該第二輸入時脈。

23.如申請專利範圍第 22 項所述之時脈產生器，其中，根據該調變信號，該除頻器藉由除頻因數 X 或 Y 選擇性地對來自該鎖相迴路之該輸出時脈進行除頻，以產生該第一輸入時脈，其中， X 與 Y 皆為整數，並且 $X > Y$ 。

24.一種時脈產生器，包括：

一鎖相迴路，用以根據一第一輸入時脈以及一第二輸入時脈，產生一輸出時脈；

一調變單元，用以根據具有一預設幅度的一輸入信號提供一調變信號；以及

一延遲線路，用以根據該調變信號調變該第一輸入時脈的相位，以使藉由該鎖相迴路產生的輸出時脈的一頻率變化作為該輸入信號之該預設幅度變化。