



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I479569 B

(45)公告日：中華民國 104 (2015) 年 04 月 01 日

(21)申請案號：100109773 (22)申請日：中華民國 100 (2011) 年 03 月 22 日

(51)Int. Cl. : H01L21/31 (2006.01) H01L21/8239(2006.01)

(30)優先權：2010/03/22 美國 12/728,697

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)
美國(72)發明人：拉瑪斯瓦米 D V 尼爾摩 RAMASWAMY, D. V. NIRMAL (IN)；洛克來 馬
修 N ROCKLEIN, MATTHEW N. (US)；柏威爾 海特 BREWER, RHETT (US)

(74)代理人：陳長文

(56)參考文獻：

TW	200518225A	US	2006/0125030A1
US	2007/0108505A1	US	2008/0121969A1
US	2009/0097320A1		

審查人員：許志豪

申請專利範圍項數：36 項 圖式數：8 共 45 頁

(54)名稱

於高K介電環境下電荷儲存材料之強化及所獲得之裝置

FORTIFICATION OF CHARGE-STORING MATERIAL IN HIGH-K DIELECTRIC ENVIRONMENTS
AND RESULTING APPARATUSES

(57)摘要

本發明揭示記憶體、用於形成記憶體單元的系統及方法。一種此類記憶體單元包括電荷儲存節點，其包括隧道介電質上之奈米點及該等奈米點上之保護膜。在另一記憶體單元中，該電荷儲存節點包含包括鈦合金的奈米點。記憶體單元可包括在該保護膜或鈦合金奈米點上之閘極間介電質及在該閘極間介電質上之控制閘極。該保護膜及鈦合金可經組態以保護至少一些該等奈米點而不會在形成該閘極間介電質過程中氣化。

Memories, systems, and methods for forming memory cells are disclosed. One such memory cell includes a charge storage node that includes nanodots over a tunnel dielectric and a protective film over the nanodots. In another memory cell, the charge storage node includes nanodots that include a ruthenium alloy. Memory cells can include an inter-gate dielectric over the protective film or ruthenium alloy nanodots and a control gate over the inter-gate dielectric. The protective film and ruthenium alloy can be configured to protect at least some of the nanodots from vaporizing during formation of the inter-gate dielectric.

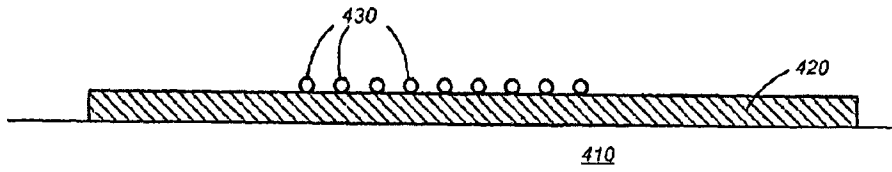


圖 4A

- 400A . . . 記憶體單元
- 400B . . . 記憶體單元
- 410 . . . 基板
- 415 . . . 基板 410 之活性區/記憶體單元 400 之通道區
- 420 . . . 隧道介電質/閘極介電質
- 430 . . . 島狀物/奈米點
- 440 . . . 保護膜
- 450 . . . 閘極間介電質
- 452 . . . 層
- 454 . . . 層
- 456 . . . 層
- 460 . . . 控制閘極
- 490 . . . 源極/汲極區

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 100109773

※ 申請日： 100. 3. 22

※IPC 分類：H01L 21/31 (2006.01)

H01L 21(82) (2006.01)

一、發明名稱：(中文/英文)

於高K介電環境下電荷儲存材料之強化及所獲得之裝置

FORTIFICATION OF CHARGE-STORING MATERIAL IN HIGH-K
DIELECTRIC ENVIRONMENTS AND RESULTING APPARATUSES

二、中文發明摘要：

本發明揭示記憶體、用於形成記憶體單元的系統及方法。一種此類記憶體單元包括電荷儲存節點，其包括隧道介電質上之奈米點及該等奈米點上之保護膜。在另一記憶體單元中，該電荷儲存節點包含包括鈦合金的奈米點。記憶體單元可包括在該保護膜或鈦合金奈米點上之閘極間介電質及在該閘極間介電質上之控制閘極。該保護膜及鈦合金可經組態以保護至少一些該等奈米點而不會在形成該閘極間介電質過程中氣化。

三、英文發明摘要：

Memories, systems, and methods for forming memory cells are disclosed. One such memory cell includes a charge storage node that includes nanodots over a tunnel dielectric and a protective film over the nanodots. In another memory cell, the charge storage node includes nanodots that include a ruthenium alloy. Memory cells can include an inter-gate dielectric over the protective film or ruthenium alloy nanodots and a control gate over the inter-gate dielectric. The protective film and ruthenium alloy can be configured to protect at least some of the nanodots from vaporizing during formation of the inter-gate dielectric.

四、指定代表圖：

(一)本案指定代表圖為：第(4A-4D)圖。

(二)本代表圖之元件符號簡單說明：

400A	記憶體單元
400B	記憶體單元
410	基板
415	基板410之活性區/記憶體單元400之通道區
420	隧道介電質/閘極介電質
430	島狀物/奈米點
440	保護膜
450	閘極間介電質
452	層
454	層
456	層
460	控制閘極
490	源極/汲極區

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明一般係關於積體電路器件，且及更特定言之，係關於在半導體器件中形成電荷儲存結構。

本申請案主張申請日2010年3月22日申請之名為「FORTIFICATION OF CHARGE-STORING MATERIAL IN HIGH-K DIELECTRIC ENVIRONMENTS AND RESULTING APPRATUSES.」之美國專利申請案第12/728,697號之權利。

【先前技術】

積體電路為在稱為基板之常見基座(foundation)上製造之電組件的互連網路。電組件通常製造於充當基板之半導體材料之晶圓上。使用諸如分層、摻雜、遮罩及蝕刻之各種製造技術在晶圓上建造上百萬電阻器、電晶體及其他電組件。隨後將組件用線連接在一起(亦即互連)來界定特定電路，諸如處理器或記憶體器件。

一般希望減小積體電路製造中各種組件之尺寸。尺寸減小一般伴隨成本降低，因為在單個基板上可製造更多器件，且功率需要量有所減少，因為在切換較小組件時所需之功率較小。然而，此尺寸減小並非毫無代價。當積體電路器件變得愈來愈小時，組件之間的電荷洩漏及寄生電容變得愈加成問題。在快閃記憶體器件中可見電荷洩漏及寄生電容之有害影響的實例。

快閃記憶體器件為一種特殊種類之記憶體器件，其已開

發成用於多種電子應用之非揮發性記憶體的通用來源。非揮發性記憶體為可在不應用功率之情況下將記憶體資料保持一段持續時間的記憶體。快閃記憶體器件通常使用允許高記憶密度、高可靠性及低功率消耗之單電晶體記憶體單元。該等單元之臨限電壓經由電荷儲存節點(諸如浮動閘極、截留層或其他物理現象)之程式化所產生的改變決定各單元之資料狀態。藉由與個別資料狀態對應來界定各臨限電壓之兩個或兩個以上之範圍，可將一或多個位元之資訊儲存於各單元中。快閃記憶體及其他非揮發性記憶體之常見用途包括個人電腦、個人數位助理(PDA)、數位攝影機、數位媒體播放機、數位記錄器、遊戲、電氣設備(appliances)、車輛、無線器件、行動電話及可卸除式記憶體模組。非揮發性記憶體之用途繼續擴大為涵蓋更多器件及更大量記憶體。

對於利用浮動閘極記憶體單元之快閃記憶體器件(其中浮動閘極上儲存之電荷含量影響其臨限電壓)，尺寸減小意謂電荷儲存容量變小。若使用相同材料用於不同尺寸之記憶體單元的浮動閘極，則較小記憶體單元將能夠儲存較少電荷。因此，較小記憶體單元相對於較大記憶體單元之可能臨限電壓的差異較小。此外，任何電荷洩漏，諸如應力誘發之閘極洩漏，將對較小記憶體單元之臨限電壓具有較大影響。此外，由於寄生電容耦接至相鄰記憶體單元之浮動閘極，因此可能需要更多容限以避免記憶體單元之資料狀態的誤讀。與較小範圍臨限電壓有關的洩漏及寄生電

容之補償使得愈加難以區分較小記憶體單元之不同資料狀態。

本發明者瞭解因為上述原因，及在閱讀並理解本說明書之後對熟習此項技術者顯而易知的其他原因，在此項技術中在形成積體電路器件時需要另外之結構及其方法。

【發明內容】

本發明之實施例可包括器件及形成該等器件之方法，該等器件包括強化之奈米點，其經保護使之免於由於在奈米點上形成之高k介電質而造成之損傷、氣化或其組合。

在一些實施例中，形成浮動閘極之方法包括在半導體上形成介電質及在部分介電質上形成奈米點以產生形成奈米點之電荷截留區。奈米點經保護膜包覆，該保護膜包含在奈米點及介電質上形成之水基介電質。在保護膜上形成高k介電質。

在其他實施例中，形成電荷截留記憶體單元之方法包括在基板上形成隧道氧化物。藉由在隧道氧化物上形成奈米點及在奈米點及隧道氧化物上形成保護層薄膜而形成浮動電荷截留閘極。在保護層上形成包括基於 O_3 之高k介電質的閘極間介電質，且在閘極間介電質及浮動電荷截留閘極上形成控制閘極。

在其他實施例中，形成電荷截留區之方法包括形成介電質及在介電質上形成鈎奈米點。在高於約 $600^\circ C$ 之溫度下氧化該等鈎奈米點以在鈎奈米點上形成二氧化鈎之塗層。在二氧化鈎塗層及介電質上形成基於 O_3 之高k介電質。

又在其他實施例中，形成浮動閘極之方法包括在半導體上形成介電質及在介電質上形成鈦奈米點。以另一材料摻雜鈦奈米點以至少在鈦奈米點之表面上形成鈦合金且在鈦奈米點及介電質上形成基於 O_3 之高k介電質。

又在其他實施例中，形成浮動閘極之方法包括在半導體上形成介電質及在介電質上以高於所需奈米點密度之奈米點密度形成過多鈦奈米點。在過多鈦奈米點上形成基於 O_3 之高k介電質且在形成基於 O_3 之高k介電質過程中一些鈦奈米點氣化產生所需奈米點密度。

又在其他實施例中，記憶體器件包括記憶體單元之陣列。至少一種記憶體單元包括隧道介電質、在隧道介電質上包含奈米點之電荷儲存節點及在奈米點上之保護膜。至少一種記憶體單元亦包括保護膜上之閘極間介電質及閘極間介電質上之控制閘極。該保護膜經組態以保護至少一些奈米點不會在形成閘極間介電質過程中氣化。

又在其他實施例中，記憶體器件包括記憶體單元之陣列。至少一種記憶體單元包括隧道介電質及在隧道介電質上包含奈米點之電荷儲存節點，其中該等奈米點包含鈦與鋨之合金。至少一種記憶體單元亦包括電荷儲存節點上之閘極間介電質及閘極間介電質上之控制閘極。鈦與鋨之合金係經組態以保護至少一些奈米點不會在形成閘極間介電質過程中氣化。

【實施方式】

在以下圖式中說明本發明之實施例。

在以下實施方式中，參考形成本發明之一部分的隨附圖式，且其中以說明的方式來展示可實踐本發明之特定實施例。此等實施例以充分細節描述以使一般技術者能夠實踐本發明，且應瞭解可使用其他實施例，且在本發明範疇內可進行製程、化學、結構、邏輯及電學改變。

在此描述中，可以方塊圖形式展示電路及功能以便不會使本發明因不必要之細節而含糊不清。此外，除非本文另有規定，否則所展示及描述之特定電路實施例僅為實例，且不應解釋為實施本發明之唯一方式。各種方塊之間的方塊定義及邏輯分割表示特定實施例。一般技術者將顯而易知，本發明可由多個其他分割解決方案來實踐。在極大程度上，已省略關於時序考慮及其類似因素之細節，其中此等細節對充分理解本發明並非必要，且在一般相關技術者之能力以內。

為清楚陳述及描述起見，一些圖式可將信號說明為單一信號。一般技術者將理解，信號可表示信號之匯流排，其中匯流排可具有多種位元寬度，且本發明可實施於包括單一資料信號之任何數目的資料信號上。

術語「晶圓」及「基板」應被理解為基於半導體之材料，包括矽、絕緣體上矽(SOI)或藍寶石上矽(SOS)技術、薄膜電晶體(TFT)技術、摻雜及未摻雜半導體、由基本半導體基座支撐之矽之磊晶層以及其他半導體結構。此外，當在以下描述中提及「晶圓」或「基板」時，可能已使用前述製程步驟在基本半導體結構或基座中或在基本半導體

結構或基座上形成區域或接合。半導體不必基於矽，但可基於矽-鍺、絕緣體上矽、藍寶石上矽、鍺或砷化鎵。此外，方向參考(例如上部、下部、頂部、底部及側面)是彼此間相對的且不必認為是絕對方向。

應瞭解除非明確說明有所限制，否則使用諸如「第一」、「第二」等之名稱對本文之元件的任何提及並不限制彼等元件之數量或順序。更確切而言，本文中可使用此等名稱作為區分兩個或兩個以上元件或元件之例項(instance)的方便方法。因此，提及第一元件及第二元件並不意謂該處僅可使用兩個元件或第一元件必須以某一方式先於第二元件。又，除非另有說明，否則一組元件可包含一或多個元件。

又，注意到可根據描繪為流程框圖、流程圖、結構圖或方塊圖的製程來描述實施例。儘管流程框圖可將操作動作描述為順序過程，但可以另一序列、並行的或實質上同時進行此等動作中之許多者。此外，可重排該等動作之順序。當一過程之動作完成時，該過程終止。

圖1為根據本發明之一實施例作為積體電路器件之一實施例的記憶體器件100之簡化方塊圖，該記憶體器件與作為電子系統之一部分之記憶體存取器件130連通(例如耦接)。電子系統之某些實例包括個人電腦、個人數位助理(PDA)、數位攝影機、數位媒體播放機、數位記錄器、遊戲、電氣設備、車輛、無線器件、蜂巢式電話及其類似物。記憶體存取器件130可為經組態用於存取記憶體器件

的任何器件，諸如記憶體控制器或處理器。

記憶體器件100包括排列成列及行之記憶體單元之陣列104。記憶體器件100、記憶體存取器件130或其組合可包括根據本發明之一實施例形成之電荷儲存結構。在非揮發性記憶體實施例中，記憶體單元之陣列104可包括具有根據本發明之一實施例之電荷儲存節點的記憶體單元。雖然將主要參考NAND記憶體陣列來描述各種實施例，但各種實施例不限於記憶體陣列104之特定架構。適用於本發明實施例之其他陣列架構之一些實例包括NOR陣列、AND陣列及假接地陣列。

提供列解碼電路108及行解碼電路110來解碼位址信號。位址信號經接收及解碼以存取記憶體陣列104。記憶體器件100亦包括輸入/輸出(I/O)控制電路112，其用以管理向記憶體器件100輸入之命令、位址及資料以及自記憶體器件100輸出之資料及狀態資訊。位址暫存器114耦接於I/O控制電路112與列解碼電路108及行解碼電路110之間，且可鎖存位址信號，隨後解碼。命令暫存器124耦接於I/O控制電路112與控制邏輯116之間以鎖存傳入命令。控制邏輯116回應命令來控制對記憶體陣列104之存取並生成記憶體存取器件130之狀態資訊。控制邏輯116回應命令暫存器132之值及控制鏈接132之值來控制列解碼電路108及行解碼電路110。

控制邏輯116可耦接至快取暫存器118。快取暫存器118如由控制邏輯116所引導來鎖存傳入或傳出之資料以便臨

時儲存資料，而記憶體陣列104忙於分別寫入或讀出其他資料。在寫入操作過程中，資料自快取暫存器118傳至資料暫存器120以便轉移至記憶體陣列104。來自I/O控制電路112之新資料可鎖存於快取暫存器118中。在讀取操作過程中，新資料可自資料暫存器120傳至快取暫存器118中。隨後新資料可自快取暫存器118傳至I/O控制電路112以便輸出至記憶體存取器件130。狀態暫存器122耦接於I/O控制電路112與控制邏輯116之間以鎖存用於輸出至記憶體存取器件130的狀態資訊。

記憶體器件100經控制鏈接132自記憶體存取器件130接收控制邏輯116處之控制信號。作為非限制性實例，控制信號可包括晶片賦能CE#、命令鎖存賦能CLE、位址鎖存賦能ALE及寫入賦能WE#。記憶體器件100經多路I/O匯流排134自記憶體存取器件130接收命令(呈命令信號之形式)、位址(呈位址信號之形式)及資料(呈資料信號之形式)，且經I/O匯流排134輸出資料至記憶體存取器件130。

特定言之，可經I/O匯流排134之I/O插腳[7:0]在I/O控制電路112處接收命令並將其寫入命令暫存器124中。可經I/O匯流排134之I/O插腳[7:0]在I/O控制電路112處接收位址並將其寫入位址暫存器114中。可經8位元器件之I/O插腳[7:0]或16位元器件之I/O插腳[15:0]在I/O控制電路112處接收資料並將其寫入快取暫存器118中。隨後將資料寫入資料暫存器120中用於程式化記憶體陣列104。對於另一實施例，可省略快取暫存器118，且可直接將資料寫入資料暫

存器 120 中。又，可經 8 位元器件之 I/O 插腳 [7:0] 或 16 位元器件之 I/O 插腳 [15:0] 輸出資料。熟習此項技術者將瞭解，可提供其他電路及信號，且圖 1 之記憶體器件 100 已經簡化以幫助注意力集中於本發明。

除非本文中明確指示，否則雖然圖 1 已根據接收及輸出各種信號之通用慣例加以描述，但注意到各種實施例並未受描述之特定信號及 I/O 組態限制。

圖 2 為根據本發明之另一實施例，如圖 1 之記憶體陣列 104 中可見之 NAND 記憶體陣列 200 的示意圖。如圖 2 中所示，NAND 記憶體陣列 200 包括存取線 (例如字線) 202₁ 至 202_N 及交叉數位線 (例如位元線) 204₁ 至 204_M。為方便在數位環境中定址，存取線 202 之數目與數位線 204 之數目通常各為 2 的若干次冪。

NAND 記憶體陣列 200 包括 NAND 字串 206_k 至 206_M。各 NAND 字串包括電荷儲存電晶體 208₁ 至 208_N。電荷儲存電晶體 208 表示用於資料儲存之非揮發性記憶體單元。各 NAND 字串 206 之電荷儲存電晶體 208 在源極選擇閘極 210 (例如場效電晶體 (FET)) 與汲極選擇閘極 212 (例如 FET) 之間以源極至汲極之串聯方式連接。

各源極選擇閘極 210 之源極連接至共源極線 216。各源極選擇閘極 210 之汲極連接至相應 NAND 字串 206 之第一電荷儲存電晶體 208 之源極。舉例而言，源極選擇閘極 210₁ 之汲極連接至相應 NAND 字串 206₁ 之電晶體 208₁ 之源極。各源極選擇閘極 210 之控制閘極 220 連接至源極選擇線 214。

若對於指定 NAND 字串 206 使用多個源極選擇閘極 210，則其可在共源極線 216 與 NAND 字串 206 之第一電荷儲存電晶體 208 之間以串聯方式耦接。

各汲極選擇閘極 212 之汲極在汲極接觸點 228 處連接至相應 NAND 字串之數位線 204。舉例而言，汲極選擇閘極 212₁ 之汲極在汲極接觸點 228₁ 處連接至相應 NAND 字串 206₁ 之位元線 204₁。各汲極選擇閘極 212 之源極連接至相應 NAND 字串 206 之最後電荷儲存電晶體 208 之汲極。舉例而言，汲極選擇閘極 212₁ 之源極連接至相應 NAND 字串 206₁ 之電晶體 208_N 之汲極。若對於指定 NAND 字串 206 使用多個汲極選擇閘極 212，則其可在相應數位線 204 與 NAND 字串 206 之最後浮動閘極電晶體 208_N 之間以串聯方式耦接。

電荷儲存電晶體 208 之典型構造包括源極 230 及汲極 232、電荷儲存節點 234 以及控制閘極 236，如圖 2 中所示。可根據本文論述之各種實施例之一或多種來形成電荷儲存電晶體 208。電荷儲存電晶體 208 之控制閘極 236 耦接至存取線 202。電荷儲存電晶體 208 之行係彼等耦接至指定區域數位線 204 之 NAND 字串 206。電荷儲存電晶體 208 之列係彼等通常耦接至指定存取線 202 之電晶體。

圖 3 為根據本發明之另一實施例，如圖 1 之記憶體陣列 104 中可見之 NOR 記憶體陣列 300 的示意圖。NOR 記憶體陣列 300 包括存取線(例如字線)302₁ 至 302_p 及交叉區域數位線 304₁ 至 304_q。為方便在數位環境中定址，存取線 302 之數目與數位線 304 之數目通常各為 2 的若干次冪。區域數位線

304係以多對一關係耦接至全球數位線(未圖示)，諸如線-或組態(wire-or configuration)。

電荷儲存電晶體308係位於存取線302與區域數位線304之每一交叉點處。電荷儲存電晶體308表示用於資料儲存之非揮發性記憶體單元。電荷儲存電晶體308之構造包括源極310及汲極312、電荷儲存節點314以及控制閘極316，如圖3中所示。可根據各種實施例之一或多種來形成電荷儲存電晶體308。

控制閘極316耦接至存取線302之電荷儲存電晶體308通常共用經描繪為陣列源極318的共源極。如圖3中所示，耦接至兩個相鄰存取線302之浮動閘極電晶體308可共用相同陣列源極318。電荷儲存電晶體308之汲極312係耦接至區域數位線304。電荷儲存電晶體308之行包括彼等通常耦接至指定區域數位線304之電晶體。電荷儲存電晶體308之列包括彼等通常耦接至指定存取線302之電晶體。

為減少與高電阻值有關之問題，陣列源極318(例如)可有規則地耦接至金屬或其他高度導電線，從而提供至地面之低電阻路徑。陣列接地(array ground)320充當此低電阻路徑。

圖4A-4D為在形成根據本發明之一或多個實施例的記憶體單元400(在圖4C中描繪為400A且在圖4D中描繪為400B)之各種製程步驟下的橫截面視圖。在諸如基板410之半導體上可形成閘極堆疊。閘極堆疊包括隧道介電質420、電荷儲存節點435、在電荷儲存節點435上之閘極間介電質

450及在閘極間介電質450上之控制閘極460。

對於一個實施例，基板410為單晶矽基板410。用於另一實施例，基板410為p型單晶矽基板410。又在其他實施例中，基板可包括諸如 SiO_2 、 SiON 及多晶矽之材料。

隧道介電質420(亦可稱為閘極介電質)在基板410之活性區(本文中亦稱為通道區)415上形成，在其上將形成記憶體單元。閘極介電質420可藉由熱氧化基板410而形成。或者，閘極介電質420可藉由介電材料之毯覆式沈積(諸如化學氣相沈積(CVD)或物理氣相沈積(PVD))而形成。

閘極介電質420可包含任何適合之組合物或組合物之組合，且可例如包括一或多種二氧化矽及各種釧系氧化物。作為非限制性實例，閘極介電質420可含有二氧化矽(SiO_2)，但或者或另外可包括高K介電質，諸如 HfO_2 、 ZrO_2 、 Al_2O_3 等。一般認為介電常數大於 SiO_2 之介電常數的介電質為高K介電質。可將隧道介電材料形成為約1奈米至約7奈米之相等二氧化矽厚度。

電荷儲存節點435可包括複數個電荷截留材料之不連續島狀物430。電荷儲存節點435可為能夠儲存指示記憶體單元400之資料狀態之電荷的一或多個層。所說明之島狀物430包含導電材料，諸如金屬，但在其他實施例中，至少一些島狀物430可包含電荷截留介電材料。島狀物430可能相當於奈米粒子之奈米晶體(諸如奈米點430)。在極大程度上，本文中島狀物430稱為奈米點430且係指不連續島狀物430。作為非限制性實例，奈米點430之尺寸可能為約15

埃，且奈米點430之間之相對間距為約15埃。雖然在圖4A-4D中以相同尺寸及間距加以說明，但奈米點430可能為各種尺寸並具有各種相對間距。在一些實施例中，奈米點430可能具有之最大截面尺寸為約1奈米至約50奈米。此外，雖然在此描述中注意力集中在不連續島狀物上，但電荷儲存節點435可能包含諸如鈦之材料的半連續或連續層。

此等分離之奈米點430用來儲存電荷，因此可共同地視為記憶體單元中之電荷儲存節點435。對於一些實施例，奈米晶體含有金屬組份。舉例而言，奈米晶體可能由導電金屬氮化物或金屬氧化物形成，諸如導電耐火金屬氮化物或導電耐火金屬氧化物。在一實施例中，奈米晶體為鈦。作為其他實例，奈米晶體可為摻雜半導體(例如經摻雜之Ge或Si)、金屬(例如Ru、Re、Pt)、金屬氮化物(TiN、TaN)、金屬氧化物(例如RuOx)、金屬合金(例如RuAl、RuTi)、金屬合金氮化物(例如三元氮化物，如RuAlN、TaAlN)或鈦稀土組合RuRe(例如鏷)。此等奈米晶體可能由在ALD過程中使用特定前驅體來控制奈米晶體密度而形成。然而，假若所得奈米晶體在塊狀材料內充當電荷儲存位置，則其他分子結構可用於電荷儲存節點435中。

雖然說明為單一層奈米點430，但一般熟習此項技術者將認識到本發明之實施例可包括電荷儲存節點，其包含由介電材料分隔之多層奈米點430。

一般而言，如下文更完全地闡明，奈米晶體結構係由上

部形成有保護膜440之導電材料形成。作為非限制性實例，所形成之保護膜440可塗覆、包覆或囊封奈米晶體結構。

閘極間介電質450(亦可稱為阻斷電介質)可在電荷儲存節點435上形成且其包括介電材料。作為一個實施例，閘極間介電質450含有二氧化矽(SiO_2)，但或者或另外可包括高K介電質，諸如氧化鈦(HfO_2)、氧化鋯(ZrO_2)、氧化鋁(Al_2O_3)、氧化鋁鈦(AlHfO_x)等。

作為非限制性實例，奈米點430可由薄膜(特定言之，約1奈米到約1.2奈米之厚度的膜)之沈積，隨後為電子束蒸發、以嵌埋絕緣體共同濺鍍金屬、脈衝成核及/或模板自組裝形成。作為另一非限制性實例，奈米點430可藉由使用原子層沈積(ALD)且在其形成連續層之前(亦即其時島狀物430呈不連續形式)停止製程來形成。

控制閘極460形成於閘極間介電質450上。控制閘極460一般為一或多層導電材料。作為非限制性實例，控制閘極460可包括導電摻雜多晶矽或多晶矽層上之含金屬層(例如在導電摻雜多晶矽層上形成之耐火金屬矽化物層)。一般公認金屬鉻(Cr)、鈷(Co)、鈦(Hf)、鉬(Mo)、鈮(Nb)、鉭(Ta)、鈦(Ti)、鎢(W)、釩(V)及鋯(Zr)為耐火金屬。作為其他實例，控制閘極460可包括多個含金屬層，例如閘極間介電質450上之氮化鈦(TiN)障壁層、該障壁層上之鈦(Ti)黏著層及該黏著層上之鎢(W)層。

源極區490及汲極區490形成於一般鄰近閘極介電質420

之基板410中或該基板上。記憶體單元400之通道區415係由源極/汲極區490之間的基板410之區域界定。源極/汲極區490一般將具有與基板410之導電型相對之導電型。舉例而言，對於p型基板410，源極/汲極區490可具有n+型導電性。

關於圖4A-4D之總體而言，在圖4A中，展示製程階段之構造，其中隧道介電質420跨越基板410而形成，且奈米點430形成於隧道介電質420上。

在圖4B中，保護膜440形成於奈米點430及介電材料420上，如下文所闡明。

在圖4C中，閘極間介電質450形成於奈米點430及保護膜440上，且控制閘極460形成於閘極間介電質450上。

在圖4D中，閘極間介電質450在奈米點430及保護膜440上形成為多個層452、454及456，如下文更完全地闡明。控制閘極460形成於閘極間介電質450上。

閘極堆疊可經圖案化以界定記憶體器件之存取線(亦即字線)。注意到其他層可形成閘極堆疊，諸如障壁層用以抑制對置層(opposing layer)之間之擴散，或黏著層用以提高對置層之間之黏著性。閘極堆疊之側壁上可形成側壁間隔件以保護側壁且使側壁絕緣。

在本發明之一或多個實施例中，可能必須保護奈米點430使之免於形成閘極間介電質450。舉例而言，奈米點430可形成為釘奈米點430且閘極間介電質450可由以ALD製程形成之高k介電質形成，該ALD製程包括O₃作為前驅

體之一(本文中亦稱為基於 O_3 之高k介電質)。作為非限制性實例，基於 O_3 之高k介電質可為 $HfSiO_x$ 。基於 O_3 之高k介電質形成可與鈦奈米點430反應來形成四氧化鈦(RuO_4)，其可具有極大揮發性。因此，此製程可完全地或部分地氣化奈米點430，其可消除過多奈米點430，使得奈米點430過小或完全移除奈米點430。

為強化鈦奈米點430，或其他易與基於 O_3 之高k介電質形成發生損壞反應的奈米點材料，故可在奈米點430上形成保護膜440。

在一些實施例中，可藉由使鈦奈米點430在諸如約 $600^\circ C$ 之高溫下經受 O_2 預浸來形成保護膜440。在高溫下接觸 O_2 中將形成二氧化鈦(RuO_2)，其比揮發性 RuO_4 更穩定。以 O_2 氧化之後，保護膜440將包括 RuO_2 作為鈦奈米點430之二氧化鈦塗層。 RuO_2 塗層不與基於 O_3 之高k介電質形成具有反應性，且強化鈦奈米點430以防與 O_3 之後續有害反應。在其他實施例中，奈米點可由諸如 $RuHf$ 及 $RuSi$ 之材料形成，其隨後經受高溫下之 O_2 預浸。

在一些實施例中，奈米點可以鈦與諸如鋁之另一材料之合金來形成。 $SrRu$ 合金可較不易由於形成基於 O_3 之高k介電質而受損傷及氣化。合金化之奈米點可經由共同濺鍍PVD、來自 $SrRu$ 靶之PVD、 Ru 及 Sr 之並行PVD、CVD製程、或將 Sr 及 Ru 沈積於表面上以形成奈米點之其他製程來形成。此外， $SrRu$ 奈米點可經氧化產生 $SrRuO_3$ ，其更不易由於形成基於 O_3 之高k介電質而受損傷及氣化。作為另一

非限制性實例，RuSr可以連續之Ru隨後Sr之PVD來形成。

在其他實施例中，並非形成保護膜，釘奈米點430可以較大尺寸、增加之密度或其組合而形成，隨後形成基於O₃之高k介電質。

圖5A-5B為分別在奈米點430上形成高k介電材料之過程之前及之後電荷儲存節點435之奈米點430的簡化平面圖。在圖5A中，展示在閘極介電質420上密度增加之釘奈米點430A以產生相對於所要奈米點密度為過多之奈米點430A。當暴露於所形成之高k介電材料時，一些此等奈米點可氣化或尺寸減小。在圖5B中，展示在一些釘奈米點430A經氣化之後，在閘極介電質420上具有所要奈米點密度之釘奈米點430B。作為非限制性實例，所要奈米點密度可為約 $5E12/cm^2$ 。

在其他實施例中，保護膜440可使用水基高K介電質藉由ALD製程來形成。ALD製程包括在氣相前驅體與基板之間的交替系列之自身限制化學反應，稱為半反應。前驅體以依序方式脈衝至反應器中，在其之間清除前驅體。使用一系列此等脈衝/清除/脈衝/清除循環來形成連續材料層。

圖6A-6D在概念上描繪原子層沈積製程。6A-6D之論述為可適用於形成本文所述之許多層的一般描述，諸如隧道介電質420、電荷儲存節點435、保護膜440及高k介電層。注意並未試圖表示特定分子結構。然而，本發明相關之ALD之概念將藉由圖6A-6D之幫助而清楚。當個別地描述圖6A-6D之每一者時，可參考所有圖6A-6D。

在ALD中，每次將一種氣體前驅體引至安裝於反應器(例如反應腔室)內之基板表面。此氣體前驅體之引入採用各氣體前驅體依序脈衝之形式。在前驅體氣體之脈衝中，使前驅體氣體在短期內流入特定區或區域。在脈衝之間，以氣體(例如惰性氣體)清洗反應腔室、抽空或其組合。欲引入之第一前驅體材料可稱作前驅體，且所引入之下一材料可稱作反應物，但兩種材料均為藉由ALD反應所形成之最終材料的前驅體，因此兩種材料在本文中均稱為前驅體。

在圖6A中，在第一脈衝階段過程中，將第一前驅體645引入反應器中且一部分經化學吸附於基板410之表面上。通常，第一前驅體645經化學吸附於表面之吸附位置650，諸如由於使基板410接觸水蒸汽所獲得之吸附羥基位置。然而，用於產生吸附位置650之表面處理將取決於所選擇之前驅體。反應器隨後經清洗或抽空以移除過量第一前驅體645(亦即並未經化學吸附於吸附位置650上之第一前驅體645)及反應產物655。

如圖6B中所示，經化學吸附之第一前驅體645產生用於ALD製程之後續階段的反應位置660。間距「d」表示受彼等分子之位阻所控制之第一前驅體的相鄰分子之間的最短距離。因此，較大分子不能使用每個可能之吸附位置650。在ALD製程之常見應用中，需要間距d接近沈積膜之原子間間距，藉此使表面飽和，其導致理想的2維逐層生長。因此，在ALD應用之常見情況下，由於獲得非平面度

及緩慢生長速度，因此大的前驅體不合需要。在一些層中(例如電荷儲存節點435)，選擇較大尺寸前驅體，結合適當基板處理以提供適用於所選前驅體的吸附位置650，將利用此等「非理想」之較大前驅體尺寸來幫助促進奈米尺寸「島狀物」之所要之3維生長。然而，不考慮前驅體之分子尺寸，基板410之表面不完整性亦可在所得層中產生不連續性。必要時，典型ALD製程藉由進行多次循環直至形成連續層來克服此等不完整性。

在圖6C中，在第二脈衝階段過程中，將第二前驅體665引入反應器中且一部分在反應位置660與第一前驅體645反應。反應器隨後經清洗或抽空以移除過量第二前驅體665(亦即並未在反應位置660與第一前驅體645反應之第二前驅體665)及反應產物670。

如圖6D中所示，第二前驅體665在反應位置660與第一前驅體645反應之後，在ALD製程之後續循環中形成用於化學吸附其他第一前驅體645之吸附位置675。可多次循環圖6A-6D之階段。然而，根據本發明之一些實施例，且關於形成電荷儲存節點，循環次數可限於不會產生連續膜的次數。

圖7為展示具有在奈米點430上形成保護膜440過程中所涉及之動作的製程700的簡化流程圖。當論述圖7時，亦將參考圖4A-4D。保護膜440可包括許多水基材料，諸如HfO_x、AlO_x及ZrO_x。作為其他非限制性實例，保護膜440可包含ALD，其經形成以包括介電質SiN、SiO₂、用過

氧化氫溶液形成之介電質、用氫溶液形成之介電質、以及用生成之水(H_2/O_2 混合物)系統形成之介電質中的一或多種。為簡單闡明而非限制，圖7之論述將集中於形成水基HfSiO_x作為保護膜440。隨著圖7之論述及對ALD製程之瞭解，一般技術者將瞭解其他保護膜之形成。用作其他保護膜之一些實例材料包括金屬合金、金屬合金次氧化物及金屬合金氧化物，諸如RuSi、RuSiO_x、RuSiO₄、RuHf、RuHfO_x及RuHfO₄。

在操作702中，製備用於ALD製程之基板410。對於形成保護膜440之情況，基板將包括閘極介電質420及奈米點430。在一些實施例中，基板410在製程開始時可包括Hf、Si或H₂O。此外，在其他實施例中，當論述以鈰前驅體起始時，製程可以例如矽開始。

在操作712中，將鈰前驅體脈衝至反應腔室中以在基板410上形成層。在操作714中，自反應腔室中清除鈰前驅體。

在操作722中，將中間前驅體(例如H₂O)脈衝至反應腔室中以在基板410上形成層。在操作724中，自反應腔室中清除中間前驅體。

在操作732中，將含矽前驅體脈衝至反應腔室中以在基板410上形成層。在操作734中，自反應腔室中清除含矽前驅體。

在操作742中，將中間前驅體脈衝至反應腔室中以在基板410上形成層。在操作744中，自反應腔室中清除中間前

驅體。

判定方塊 750 決定是否應應用更多 ALD 循環來獲得保護膜 440 之所要厚度。舉例而言，對於使用水作為氧化劑之 HfSiO_x ，保護膜可具有約 6 埃之標稱厚度，其可相當於約 8 次 ALD 製程循環。對於 HfSiO_x ，保護膜可具有約 2 至 10 埃之範圍。

保護膜 440 可能不具有如彼等基於 O_3 之高 k 介電質般合意之電特性。因此，保護膜 440 可能極薄以使較佳基於 O_3 之高 k 介電質可應用於保護膜 440 上。另一方面，保護膜 440 應足夠厚以強化奈米點 430 以防由於基於 O_3 之高 k 介電質所產生之氣化或損傷。

若保護膜 440 之所要厚度並未達到，則製程繼續另一個 ALD 循環。若保護膜 440 之所要厚度已達到，則製程結束。

一般而言，製程 700 描述以 1:1 比率形成 HfSiO_x 。然而，亦可以其他比率形成，諸如富含 Hf 之比率。在每一清洗操作 (714、724 及 734) 之後之虛線指示製程 700 可在此點返回以產生不為 1:1 之比率。在形成保護膜之後，可形成閘極間介電質 450。此外，此等基於 H_2O 之中間層可具有相對低之品質且在低溫下、降至室溫下生長。隨後，在形成其餘介電質之前，基於 H_2O 之中間層之品質可經由任何數目之製程 (諸如高溫退火及電漿誘發之氮化) 得以改良。改良基於 H_2O 之中間層之氧氣擴散障壁有效性的其他適合處理可包括併入其他氧化劑，諸如氟。

圖8為展示具有在形成包括高k介電材料之閘極間介電質450之過程中所涉及動作之製程800的簡化流程圖。

當論述圖8時，亦將參考圖4A-4D。閘極間介電質450可包括許多高k介電材料，諸如氧化鋯(ZrO)、氮氧化矽鋁($SiAlON$)、氮氧化鋁鈣($AlHfON$)、氮氧化矽鈦($SiTaON$)、氮氧化鋁鈦($AlTaON$)、氮氧化鋯矽($ZrSiON$)、氮氧化鑷矽(例如 $LaSiON$)及氮氧化鑷鋁(例如 $LaAlON$)。展示化學式以說明化合物所包含之元素，而非用以說明元素之化學計算關係。

在操作802中，製備用於ALD製程之基板410。對於形成閘極間介電質450之情況，基板可包括閘極介電質420、奈米點430，及(若存在)保護膜440。

在操作850A中，形成第一基於 O_3 之高k介電質。操作850A及850B一般說明為製程850。製程850以操作852開始。

在操作852中，將鈣前驅體脈衝至反應腔室中以在基板410上形成層。在操作854中，自反應腔室中清除鈣前驅體。

在操作862中，將含氧前驅體(例如 O_3)脈衝至反應腔室中以在基板410上形成層。在操作864中，自反應腔室中清除含氧前驅體。

在操作872中，將含矽前驅體脈衝至反應腔室中以在基板410上形成層。在操作874中，自反應腔室中清除含矽前驅體。

在操作 882 中，將含氧前驅體脈衝至反應腔室中以在基板 410 上形成層。在操作 884 中，自反應腔室中清除含氧前驅體。

判定方塊 890 決定是否應應用更多 ALD 循環來獲得基於 O_3 之高 k 介電質的所要厚度。舉例而言，當閘極間介電質 450 包括第一基於 O_3 之高 k 介電質、中間介電質及第二基於 O_3 之高 k 介電質時，第一基於 O_3 之高 k 介電質的所要厚度可具有約 60 埃之標稱厚度，且在約 10 至 100 埃範圍內。

若基於 O_3 之高 k 介電質的所要厚度並未達到，則製程繼續另一 ALD 循環。若基於 O_3 之高 k 介電質的所要厚度已達到，則製程 850 結束且控制返回至製程 800。

在一些實施例中，僅有一些閘極間介電質 450 為高 k 介電材料，且其餘介電材料可包括任何適合之介電組合物，諸如二氧化矽。在其他實施例中，閘極間介電質 450 可僅包括高 k 介電材料。因此，閘極間介電質 450 可為如圖 4C 中所說明之單一材料；包括高 k 介電材料及中間介電質(未圖示)之兩層；或包括第一基於 O_3 之高 k 介電質、中間介電質及第二基於 O_3 之高 k 介電質的三層。

若中間介電質為所要，則進行操作 820 以在第一高 k 介電質上形成此中間層。中間介電質之所要厚度可具有約 80 埃之標稱厚度，且在約 40 至 150 埃範圍內。

若第二高 k 介電質為所要，則進行操作 850B，其重複製程 850 以形成第二高 k 介電質。第二基於 O_3 之高 k 介電質之所要厚度可具有約 60 埃之標稱厚度，且在約 10 至 100 埃範

圍內。

儘管本發明已參考特殊實施例來描述，但本發明不限於此等所描述之實施例。更確切而言，本發明僅受限於隨附申請專利範圍及其法律等效物。

【圖式簡單說明】

圖1為根據本發明之一實施例的記憶體器件之簡化方塊圖，該記憶體器件耦接至作為電子系統之一部分的處理器；

圖2為如圖1之記憶體陣列中可見之NAND記憶體陣列的簡圖；

圖3為如圖1之記憶體陣列中可見之NOR記憶體陣列的簡圖；

圖4A-4D為在形成根據本發明之一或多個實施例的記憶體單元400過程中在各種製程步驟下之簡化橫截面視圖；

圖5A-5B為分別在奈米點上形成高k介電材料之過程之前及之後電荷儲存節點之奈米點的簡化平面圖；

圖6A-6D在概念上描繪根據本發明之一實施例的原子層沈積製程；

圖7為展示在奈米點上形成保護膜過程中所涉及之動作的簡化流程圖；及

圖8為展示在形成包括高k介電材料之閘極間介電質之過程中所涉及之動作的簡化流程圖。

【主要元件符號說明】

100 記憶體器件

104	記憶體單元之陣列/記憶體陣列
108	列解碼電路
110	行解碼電路
112	輸入/輸出(I/O)控制電路/I/O控制電路
114	位址暫存器
116	控制邏輯
118	快取暫存器
120	資料暫存器
122	狀態暫存器
124	命令暫存器
130	記憶體存取器件
132	控制鏈接
134	I/O匯流排
200	NAND記憶體陣列
202 _I	存取線
202 _N	存取線
204 _I	交叉數位線/位元線
204 _M	交叉數位線/位元線
206 _I	NAND字串
206 _M	NAND字串
208 _I	電荷儲存電晶體/電晶體
208 _N	電荷儲存電晶體/電晶體
210 _I	源極選擇閘極
212 _I	汲極選擇閘極

214	源極選擇線
216	共源極線
220	控制閘極
228 ₁	汲極接觸點
230	源極
232	汲極
234	電荷儲存節點
236	控制閘極
300	NOR記憶體陣列
302 ₁	存取線
302 ₂	存取線
302 _P	存取線
304 ₁	交叉區域數位線
304 ₂	交叉區域數位線
304 ₃	交叉區域數位線
304 _Q	交叉區域數位線
308	電荷儲存電晶體/浮動閘極電晶體
310	源極
312	汲極
314	電荷儲存節點
316	控制閘極
318	陣列源極
320	陣列接地
400A	記憶體單元

400B	記憶體單元
410	基板
415	基板410之活性區/記憶體單元400之通道區
420	隧道介電質/閘極介電質
430	島狀物/奈米點
440	保護膜
450	閘極間介電質
452	層
454	層
456	層
460	控制閘極
490	源極/汲極區
430A	釘奈米點
430B	釘奈米點
435	電荷儲存節點
645	第一前驅體
650	吸附位置
655	反應產物
660	反應位置
665	第二前驅體
670	反應產物
675	吸附位置
d	間距

七、申請專利範圍：

102年9月19日修正對線(本)

1. 一種形成記憶體單元之方法，其包含：
在半導體上形成介電質；
在該介電質上形成電荷截留材料之島狀物；
藉由選自由氧化該島狀物及形成水基介電質所組成之群之方法，在該島狀物上形成包含介電質之保護膜；及
在該保護膜上形成高k介電質。
2. 如請求項1之方法，其中形成電荷截留材料之島狀物包含形成導電材料之島狀物。
3. 如請求項2之方法，其中形成導電材料之島狀物包含形成奈米粒子之奈米晶體，形成奈米粒子之奈米晶體包含形成奈米點，形成奈米點包含形成含有金屬組份之奈米點，形成含有金屬組份之奈米點包含形成由導電金屬氮化物、金屬氧化物、金屬、金屬合金或金屬合金氮化物中之至少一種所形成之奈米點。
4. 如請求項1之方法，其中形成該保護膜包含原子層沈積製程，該製程包括介電質SiN、SiO₂、用過氧化氫溶液形成之介電質、用氮溶液形成之介電質、以及用生成之水系統形成之介電質中的一或多種。
5. 如請求項1之方法，其進一步包含形成鈮、銻、銻、鉑、鉑、氮化鈦、氮化鈮、氧化鈮、鈮鈣、鈮矽、鈮鋁合金、鈮鈦合金、氮化鈮鋁、氮化鈮鈣或鈮鈮合金中之至少一種的島狀物。
6. 如請求項1之方法，其中該保護膜包含RuO₂、SrRu、SrO

或 SrRuO_3 。

7. 如請求項1之方法，其中該高k介電質包含基於 O_3 之高k介電質。

8. 如請求項1之方法，其中該高k介電質包含 ZrO 、 SiAlON 、 AlHfON 、 SiTaON 、 AlTaON 、 ZrSiON 、 LaSiON 及 LaAlON 。

9. 如請求項1之方法，其中形成該高k介電質包含：

使用原子層沈積製程形成第一高K層，其包含：

進行原子層沈積循環，該循環包含：

將含鉛前驅體引至含有該半導體之反應器中；

將含氧前驅體引至該反應器中；

將含矽前驅體引至該反應器中；及

將該含氧前驅體引至該反應器中；

其中在該等前驅體之各脈衝之間，各前驅體係經獨立地引入且該反應器係經淨化、抽空或其組合；

以及

重複該進行該原子層沈積循環以形成第一所要厚度。

10. 如請求項9之方法，其進一步包含：

在該第一高K層上形成中間介電質；及

藉由重複該進行該原子層沈積循環以形成第二所要厚度而在該中間介電層上形成第二高K層。

11. 如請求項9之方法，其中：

形成該第一高K層包含形成厚度在約10埃與約100埃之

間的該第一高K層；

形成中間介電質，其包含形成厚度在約40埃與約150埃之間的該中間介電質；

形成該第二高K層包含形成厚度在約40埃與約100埃之間的該第二高K層。

12. 一種形成記憶體單元之方法，其包含：

在基板上形成隧道介電質；

藉由以下步驟在該隧道介電質上形成電荷儲存節點：

在該隧道介電質上形成奈米點；及

藉由選自由氧化該奈米點及形成水基介電質所組成之群之方法，在該等奈米點上形成保護膜；

在該保護膜上形成基於 O_3 之高k閘極間介電質；及

在該閘極間介電質上形成控制閘極。

13. 如請求項12之方法，其進一步包含形成包含鈦、銻、銻、鉑、氮化鈦、氮化鉭、氧化鈦、鈦鋁合金、鈦鉍合金、氮化鈦鋁、氮化鉭鋁或鈦稀土金屬中之至少一種的該等奈米點。

14. 如請求項12之方法，其中該形成該閘極間介電質包含：

在該保護膜上形成第一基於 O_3 之高k介電質；

在該第一基於 O_3 之高k介電質上形成中間介電質；及

在該中間介電質上形成第二基於 O_3 之高k介電質；

其中該控制閘極係形成於該第二基於 O_3 之高k介電質上。

15. 如請求項1或12之方法，其中該形成該保護膜包含原子

層沈積製程，其包含：

進行原子層沈積循環，該循環包含：

將含鉛前驅體引至反應器中；

將水基前驅體引至該反應器中；

將含矽前驅體引至該反應器中；及

將該水基前驅體引至該反應器中；

其中在該等前驅體之各引入之間，各前驅體係經獨立地引入且該反應器係經淨化、抽空或其組合；以及必要時重複該進行該原子層沈積循環以形成該保護膜之所要厚度。

16. 如請求項15之方法，其中重複該進行該原子層沈積循環包含形成所要厚度在約2埃與約10埃之間的該保護膜。

17. 如請求項15之方法，其進一步包含在重複進行高溫退火、氮化製程、改良該保護膜之氧氣擴散障壁特性的製程或改良該保護膜之電荷洩漏障壁特性的製程之後處理該保護膜。

18. 一種形成電荷儲存節點之方法，其包含：

形成介電質；

在該介電質上形成鈦奈米點；

在高於約600°C之溫度下氧化該等鈦奈米點以在該等鈦奈米點上形成二氧化鈦之膜；及

在該二氧化鈦之膜上形成基於 O_3 之高k介電質。

19. 如請求項18之方法，其中該形成該基於 O_3 之高k介電質包含：

使用原子層沈積製程形成第一高K層，其包含：

進行原子層沈積循環，該循環包含：

將含鉛前驅體引至含有包括該電荷儲存節點之半導體的反應器中；

將含氧前驅體引至該反應器中；

將含矽前驅體引至該反應器中；及

將該含氧前驅體引至該反應器中；

其中在該等前驅體之各引入之間，各前驅體係經獨立地引入且該反應器係經淨化、抽空或其組合；

以及

必要時重複該進行該原子層沈積循環以形成該基於 O_3 之高k介電質的所要厚度。

20. 一種形成電荷儲存節點之方法，其包含：

在半導體上形成介電質；

在該介電質上形成鈦奈米點；

以另一材料摻雜該等鈦奈米點以至少在該等鈦奈米點之表面上形成鈦合金；及

在該等鈦奈米點上形成基於 O_3 之高k介電質。

21. 如請求項20之方法，其中該形成該等鈦奈米點及該摻雜該等鈦奈米點包含將鈦與鋇組合以形成SrRu合金化奈米點。

22. 如請求項21之方法，其進一步包含氧化該等SrRu合金化奈米點。

23. 如請求項20之形成層之方法，其中該形成該等鈦奈米點

及該摻雜該等鈦奈米點包含選自由以下組成之群的製程：包括Ru及Sr之CVD製程、Ru及Sr之共同濺鍍PVD、來自SrRu靶之PVD、Ru及Sr之並行PVD、及Ru及Sr之連續PVD。

24. 一種形成電荷儲存節點之方法，其包含：

在半導體上形成介電質；

在該介電質上以高於所要奈米點密度之奈米點密度形成過多鈦奈米點；及

在該等過多鈦奈米點上形成基於 O_3 之高k介電質；

其中在該形成該基於 O_3 之高k介電質過程中一些該等鈦奈米點氣化、尺寸減小或其組合以產生該所要奈米點密度。

25. 如請求項24之方法，其進一步包含在該等鈦奈米點上形成基於 O_3 之保護膜，隨後形成該基於 O_3 之高k介電質。

26. 一種形成電荷儲存節點之方法，其包含：

在半導體上形成介電質；

在該介電質上以高於所要奈米點尺寸之奈米點尺寸形成過多鈦奈米點；及

在該等過多鈦奈米點上形成基於 O_3 之高k介電質；

其中在該形成該基於 O_3 之高k介電質過程中一些該等鈦奈米點氣化、尺寸減小或其組合以產生該所要奈米點尺寸。

27. 一種記憶體器件，其包含：

記憶體單元之陣列，其中該等記憶體單元中之至少一

者包含：

隧道介電質；

電荷儲存節點，其包含在該隧道介電質上之奈米點；

在該等奈米點上之保護膜，該保護膜係選自由水基介電質及該奈米點之氧化所組成之群；

在該保護膜上之閘極間介電質；及

在該閘極間介電質上之控制閘極；

其中該保護膜係經組態以保護至少一些該等奈米點不會在形成該閘極間介電質過程中氣化。

28. 如請求項27之記憶體器件，其中該等奈米點包含鈦且該保護膜包含水基高k介電質。

29. 如請求項27之記憶體器件，其中該等奈米點包含鈦且該保護膜包含二氧化鈦。

30. 如請求項27之記憶體器件，其中該等奈米點包含鈦且該保護膜包括SiN、SiO₂、用過氧化氫形成之介電質及用氮溶液形成之介電質中的至少一者。

31. 如請求項27之記憶體器件，其中該閘極間介電質包含：

在該保護膜上之第一基於O₃之高k介電質；

在該第一基於O₃之高k介電質上之中間介電質；及

在該中間介電質上之第二基於O₃之高k介電質。

32. 一種記憶體器件，其包含：

記憶體單元之陣列，其中該等記憶體單元中之至少一者包含：

隧道介電質；

電荷儲存節點，其包含在該隧道介電質上之奈米點，其中該等奈米點包含鈎與鋨之合金；

在該電荷儲存節點上之閘極間介電質；及

在該閘極間介電質上之控制閘極；

其中該鈎與鋨之合金係經組態以保護至少一些該等奈米點不會在形成該閘極間介電質過程中氣化。

33. 如請求項27或32之記憶體器件，其中該閘極間介電質包含基於 O_3 之高k介電質。
34. 如請求項33之記憶體器件，其中該保護膜包含水基高k介電質。
35. 如請求項32之記憶體器件，其中該等奈米點包含經氧化的鈎與鋨之合金。
36. 如請求項27或32之記憶體器件，其中該記憶體器件係可操作上耦接至作為電子系統之一部分的記憶體存取器件。

八、圖式：

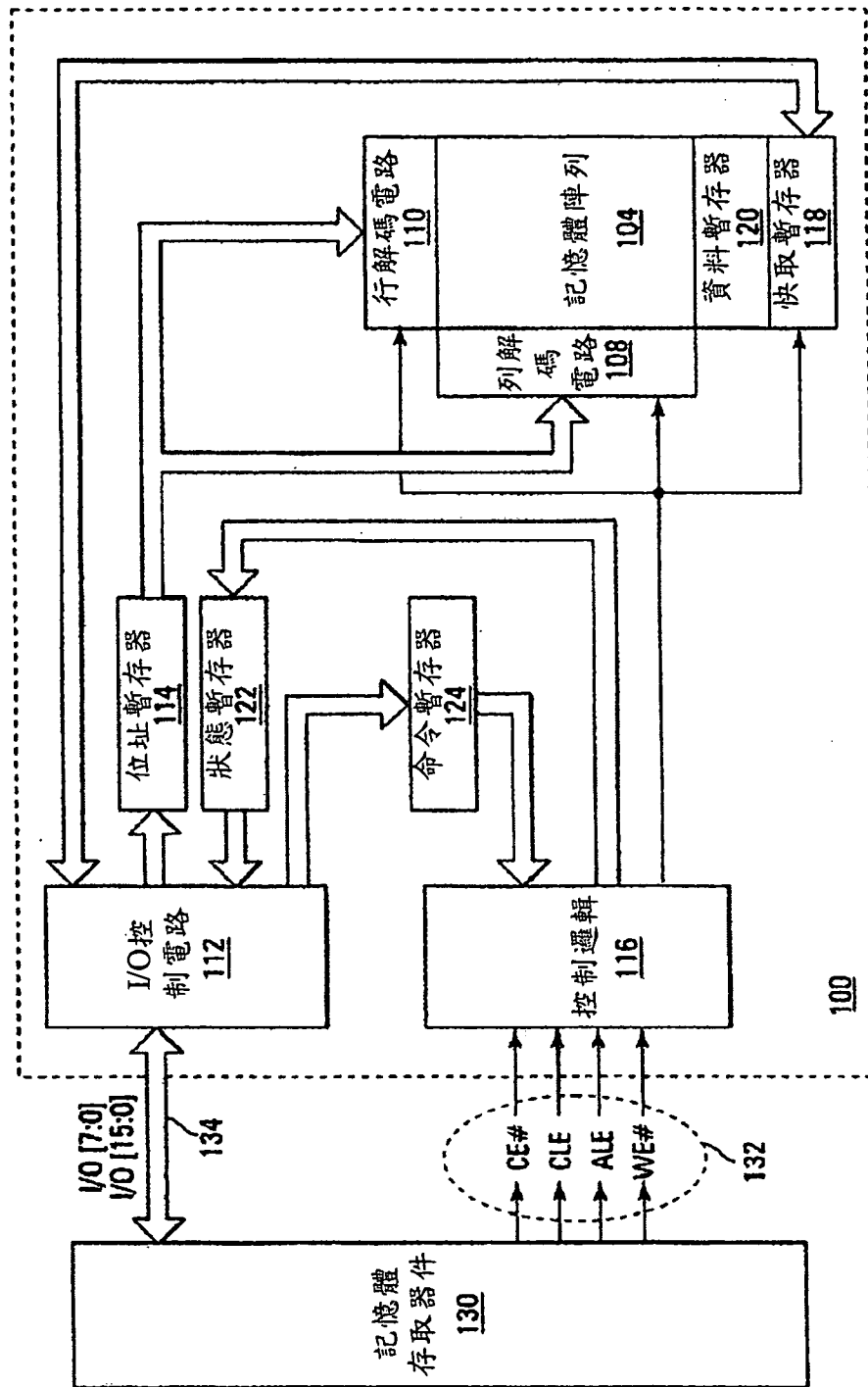


圖1

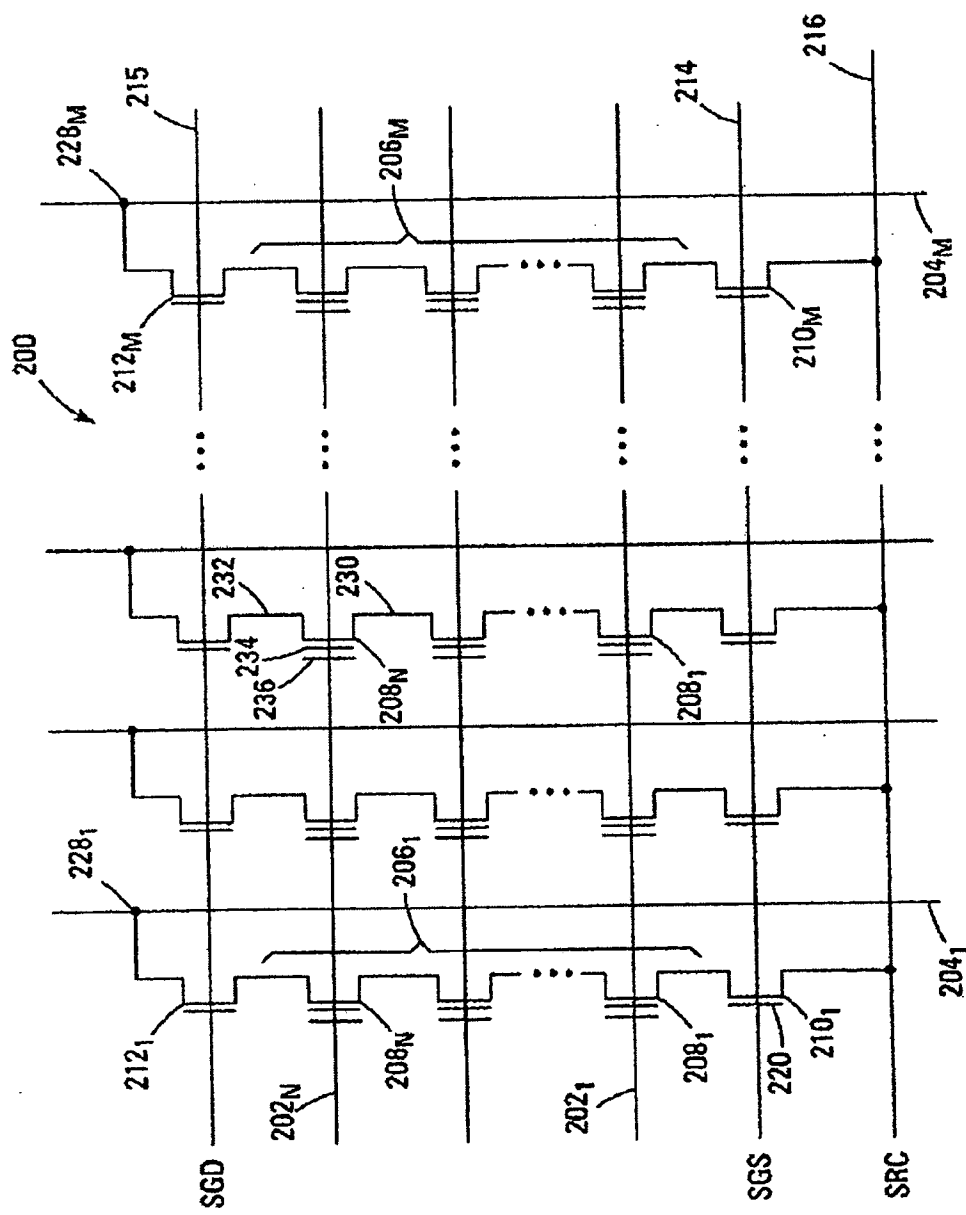


圖2

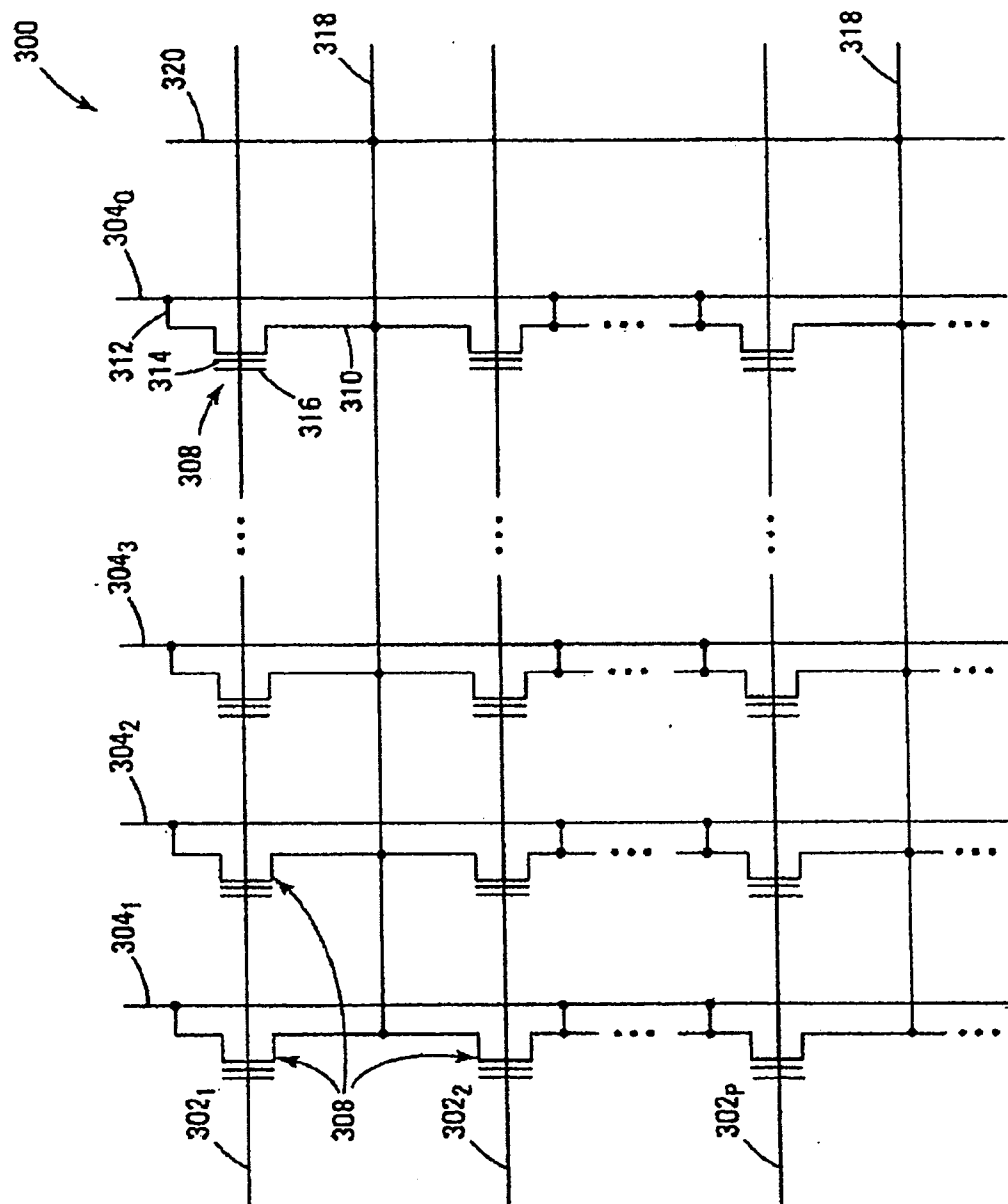


圖 3

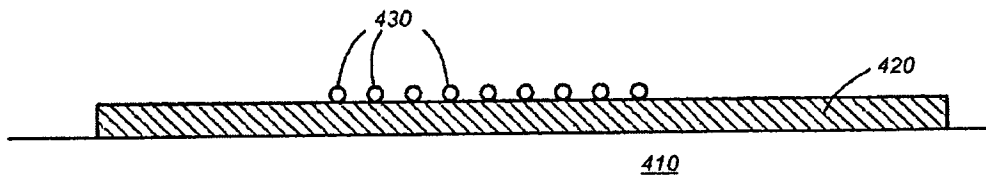


圖 4A

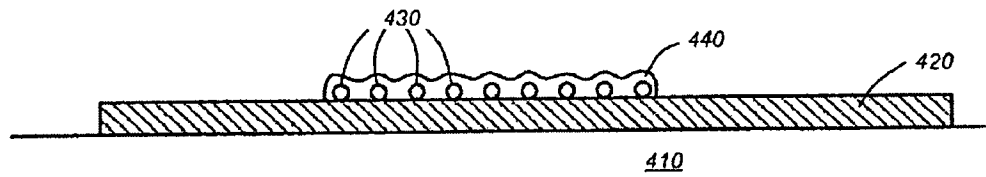


圖 4B

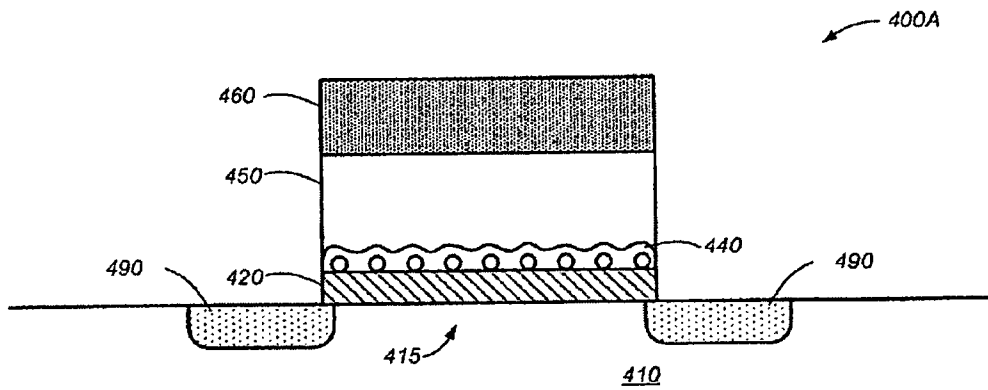


圖 4C

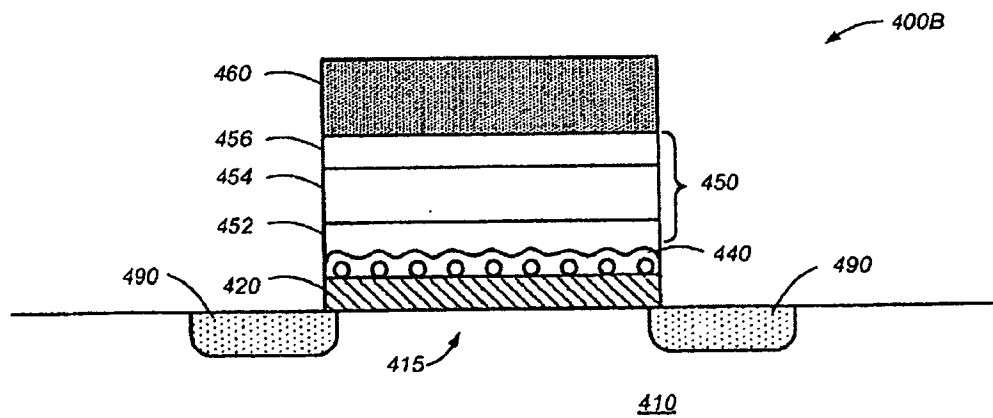


圖 4D

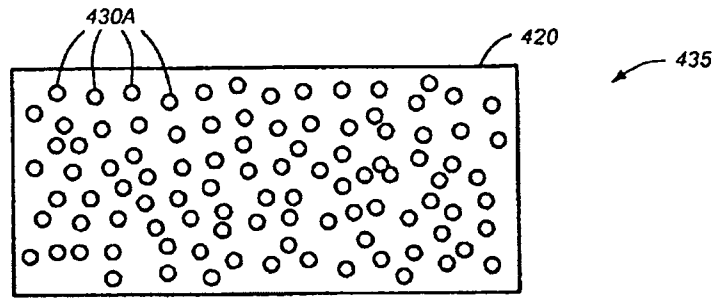


圖 5A

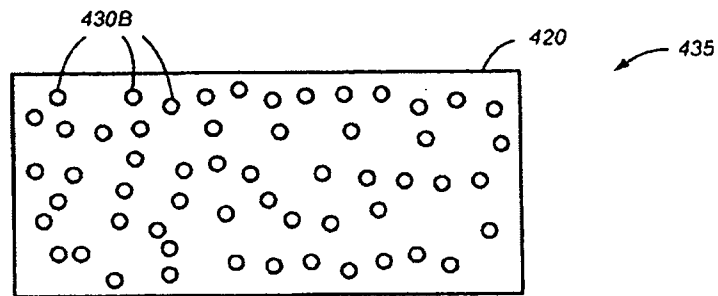


圖 5B

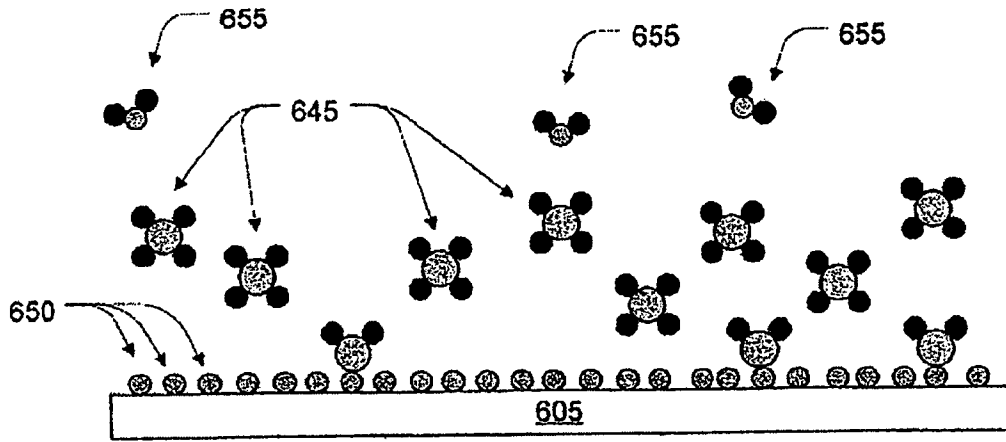


圖 6A

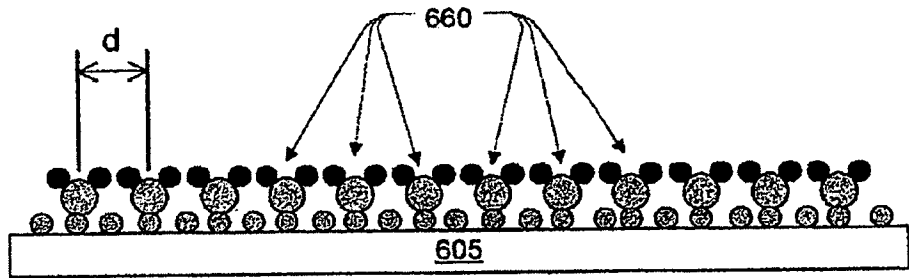


圖 6B

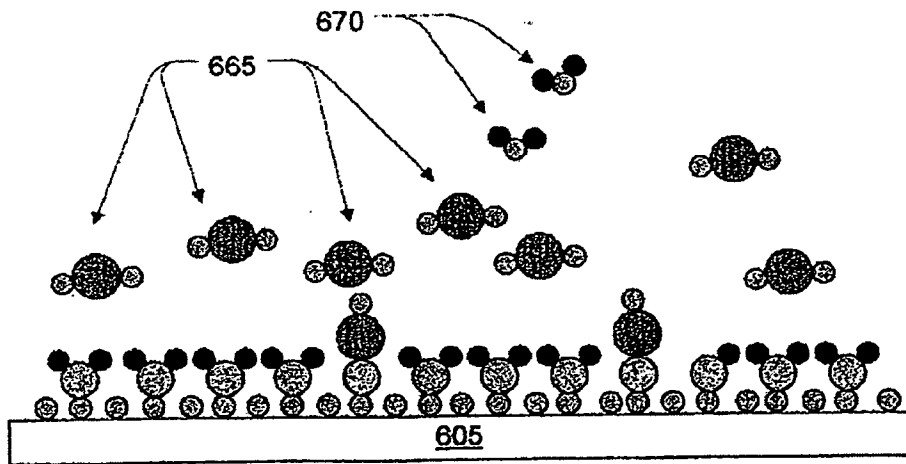


圖 6C

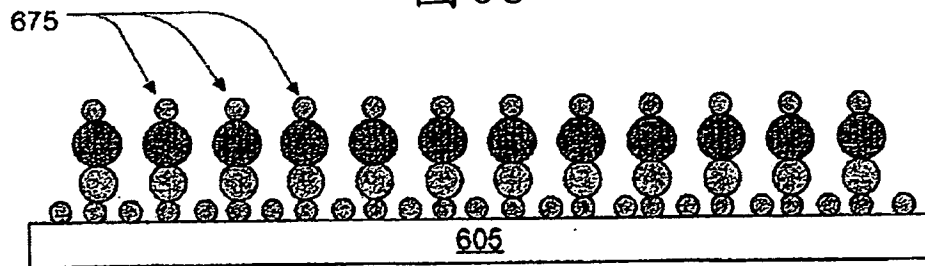


圖 6D

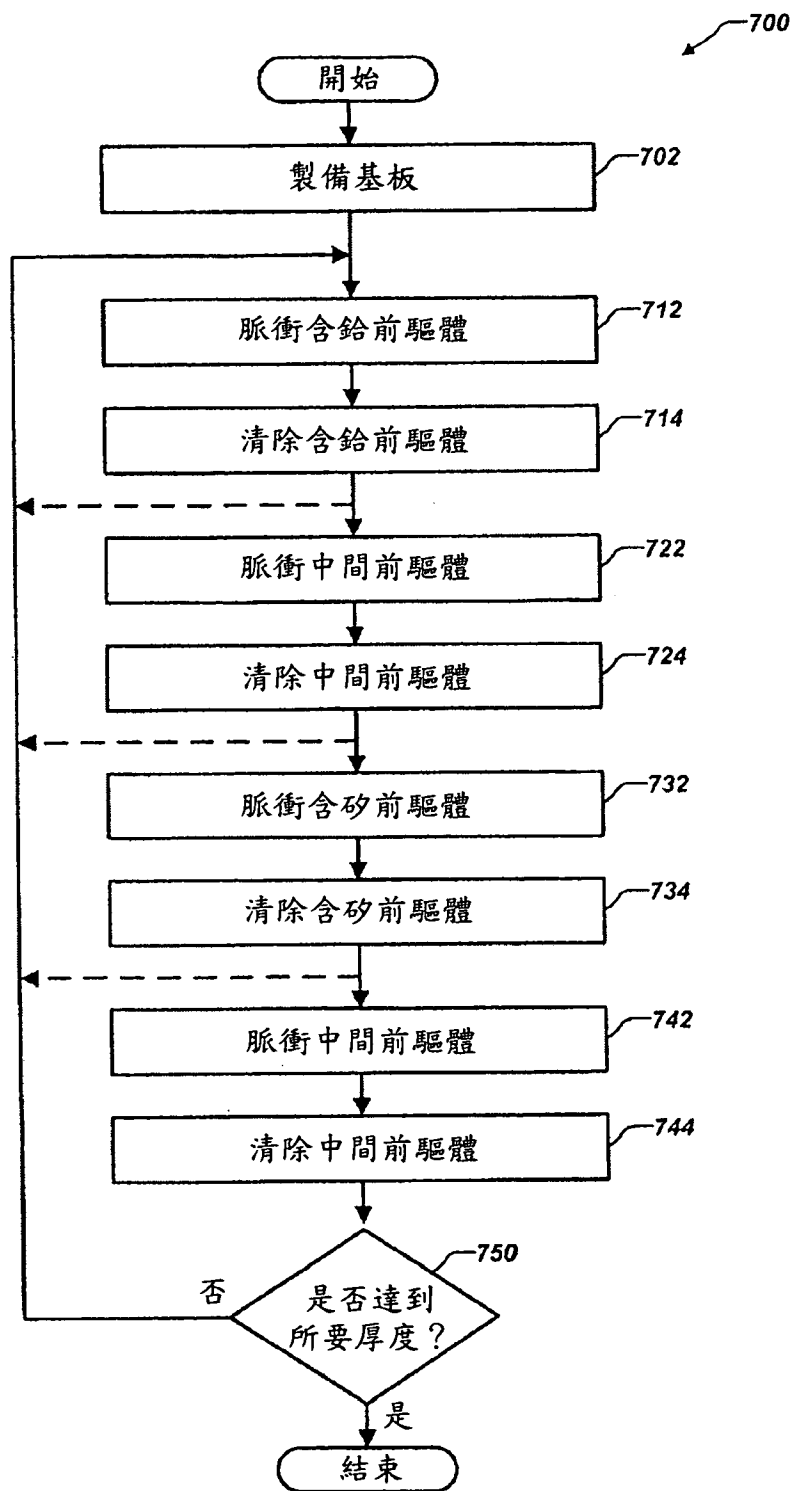


圖 7

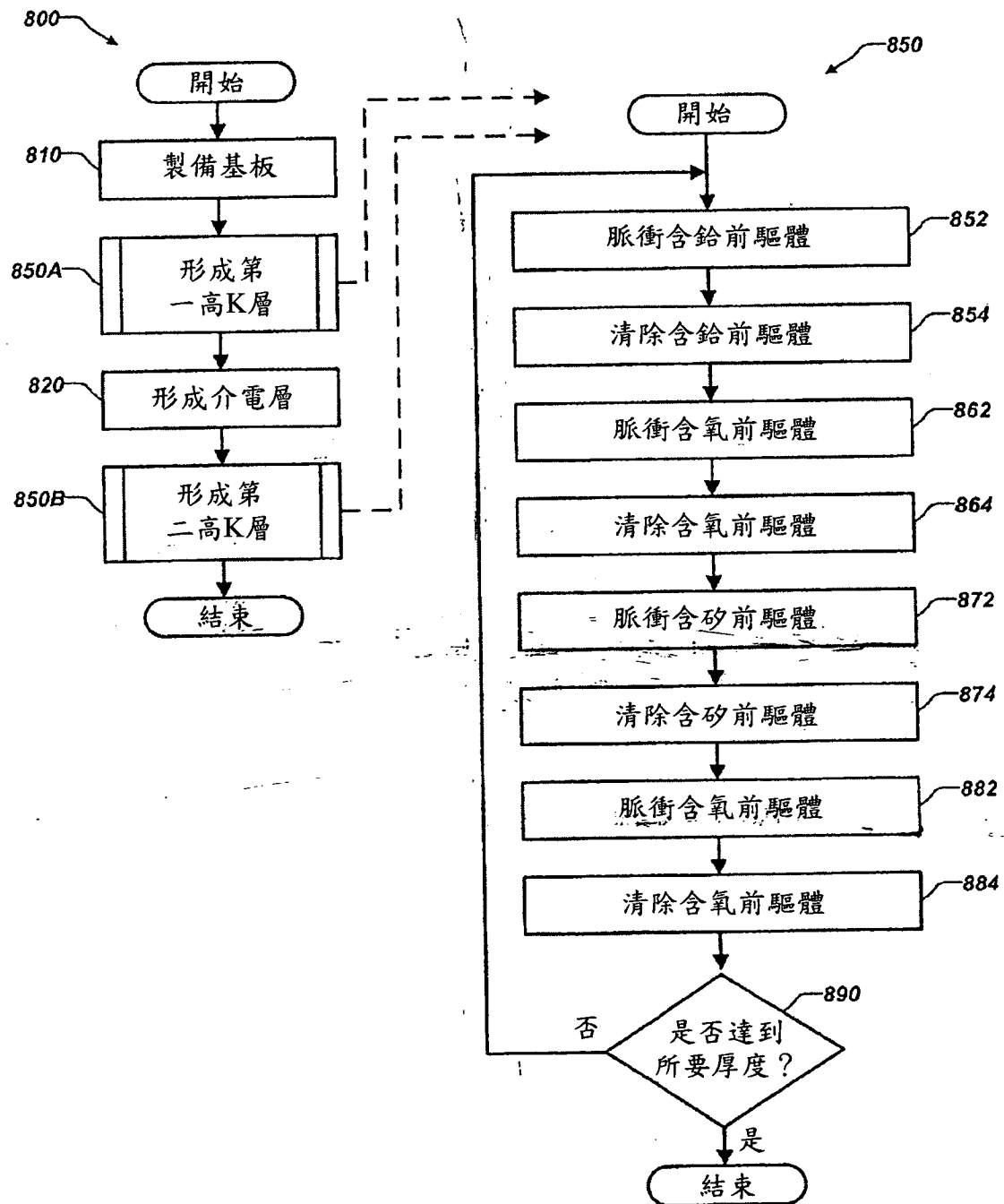


圖8