

(12) 发明专利申请

(10) 申请公布号 CN 102569093 A

(43) 申请公布日 2012. 07. 11

(21) 申请号 201110430576. 8

(22) 申请日 2011. 12. 14

(30) 优先权数据

VI2010A000336 2010. 12. 14 IT

(71) 申请人 意法半导体股份有限公司

地址 意大利阿格拉布里安扎

(72) 发明人 A·伯兹 C·科科瑞斯 G·莫瑞尔

D·雷皮克

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 29/78(2006. 01)

H01L 29/423(2006. 01)

H01L 29/36(2006. 01)

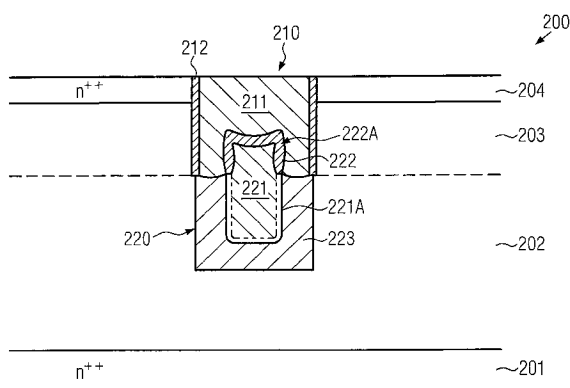
权利要求书 2 页 说明书 10 页 附图 7 页

(54) 发明名称

用于增强 MIS 结构的电绝缘和动态性能的方法和结构

(57) 摘要

本发明的实施例提供一种用于增强包括垂直场平板的 MIS 结构的电绝缘和动态性能的方法和结构。在一种 MIS 结构中,通过使用绝缘氧化物层将场平板电极并入在掩埋栅极电极之下,该绝缘氧化物层与栅极介电层同时形成。为了获得较好的动态性能和增强的介电强度,例如通过加入期望的高浓度的砷修改了场平板电极的氧化性能。



1. 一种用于形成 MIS(金属-绝缘体-半导体)结构的方法,所述方法包括:

在形成于晶状半导体区内的腔中形成第一半导体电极,所述第一半导体电极通过绝缘层与所述晶状半导体区电绝缘,

同时地对所述晶状半导体区在所述腔中的暴露表面和所述第一半导体电极的暴露表面进行氧化,以便在所述第一半导体电极的暴露表面形成第一氧化物层,以及在所述晶状半导体区的暴露表面上形成第二氧化物层,以及

在所述腔中并且在所述第一半导体电极之上形成第二半导体电极,所述第二半导体电极通过所述第一氧化物层与所述第一半导体电极电隔离;

其中形成所述第一半导体电极包括沉积第一含硅层以及在所述含硅层之上沉积第二含硅层,所述第一含硅层相对于所述晶状半导体区在所述腔中的暴露表面具有增加的氧化速率,所述第二含硅层相对于所述含硅层具有不同的氧化速率。

2. 根据权利要求 1 所述的方法,其中,增加第一含硅层相对于所述晶状半导体区在所述腔中的暴露表面的氧化速率包括加入砷掺杂剂种类。

3. 根据权利要求 1 所述的方法,其中,增加第一含硅层相对于所述晶状半导体区在所述腔中的暴露表面的氧化速率包括形成半导体合金。

4. 根据权利要求 3 所述的方法,其中,所述半导体合金包括锗。

5. 根据前述权利要求中任一项所述的方法,其中,执行离子注入工艺来增加所述第一半导体电极的上部部分相对于所述晶状半导体区在所述腔中的暴露表面的氧化速率。

6. 根据权利要求 5 所述的方法,其中,执行砷掺杂剂种类的离子注入工艺来增加所述第一半导体电极的上部部分相对于所述晶状半导体区在所述腔中的暴露表面的氧化速率。

7. 根据权利要求 5 所述的方法,其中,基于非掺杂注入种类执行离子注入工艺,以便在所述第一半导体电极的上部部分中引入晶体损伤,从而增加所述第一半导体电极的上部部分相对于所述晶状半导体区在所述腔中的暴露表面的氧化速率。

8. 根据权利要求 7 所述的方法,其中,所述非掺杂注入种类包括硅、锗、氙与氙中的一种。

9. 一种 MIS(金属-绝缘体-半导体)结构,包括:

形成于晶状半导体区中的腔,

形成在所述腔中以便与所述腔的侧壁电绝缘的第一半导体电极,所述第一半导体电极具有上部半导体部分,

形成在所述腔的一部分中的、在所述第一半导体电极的所述上部半导体部分之上的第二半导体电极,

形成在所述第一半导体电极与所述第二半导体电极之间的第一绝缘层,所述第一绝缘层具有第一平均厚度,以及

形成在所述第二半导体电极与所述腔的所述侧壁之间的第二绝缘层,所述第二绝缘层具有小于所述第一平均厚度的第二平均厚度,以及

其中所述第一半导体电极包括赋予相对于所述晶状半导体区在所述腔中的暴露表面的增加的氧化速率的原子种类,以及

其中所述原子种类被局部地限制到所述第一半导体电极的表面层。

10. 根据权利要求 9 所述的 MIS 结构,其中,所述第一半导体电极包括硅,并且其中所述

原子种类是砷。

11. 根据权利要求9所述的MIS结构,其中,所述第一半导体电极包括硅,并且其中所述原子种类是非掺杂注入种类。

12. 根据权利要求11所述的MIS结构,其中,所述非掺杂注入种类包括锗、铟与镱中的一种。

13. 根据权利要求9至12中任一项所述的MIS结构,其中,所述MIS结构是利用所述第二半导体电极作为栅极电极的垂直晶体管结构。

用于增强 MIS 结构的电绝缘和动态性能的方法和结构

技术领域

[0001] 本发明总体涉及包括基于“垂直”器件架构而形成的 MIS(金属-绝缘体-半导体)结构的半导体器件,在该“垂直”器件架构中,电流可以基于“掩埋”场平板而由电场更有效地进行控制。

背景技术

[0002] 在半导体器件领域中,已经通过减小电路元件的尺度并且改善相关联的工艺技术和工艺工具获得了巨大成功。在半导体技术前沿的临界特征尺寸的不断缩小已经使得制造出极其复杂的集成电路,这些极其复杂的集成电路可以包括以百万计的晶体管元件,这些晶体管元件可以基于极低的电源电压进行操作。在另一方面,材料、工艺技术和工艺工具的发展也已经促进了复杂集成电路的发展,这些复杂集成电路包括诸如晶体管之类的电路元件,这些晶体管基于适度的电压(即,从几伏特到几百伏特)进行操作,并且很可能与包括以非常不同的电势进行操作的电路元件的更复杂的或者较不复杂的控制电路结合以进行操作。在开发包括数目增加的各个电路元件和/或基于高的电源电压进行操作的电路元件的半导体器件过程中,已经应用了多种工艺技术,其中场效应晶体管因场效应器件的某些固有优点已经成为在形成例如非常复杂的数字电路和高功率电路中的经常使用的选择。

[0003] 场效应晶体管包括高度导电的半导体区,该半导体区典型地称为漏极区和源极区,这两个区由沟道区连接,在向位于靠近沟道区处的并且由薄绝缘层与该沟道区隔开的控制电极或者栅极电极施加适当的控制电压后可以在该沟道区中形成导电沟道。栅极电极结构、绝缘层或栅极介电层以及相邻的半导体沟道区因此限定了 MIS(金属-绝缘体-半导体)结构,以便通过可控沟道区在高度导电的漏极区与源极区之间建立受控电流。应当理解,通常,可以以半导体材料的形式而不是如缩写 MIS 结构所指示地那样使用实际的“金属”来提供栅极电极结构。使用高度导电的半导体材料而不是金属可以提供多种优点,例如,栅极电极结构相对于漏极区和源极区的较好的对齐性、在进一步处理期间的显著温度稳定性等方面。因此,在本申请的上下文中,通用的术语“MIS 结构”应当被理解为该术语也包括如下的任何场效应结构,该场效应结构包括基于诸如硅材料等的半导体材料形成的控制电极。

[0004] 当形成将基于高电压进行操作的场效应晶体管时,其中该场效应晶体管可能基于高电压与高驱动电流能力的结合进行操作,典型地,需要实施多个设计概念以便提供具有所述高驱动电流与高电击穿电压的结合的晶体管,同时尽可能地降低晶体管的开关速度。因此,在改善整体晶体管特性方面正在进行巨大努力,其中,在近来的发展中,已经提出了垂直晶体管结构以便获得高击穿电压并同时减小对应的晶体管元件的整体横向尺寸。在典型的垂直晶体管配置中,漏极端子被提供在半导体衬底的一个表面处,而源极端子被提供在半导体材料的相对表面处,以便可以基于衬底材料的厚度来获得在源极区和漏极区之间的在高击穿电压方面所要求的距离,从而与漏极区和源极区被提供在半导体材料的相同表面上的任何平面晶体管配置相比减小了横向尺寸。在垂直晶体管架构中,具有降低的掺杂

浓度的对应的漏极区域（典型地称为漂移区）连接到沟道区，该沟道区基于整体晶体管配置以与源极区和漏极区相比具有相同或者相反的掺杂。例如，在增强型晶体管结构中，源极区和漏极区的导电类型可以相对于沟道区的导电类型相反。因此，源极区、沟道区和包括漂移区的漏极区形成堆叠的“垂直”配置，其中基于需要位于紧密邻近沟道区的控制电极或者栅极电极来进行控制沟道区的导电性。为此，在近来的垂直晶体管架构中，栅极电极可以至少部分地以“掩埋”电极的形式来提供，该“掩埋”电极因而形成于在半导体材料中提供的凹槽或者腔中，其中腔通过在该腔中形成的栅极介电材料而与半导体基底材料电绝缘。通常而言，晶体管配置的动态性能依赖于多个晶体管参数，其中具体地，栅极电极结构与晶体管的漏极端子之间的一般寄生电容可能对所得的开关速度具有显著影响。另一方面，需要保留栅极端子到沟道区的一定程度的电容性耦合，以便提供对在施加适当的控制电压后在沟道区中形成的导电沟道所需的可控性。为此，栅极介电层需要基于例如以二氧化硅材料的形式来提供的给定材料成分具有指定厚度，该指定厚度典型地是到沟道区所需的电容性耦合与期望的高介电强度之间的折衷，这是因为例如与栅极电极结构相比，向漏极区和源极区施加了非常不同的电压。

[0005] 为了改善包括掩埋栅极电极结构的垂直晶体管的动态性能，已经建议通过在实际栅极电极结构之下实施附加的电极结构来降低漏极 - 栅极电容，该附加的电极结构因而可以充当例如通过将栅极电极结构从漏极区的一部分或者漂移区屏蔽来适当地影响电场条件的场平板。例如，附加的电极可以电连接到源极区，并且因而在实际掩埋栅极电极结构的邻近区域中提供确定的电势，从而将漏极 - 栅极电容的一部分“变换”成增加的漏极 - 源极电容。因此，通过在垂直晶体管中提供与掩埋栅极电极结构结合的附加的场平板，可以获得较好的晶体管特性，尽管这是以附加的工艺复杂度为代价。因此，在许多策略中，尝试减小附加的工艺步骤的数目，其中在某些已经得到确认的工艺技术中，将形成栅极介电材料和形成用于将场平板与实际栅极电极结构电绝缘的介电材料层的工艺作为通用的氧化工艺来应用，然而，这可能导致减小的电强度以及在动态性能方面减小的性能增益，正如将参照图 1a- 图 1g 更详细描述的那样。

[0006] 图 1a 示意性地图示了表示垂直晶体管形式的 MIS 结构的基本配置的半导体器件 100 的横截面视图。器件 100 包括如上所述以若干堆叠的半导体区的形式提供的晶状半导体材料。如图所示，第一半导体区 101（其也可以被视为基本半导体衬底的一部分）具有高掺杂浓度，并且充当器件 100 的漏极，在所示出的示例中当器件 100 将要表示增强型 n 沟道晶体管时，该漏极以高度 n 掺杂的硅材料的形式提供。

[0007] 此外，称为漂移区的半导体区 102 具有 n 型导电性，然而与高度掺杂的漏极区 101 相比，其基于显著减小的掺杂浓度。此外，被图示为轻度 p 掺杂区域的沟道区 103 连接到漂移区 102，并且还连接到高度掺杂的源极区 104。应当理解，为了方便起见，在图 1a 中未图示用于连接到漏极区 101 和源极区 104 的任何接触机制 (contact regime)。此外，栅极电极结构 110 以掩埋电极结构的形式提供，并且其包括多晶硅电极材料 111，该多晶硅电极材料 111 通过栅极介电层 112 与沟道区 103 隔开，其中，栅极介电层 112 典型地以二氧化硅材料的形式提供。此外，栅极介电层 112 还将电极材料 111 与高度掺杂的源极区 104 电绝缘。此外，也可以被称为场平板或者场电极的又一电极结构 120 提供在栅极电极结构 110 之下并且部分地与其相邻，其中，适度厚度的诸如二氧化硅材料之类的介电材料 123 将诸如多

晶硅材料之类的电极材料 121 与半导体区 102 电隔离,并且还和电极材料 111 部分地电隔离。此外,诸如二氧化硅层之类的又一介电层 122 将电极材料 121 的延伸进入栅极电极结构 110 的一部分与电极材料 111 电绝缘。此外,在该情况中,用于将场平板 120 连接到任何期望的参考电势的任何附加的互连机制都未在图 1a 中图示,该期望的参考电势诸如通过已知的接触机制连接到源极区 104 的源极电势。类似地,典型地提供了用于连接到栅极电极结构 110 的适当的金属化机制和互连结构,这也未在图 1a 中示出。

[0008] 如图 1a 中示出的器件 100 的基本配置可以产生较好的动态性能,这是由于例如电极结构 120 (即其电极材料 121) 可以将电极材料 111 从漏极电势有效地屏蔽,从而减小漏极 - 栅极电容,并同时增加漏极 - 源极电容。因此,诸如减小的开关时间之类的较好的动态性能可以基于如图 1a 中示出的垂直晶体管配置来实现。然而,提供场平板电极结构 120 要求用于局部地形成电极材料 121 并且还提供介电材料 122 的附加的工艺步骤。具体地,在传统方法中,形成介电材料 122 与形成栅极介电材料 112 的工艺结合,然而,这将导致产生器件故障或者不可靠的介电击穿电压的概率增加,这是由于在普通氧化工艺期间形成介电材料 112、122 之后,针对这些材料所得的层厚可以是具有可比量级的,然而,这可能会导致产生某些器件故障,正如稍后将更详细说明的那样。

[0009] 图 1b 示意性地图示了在早期制造阶段的结构 100 的一部分。如图所示,在器件 100 的晶状半导体材料中形成诸如沟槽或者任何其他几何形状元件之类的腔 105,为方便起见将该晶状半导体材料标示为半导体区 102,这是由于在某些方法中,可能还未提供任何其他半导体区,诸如沟道区 103 和高度掺杂的源极区 104。此外,在晶状半导体材料 102 的任何暴露的表面区域上,形成了绝缘层 123L,并且该绝缘层包括任何适当介电材料,诸如二氧化硅。在用于提供适当的蚀刻掩膜的任何已经得到确认的光刻技术的基础上形成腔 105,光刻掩膜然后可以用于蚀刻进晶状半导体材料 102 中或者用于图形化硬掩膜材料 (未示出),该硬掩膜材料然后继而可以用来蚀刻进晶状半导体材料中。基于对应的蚀刻掩膜,限定了腔 105 的横向位置和尺寸,其中应用基本上各向异性的蚀刻配方可以因此产生腔 105 的期望的横截面形状。用于基于等离子体辅助的蚀刻技术来蚀刻硅材料的适当的蚀刻配方已经在本领域中得到确认。接下来,例如通过沉积和 / 或氧化,例如使用诸如基于适当的前驱物材料的 CVD (化学气相沉积)、氧化配方等之类的已经得到确认的工艺配方形成介电层 123L。选择层 123L 的厚度以使得其符合形成场平板电极结构 120 (对照图 1a) 的介电材料 123 的需求,以便将电极材料 121 (对照图 1a) 与半导体材料 102 适当地隔离。

[0010] 图 1c 示意性地图示了在进一步进行的阶段中的器件 100,其中例如多晶硅材料形式的电极材料的层 121L 沉积在半导体材料 102 之上,并且沉积在腔 105 中。层 121L 可以基于已经得到确认的低压 CVD 技术等来沉积,可能通过在沉积工艺期间加入期望的掺杂剂种类 (诸如磷) 来沉积,以便增强待在层 121L 上形成的栅极电极的导电性。

[0011] 图 1d 示意性地图示了如下情形时的器件 100,即,该器件 100 经历诸如 CMP (化学机械抛光) 工艺、蚀刻工艺等之类的材料去除工艺 106 以便去除层 121L (对照图 1c) 的材料,从而在进一步处理之前提供基本上平面的表面构形。使表面构形平面化可以提供较好的工艺状况并且因此在进一步处理期间 (即,当去除电极材料 121 的又一部分以便限定仍待形成的栅极电极结构的期望高度水平时) 提供较好的工艺控制和效率。

[0012] 图 1e 示意性地图示了当暴露于反应性蚀刻环境 107 时的器件 100,其中如在腔 105

中形成掩埋栅极电极结构所要求的那样,电极材料 121 凹陷在腔 105 内。为此,可以应用任何选择性蚀刻工艺,对这些工艺而言,多种湿法化学蚀刻配方或者等离子体辅助蚀刻配方是可用的。例如,基于湿法化学(诸如,氢氧化钾、四甲基氢氧化铵(TMAH)等),可以相对于二氧化硅有效地选择性去除硅材料,而基于溴化氢等的非常有效的等离子体辅助的蚀刻配方也是可用的。

[0013] 图 1f 示意性地图示了在进一步的后期阶段中的器件 100,其中应用诸如湿法化学蚀刻工艺、等离子体辅助蚀刻工艺或者它们的组合之类的又一材料去除工艺 109,以便去除介电层 123L(对照图 1e)的多余部分,从而使电极材料 121 的一部分暴露。如上所述,电极材料 121 将与仍待形成在腔 105 中的又一电极材料电绝缘。为此,材料 121 的暴露的表面区域需要被介电材料覆盖,而介电材料经常在后续工艺步骤中形成,在该工艺步骤中,还在腔 105 的暴露的侧壁表面区域上形成栅极介电材料。在该情况中,具体地,场平板电极 120 的关键部分(标示为 120C)需要被介电材料可靠地覆盖,以便提供电极结构 120 相对于仍待形成的栅极电极结构所需的介电强度。为此,在电极材料 121 的暴露的表面区域上待形成的介电材料的厚度与如先前讨论地那样将具有特定厚度以便符合整体晶体管需求的栅极介电材料相比应当具有更大的值。尽管一般而言与半导体材料 102 相比,多晶硅材料在某些程度上具有增加的氧化速率,但是很难获得所得的层厚之间的显著的差别。

[0014] 图 1g 示意性地图示了在氧化工艺 108 期间的半导体器件 100,其中栅极介电材料 112 形成在半导体区 102 的暴露的表面区域上,而同时介电材料 122 形成在电极材料 121 的暴露的表面区域上,其中介电材料 122 的平均厚度 122T 可以在某些程度上大于栅极介电材料 112 的平均厚度 112T 但是与其在同一数量级上。具体地,在关键区域 120C 中,诸如在任何角落区域中,局部厚度可以显著地偏离平均厚度 122t,这因此可以导致栅极电极结构 110(对照图 1a)的电极材料与电极材料 121 之间介电强度的降低。此外,相对低的厚度 122t 并且具体地与厚度进一步减小的任何局部区域组合可以造成电容性耦合的增加,这因此可以影响器件 100 的动态性能。

[0015] 由于基本上期望层 122 的厚度增加,以便确保在栅极电极结构 110 与场平板电极结构 120 之间具有与在栅极电极结构 110 与周围半导体区域(诸如仍待形成的源极区)之间获得的击穿电压至少相同的击穿电压,所以已经提出了附加的工艺策略来增加平均厚度 122T。例如,在某些传统方法中,氧化工艺 108 可以被修改以便产生增加的平均厚度 122T,这也可以通过将干法氧化环境与湿法氧化工艺组合来实现,然而这将导致整个氧化工艺的整体下降的可控性,从而也导致对最终获得的栅极介电层 112 的特性控制减少。此外,一般而言,与干法氧化工艺相比,氧化物材料的质量可以降低,从而可能还造成晶体管性能和/或晶体管特性的均匀性的退化。在另一方面,将层 112 与层 122 至少部分地形成为分开的介电材料可能在要求一个或者多个附加的沉积步骤与其他蚀刻工艺等的组合方面导致附加的工艺复杂性,从而造成整体工艺复杂性的显著增加。

发明内容

[0016] 鉴于以上描述的情况,本发明的目的在于提供一种技术和半导体器件,其中掩埋栅极电极结构与场平板电极结构的组合可以具有彼此之间期望的介电隔离,同时避免或者至少降低以上发现的一个或者多个问题的影响。

[0017] 一般而言,本发明提供了一种半导体器件和制造技术,其中电极结构的堆叠配置可以借助于介电材料而彼此分开,该介电材料与将电极结构之一与晶体半导体材料(诸如硅材料)分开的介电材料同时形成。为此,积极增加低洼(lower-lying)电极材料的至少暴露表面部分的氧化速率,以便在基于给定参数执行的氧化工艺期间获得增加的平均厚度,对该给定参数进行选择以便在晶状表面区域上获得具有期望厚度的期望的高质量介电材料。

[0018] 在本发明的一个方面中,提供了一种涉及形成 MIS 结构的方法,其中,该方法包括在形成于晶状半导体区中的腔中形成第一半导体电极,其中该第一半导体电极通过绝缘层与晶状半导体区电绝缘。该方法还包括增加第一半导体电极的表面的至少一部分相对于在腔中的晶状半导体区的暴露表面的氧化速率。附加地,该方法包括同时地对在腔中的晶状半导体区的暴露表面与第一半导体电极的暴露表面进行氧化,以便在晶状半导体区的暴露表面上形成第一氧化物层,以及在第一半导体电极的暴露表面上形成第二氧化物层。最后,该方法包括在腔中并且在第一半导体电极之上形成第二半导体电极,其中第二半导体电极通过第二氧化物层与第一半导体电极电绝缘。

[0019] 因此,根据本发明的方法,腔中的暴露表面区域和可以表示场平板电极材料的半导体电极的暴露表面区域可以具有由积极地增加半导体电极的氧化速率引起的显著不同的氧化速率。为此,可以应用多个有效的机制,诸如通过加入适当的原子种类而增加扩散速率、破坏半导体电极的材料的多晶结构等。因此,形成具有显著不同的平均厚度值的第一氧化物层和第二氧化物层,从而提高第一半导体电极和第二半导体电极之间的介电击穿电压,并且还提供在例如根据 MIS 结构形成类似于晶体管的结构时的较好的动态性能。

[0020] 在又一示例性实施例中,增加氧化速率包括加入砷掺杂剂种类。在该情况中,利用了以下事实,即,例如多晶硅材料形式的高度掺杂的半导体材料与轻度掺杂的或者非掺杂的多晶硅材料相比,可以具有显著增加的氧化速率,从而提供用于选择性地增加第一氧化物层的所得厚度的有效机制。具体地,已知砷是一种可以显著增加多晶硅材料的氧化速率的掺杂剂种类。

[0021] 在又一示例性实施例中,在沉积第一半导体电极的半导体材料之后,至少部分地加入砷掺杂剂种类。以这种方式,可以以高度受控的方式将砷掺杂剂种类加入到第一半导体电极中,而不需要附加的工艺步骤。为此,在对应的沉积工艺的任何适当阶段处,可以以期望的流速供应诸如砷化氢(AsH_3)之类的适当的前驱物材料,从而在第一半导体电极的某一子层中实现对砷种类的浓度的控制。

[0022] 在一个示例性实施例中,沉积第一半导体电极的半导体材料包括:在腔中形成含硅层,并且利用砷掺杂剂种类对含硅层进行在原位掺杂。因此,诸如硅之类的已经得到确认的半导体材料可以与砷掺杂剂种类组合使用,从而基于已经得到确认的硅氧化技术提供期望的高氧化速率,同时附加地,在氧化工艺期间可能未被“消耗”的任何砷种类可以保留在第一半导体电极中,从而增加其导电性。

[0023] 在一个示例性实施例中,通过执行离子注入工艺将砷掺杂剂种类至少部分地加入到第一半导体电极中。以这种方式,可以在任何适当的制造步骤阶段加入砷种类,例如,在以高度可控的方式使第一半导体电极的一部分暴露之后加入砷种类,而不会不适当地增加整体工艺复杂度。也就是说,离子注入工艺是已经在本领域中得到确认的,并且可以在诸如

室温之类的非常不苛刻的工艺条件下执行,从而造成整体工艺时间的略微增加,但是同时可以实现对砷掺杂剂种类进行的非常可控的操作。在某些示例性实施例中,第一半导体电极的至少一部分的原位掺杂可以与离子注入工艺组合,从而更进一步地对增加整体氧化速率的效果进行增强。

[0024] 在又一示例性实施例中,增加氧化速率包括基于非掺杂注入种类执行离子注入工艺,以便在第一半导体电极的一部分中引入晶体损伤。因此,通过应用注入工艺,可以基于可以不对半导体材料的整体电特性产生显著影响的注入种类对多晶体结构进行有效地损伤,或者甚至完全破坏。例如,硅、锗等可以有效地用于产生严重的晶状损伤,其中这些种类由于与第一电极的半导体材料同价而可以被视为非掺杂种类。在其他一些情况中,可以有效地使用其他惰性掺杂剂种类,诸如氘、氙等,以便在适度低的注入剂量下获得期望的高注入损伤。例如,氘可以有效地用于在第一半导体电极的感兴趣的部分中提供基本上不定形的结构,从而还有效地修改在后续氧化工艺期间的氧气扩散行为。在另一方面,所使用的适度低的注入剂量可以不对第一半导体电极的整体导电性产生消极影响。

[0025] 在本发明的又一示例性实施例中,可以通过至少在第一半导体电极的感兴趣的部分中形成半导体合金来增加氧化速率。如所公知的那样,与诸如多晶硅材料之类的基本上纯硅的材料相比,多种半导体合金可以具有显著增加的氧化速率,从而提供用于增加所得的氧化物层的最终获得的厚度的有效机制。例如,适当的种类可以在沉积第一电极的半导体材料期间被加入到沉积气氛中,如果对于第一电极来说持续存在形成合金的种类被视为不适当的话,则至少在初始阶段加入该适当的种类。为此,诸如锗等的种类可以被有效地使用,其中在沉积工艺期间锗种类的浓度和局部分布可以被有效地控制。

[0026] 根据本发明的又一方面,提供了一种 MIS 结构,其包括形成在晶状半导体区中的腔,以及形成在该腔中以便与该腔的侧壁电绝缘的第一半导体电极,其中第一半导体电极具有上部半导体部分。该 MIS 结构还包括形成在腔的部分中的、第一半导体电极的上部半导体部分之上的第二半导体电极。此外,第一绝缘层形成在第一半导体电极和第二半导体电极之间,其中该第一绝缘层具有第一平均厚度,并且包括对上部半导体部分的半导体材料赋予增加的氧化速率的原子种类。附加地,该 MIS 结构包括形成在第二半导体电极和腔的侧壁之间的第二绝缘层,其中,该第二绝缘层具有小于第一平均厚度的第二平均厚度。

[0027] 因此,如上面已经说明的那样,第一半导体电极和第二半导体电极之间增加的绝缘层厚度提供了较好的介电强度,并且还促进了 MIS 结构的动态性能的增益。在某些示例性实施例中,第一半导体电极和第二半导体电极包括硅,其中在某些示例性实施例中原子种类是砷。在某些示例性实施例中,原子种类至少加入到第一半导体电极的下部半导体部分的表面处,或者该表面附近。因此,在该情况中,原子种类不仅可以增强第一半导体电极的上部部分的氧化速率,还可以促进整个第一半导体电极的较好的导电性。

[0028] 在某些示例性实施例中,第一半导体电极可以附加地包括第二掺杂剂种类,诸如磷,该第二掺杂剂种类可以与砷组合提供,从而更进一步地增强第一半导体电极的整体导电性。提供磷可以实现沉积由磷高度原位掺杂的多晶硅材料,而限于特定的层厚度。另一方面,可以按照已经得到确认的原位掺杂沉积技术在表面层中提供砷掺杂剂种类,从而提供第一半导体电极的至少在其表面附近的较好的氧化性能。

[0029] 在一些优选实施例中, MIS 结构表示垂直晶体管配置,其中,第一半导体电极充当

场平板,而第二半导体电极表示晶体管结构的实际的栅极电极。

附图说明

[0030] 图 1a 示意性地图示了现有技术中表示垂直晶体管形式的 MIS 结构的基本配置的半导体器件 100 的横截面视图;

[0031] 图 1b- 图 1g 示意地示出了图 1a 中的半导体器件 100 的各个制造阶段;以及

[0032] 图 2a- 图 2g 示意性地示出了根据本发明的一些示例性实施例的半导体器件 200 的各个制造阶段。

具体实施方式

[0033] 现在将参照图 2a- 图 2g 并且在适当时候还参照图 1a- 图 1f 更详细描述本发明的又一些示例性实施例。

[0034] 图 2a 示意性地图示了 MIS 结构 200 在制造阶段的横截面视图,其中,两个堆叠的半导体电极结构待被合并到半导体区中。MIS 结构 200 可以表示如将参照图 2g 详细描述在场效应晶体管。在所示出的制造阶段,结构 200 包括半导体区 202,其可以是在可以适于形成垂直晶体管结构的衬底之上形成的任何适当的半导体层的一部分,该衬底诸如硅衬底或者任何其他适当的承载材料。应当理解,在图 2a 中未示出对应的衬底。此外,半导体区 202 可以在其中包括任何适当的掺杂剂浓度,以便限定诸如导电类型等的基本特性。此外,半导体区 202 还可以包括相反掺杂的区域,这依赖于实现 MIS 结构 200 所应用的整体工艺策略。例如,在所示出的制造阶段中,半导体区 202 可以包括例如将与适当的掺杂沟道区组合的漏极区和源极区的形式使用的高度掺杂的区,而在其他一些情况中,如在图 2a 中所示,可以在之后的制造阶段中建立任何这种堆叠的掺杂剂配置。半导体区 202 具有形成在其中的任何适当形状的腔 205,例如基于结构 200 的整体特性以一个沟槽的形式或者以可以适当连接的多个沟槽的形式提供腔 205。腔 205 具有适当的横截面形状,以便容纳仍待形成的对应的半导体电极,其中还对腔 205 的深度进行适当地选择,以使其延伸进入到半导体区 202 中,以便提供所需的电流可控性和屏蔽效应,例如如先前参照如在图 1a 中所示的垂直 MIS 晶体管讨论的那样。此外,诸如硅氧化物材料等的绝缘层 223L 形成在半导体区 202 之上以及腔 205 内,其中层 223L 具有任何适当的材料成分和厚度,以便确保期望的场平板的电绝缘,并且可以在与半导体区 202 相关的腔 205 中提供层 223L。

[0035] 应当理解,腔 205 和绝缘层 223L 可以基于任何适当的工艺策略形成,例如如以上同样参照半导体器件 100 讨论的那样。此外,在所示出的实施例中,将器件 200 暴露给沉积工艺 230A,在该工艺中,半导体层 221A 形成在绝缘层 223L 上。例如,材料 221A 可以基本上由硅组成,其可以以多晶硅材料的形式沉积,同时还加入了适当的种类,诸如分别由 231 和 232 标识的掺杂剂种类或者形成合金的种类,从而修改仍待形成的半导体电极在其氧化性能方面的表面特性。在一个示例性实施例中,层 221A 可以基于掺杂剂种类 231 形成,在一个有利的实施例中掺杂剂种类 231 以砷的形式提供。在该情况中,在沉积工艺 230A(在此也称为原位工艺)期间加入适当的掺杂剂浓度,从而在器件 200 的进一步处理期间获得期望的高氧化速率。众所周知,与基本上非掺杂的或者纯多晶硅材料相比加入高的掺杂剂浓度导致显著地修改氧化性能,其中,具体地,已经证明砷非常有效地增加所得的氧化速率。在

所示出的实施例中,层 221A 具有指定的层厚度,该厚度与用于形成掺杂有砷的多晶硅材料的、经过确认的沉积配方兼容,这是由于通常在单个晶片的沉积工艺中,包括高的砷浓度的层 221A 的厚度不可以任意地增加,这例如可以限制在工艺 230A 期间完全填充腔 205 的能力。在该情况中,诸如多晶硅材料之类的又一半导体材料可以在后续制造阶段、例如通过加入不同的掺杂剂种类(诸如磷等)来沉积,以便获得所得的半导体材料的期望高的整体导电性。

[0036] 在其他示例性实施例中,层 221A 被提供为半导体合金,合金被理解为包括至少硅和诸如锗之类的又一种类的混合材料,与基本上纯的多晶硅材料相比,该半导体合金产生显著不同的材料特性。形成合金的种类 232 可以通过适当地选择沉积条件加入到层 221A 中,例如通过在沉积工艺 230A 的任何适当阶段向沉积环境提供适当的前驱物气体。例如,可以基于具有锗浓度高达 35 原子百分比或者甚至更高的、已经得到确认的配方来沉积硅/锗合金,而对层 221A 的厚度没有任何限制。如果将由形成合金的种类 232 引起的氧化速率的显著修改限制到特定表面层,则工艺参数可以适当调节,从而使得仅在初始阶段加入种类 232,同时在沉积工艺的任何适当阶段,可以停止供应含有种类 232 的前驱物气体。此后,可以继续工艺 230A,以便完全地填充腔 205。在其他一些情况中,可以在沉积工艺的进一步进行期间加入降低了浓度的种类 232,或者如果考虑对于整体器件特性的适当性,则可以提供基本上恒定的浓度。例如,与多晶硅材料相比,硅/锗混合可以具有显著更高的导电性,并且因此可以在结构 200 的动态性能方面有利。

[0037] 图 2b 示意性地图示了在进一步进行的制造阶段中的器件 200,其中腔 205 完全由半导体材料填充。在所示出的实施例中,器件 200 包括先前形成的具有任何适当的厚度并且包括修改氧化速率的材料成分的层 221A,层 221A 例如为高砷掺杂剂浓度的形式,该浓度可以近似为 $10^{18}/\text{cm}^3$ 或者更高,同时提供了诸如多晶硅层之类的又一半导体材料层 221L,以便填充腔 205。为此,应用又一沉积工艺 230B,可以基于适当选择的工艺参数来执行该又一沉积工艺 230B,其中还可以加入例如磷形式的又一掺杂剂种类 232,以便适当地调节腔 205 中的半导体材料的整体导电性。如上所述,在其他一些情况中,如果考虑与器件需求兼容或者与还如以上参照图 2a 讨论地用于在腔 205 中沉积半导体材料的需求兼容,则层 221L 可以具有与层 221A 相似的特性,例如在加入到其中的掺杂剂种类的类型、形成合金的种类、掺杂剂浓度等方面。

[0038] 图 2c 示意性地图示了在进一步进行的制造阶段中的器件 200。如图所示,去除了材料层 223L、221A 以及 221L(对照图 2b)的任何多余部分,从而在腔 205 内提供绝缘层 223,其将第一电极 221 的半导体材料与晶体半导体区 202 电隔离。此外,电极 221 的上部部分 221U 可以包括在腔 205 内的暴露表面部分 221S,而下部部分 221B 被介电材料 223 所覆盖。类似地,腔 205 可以包括半导体区 202 的晶状材料的暴露表面区域 202S。还如参照图 1e 和图 1f 所描述的那样,可以基于任何适当的工艺策略获得在图 2c 中示出的器件配置。也就是说,如果期望的话,则可以基于任何适当的平面化工艺通过去除层 221A、221L 的部分来获得平面的表面图形,同时基本上保留层 223L(对照图 2b)。此后,半导体材料可以被蚀刻,以形成电极 221,这可以基于任何适当的蚀刻配方来实现,接下来是去除在腔 205 外部的和一部分在腔 205 内的介电层 223L,以便获得绝缘层 223。因此,在暴露了腔 205 内的上部部分 221U 之后,表面区域 221S 的至少某些可能已经在其中加入了适当的原子种类,诸如砷

等,这可以导致在对器件 200 进行进一步处理期间氧化速率的显著增加。应当理解,如上所述,在其他一些示例性实施例中,对应的增加氧化速率的种类也可以在整个上部部分 221U 上或者甚至在整个材料 221 上提供。

[0039] 图 2d 示意性地图示了当暴露于氧化环境 208 中时的器件 200,其中,半导体区 202 的任何暴露表面区域以及具体地在腔 205 内的侧壁 202S 和表面部分 221S(参照图 2c) 同时被氧化,以便在半导体材料 221 的暴露部分上形成第一氧化物层 222 以及形成也可以被称为栅极介电层的第二氧化物层 212。对氧化工艺 208 的工艺参数进行选择以便获得形成在半导体区 202 的基本晶状材料上的层 212 的期望的平均厚度 212T,从而提供层 212 的较好的材料质量和厚度均匀性,该层 212 可以充当如上所述的栅极介电材料。另一方面,工艺 208 的相同的工艺参数可以导致氧化效率的显著增加,并且因此导致氧化物层 222 的平均层厚 222T 的增加,从而即使在非常关键的区域(诸如任何角等)处也确保较好的电绝缘性,该关键区域已经被标识为介电强度降低的主要来源,如以上参照半导体器件 100 讨论的那样。例如,平均厚度 222T 可以比平均厚度 212T 大至少 25 个百分比或者更多,从而提供较好的介电强度。层的平均厚度可以被理解为在给定数目的代表位置处的层厚之和除以采样数目的值。此外,整体增加的厚度 222T 减小了电极材料 221 与仍待在腔 205 中形成的又一电极材料之间的电容性耦合,从而还增强了器件 200 的动态性能。应当理解,典型地,层 222 至少在材料 221 的侧壁区域处可以因此在其中加入了原子种类,诸如砷、锗等,这导致在氧化工艺 208 期间氧化速率的增加。

[0040] 图 2e 示意性地图示了在进一步进行的制造阶段中的半导体器件 200 的横截面视图。如图所示,第二半导体电极材料 211 形成在腔 205 中,并且因此与第一氧化物层 222 和第二氧化物层 212 接触。半导体材料 211 可以以任何适当的材料的形式提供,诸如多晶硅、硅/锗材料等。为此,还如以上参照半导体器件 100 描述的那样,可以应用任何适当的沉积配方。在对材料 211 进行沉积之后,还如以上讨论的那样,可以例如通过 CMP、蚀刻等去除材料 211 的任何多余部分。因此,由于氧化物层 222 的厚度增加,实现了材料 221 与材料 211 的可靠的电隔离。在另一方面,材料 211 通过层 212 与区 202 的晶状半导体材料适当地隔开,由于特定设计的氧化工艺 208(对照图 2d) 层 212 可以在层厚与材料成分方面具有较好的均匀性。

[0041] 图 2f 示意性地图示了根据又一示例性实施例的半导体器件 200,其中,作为以上描述的工艺步骤的备选或者附加,实施了用于局部地增加半导体材料 221 的氧化速率的又一机制。在所示出的制造阶段中,介电层 223L 形成在半导体区 202 中和腔 205 内,其中,也如以上描述的那样,半导体材料 221 在腔 205 内的高度通过任何适当的蚀刻技术来调整。在某些示例性实施例中,半导体材料 221 可以包括修改氧化速率的种类,例如形式为掺杂剂种类(诸如砷、磷等)和/或形式为形成合金的种类(诸如锗等)。例如,诸如先前参照图 2a 描述的层 221A 之类的含砷层可以被提供在材料 221 中,也如以上讨论的那样,该含砷层很可能与包括较高磷浓度的又一成核材料组合。在其他一些情况中,可以在该制造阶段提供基本上同质成分的适度掺杂的多晶硅材料。此外,器件 200 可以暴露于离子注入工艺 235,以便加入特定注入种类,该特定注入种类可以导致严重的晶体损伤,从而显著地修改在受损伤部分 221D 内的材料 221 的多晶状结构。在某些示例性实施例中,注入种类 235 可以被选择为基本上非掺杂种类,诸如硅、锗等,期望这些种类破坏或者严重损伤多晶状结

构,然而不会显著地修改基本掺杂剂浓度。因此,在工艺 235 期间,部分 221D 被提供为基本上不定形的材料部分,其也可以在进一步处理期间具有显著修改的氧化速率。例如,氩是非常重的原子种类,并且因此即使以适度低的注入剂量提供也会产生显著的损伤,从而使得存在于部分 221D 中的附加的氩种类可以不对整体电特性产生显著影响。

[0042] 在其他一些示例性实施例中,可以基于诸如砷之类的期望的掺杂剂种类应用注入工艺 235,从而以局部限制的方式在部分 221D 中加入期望的掺杂剂种类,而不会受限于当在原地掺杂工艺期间提供砷时的任何与沉积相关的限制。因此,部分 221D 可以适当地“富含”砷种类,同时产生显著的晶体损伤。应当理解,可以基于实验和 / 或模拟计算来容易地建立注入工艺 235 的适当的工艺参数,这是由于离子注入是半导体制造领域中已经得到确认的工艺技术。

[0043] 在注入工艺 235 之后,也如先前讨论的那样,通过去除层 223L 的多余部分来继续进一步的处理,并且随后基于如先前参照图 2d 讨论的氧化工艺(诸如工艺 208)来对所得的结构进行氧化。

[0044] 图 2g 示意性地图示了在进一步进行的制造阶段中的器件 200。如图所示,器件 200 包括半导体区 201,其可以表示结构 200 的漏极区,接着是半导体区 202,其在该制造阶段表示漂移区,接着是沟道区 203 和重掺杂的源极区 204。因此,也如先前参照半导体器件 100 讨论的那样,堆叠的半导体区 201、202、203、204 可以提供垂直晶体管架构的基本配置。此外,将包括半导体材料 211 和栅极介电层 212 的栅极电极结构 210 与包括半导体材料 221、绝缘层 223 和氧化物层 222 的场平板电极结构 220 组合地提供。如在图 2g 中图示的器件 200 可以基于任何适当的工艺策略而形成,例如通过在各种半导体区 201、...、204 中加入适当的掺杂剂浓度和分布来形成,这可以通过离子注入、外延生长技术等来实现,同时电极结构 210、220 可以基于如以上描述的工艺步骤来形成。应当理解,用于连接到场平板电极结构 220 和栅极电极结构 210 的任何接触结构都未在图 2g 中示出。类似地,用于连接到源极区 201 和漏极区 204 的任何接触都未示出,以便不过度地模糊本发明的基本原理。

[0045] 因此,如以上讨论的那样,电极材料 211 和电极材料 221 借助于具有增加的平均厚度的氧化物层 221 彼此适当地隔离,其中层 222 可以至少局部地包括如由 222a 指示的增加氧化速率的种类的特定浓度,增加氧化速率的种类例如为形成合金的形式的形式,如先前讨论的掺杂剂种类(诸如砷)等。此外,半导体材料 221 还可以在其下部部分包括例如由层 221A 指示的增加氧化速率的种类,其可以包括也如先前讨论的砷种类等。在另一方面,也如以上讨论的那样,栅极介电层 212 可以提供整体晶体管特性的较好的均匀性。

[0046] 因此,本发明提供了半导体器件和制造技术,其中,包括栅极电极结构和场平板电极结构的掩埋电极系统的动态性能和电隔离可以得到显著的改善,然而对应的氧化物层可以在通用的氧化工艺中形成。为此,例如在某些示例性的实施例中通过加入砷掺杂剂种类将场平板电极材料的氧化速率适当地增加。

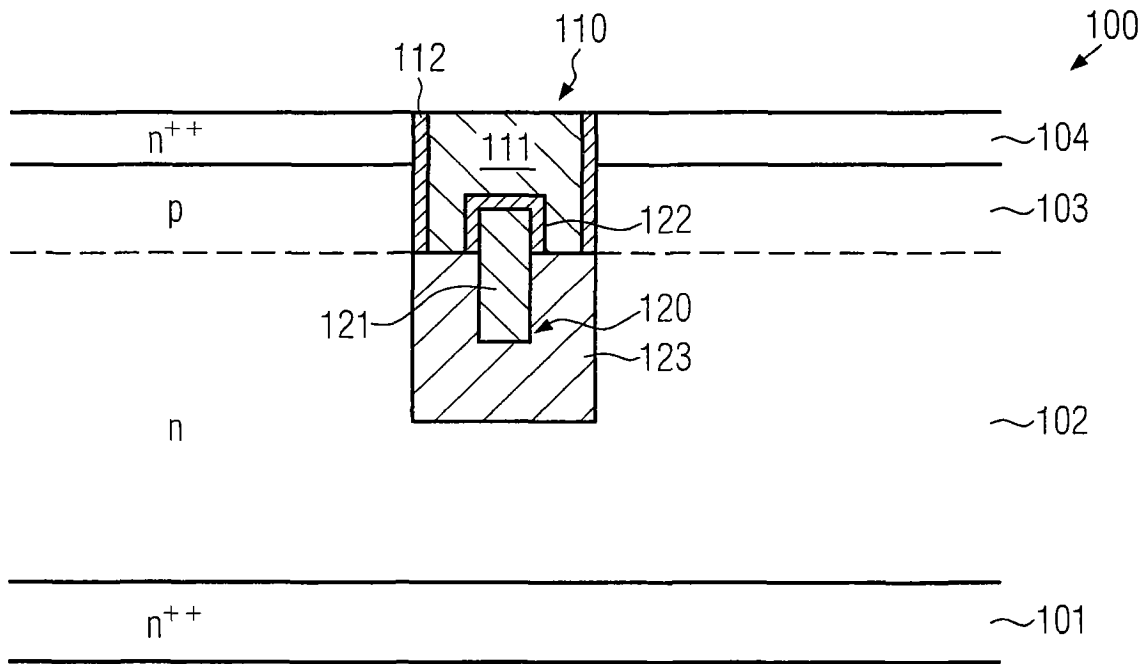


图 1a(现有技术)

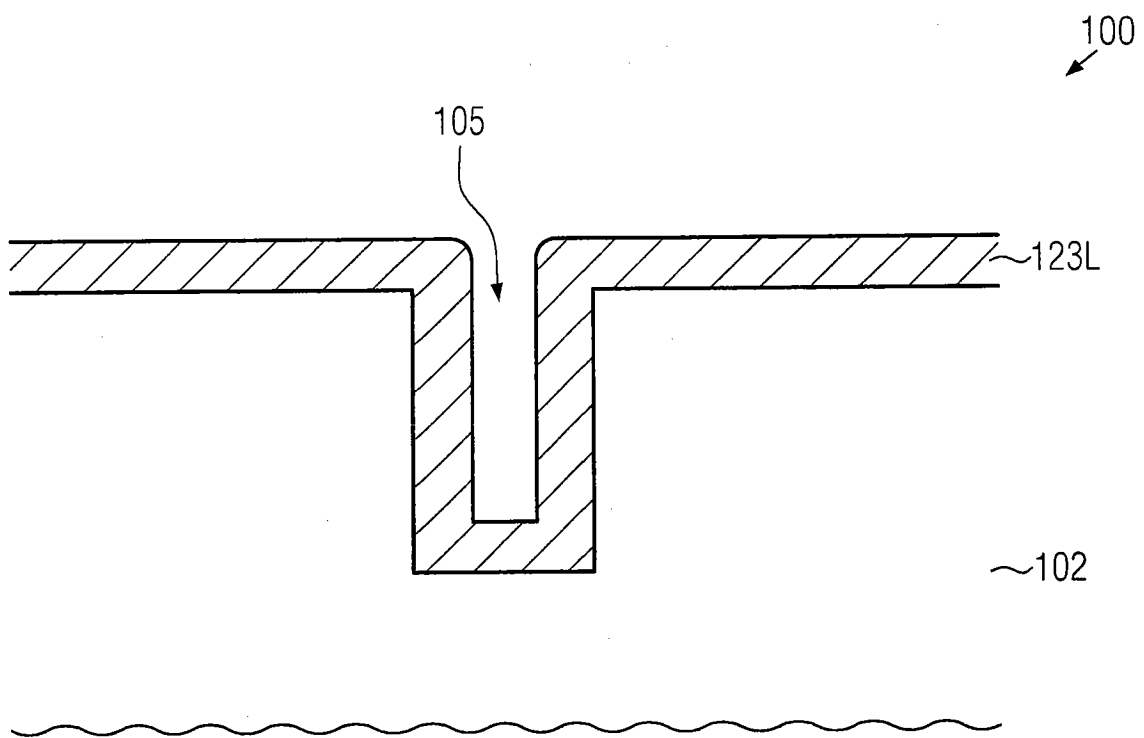


图 1b(现有技术)

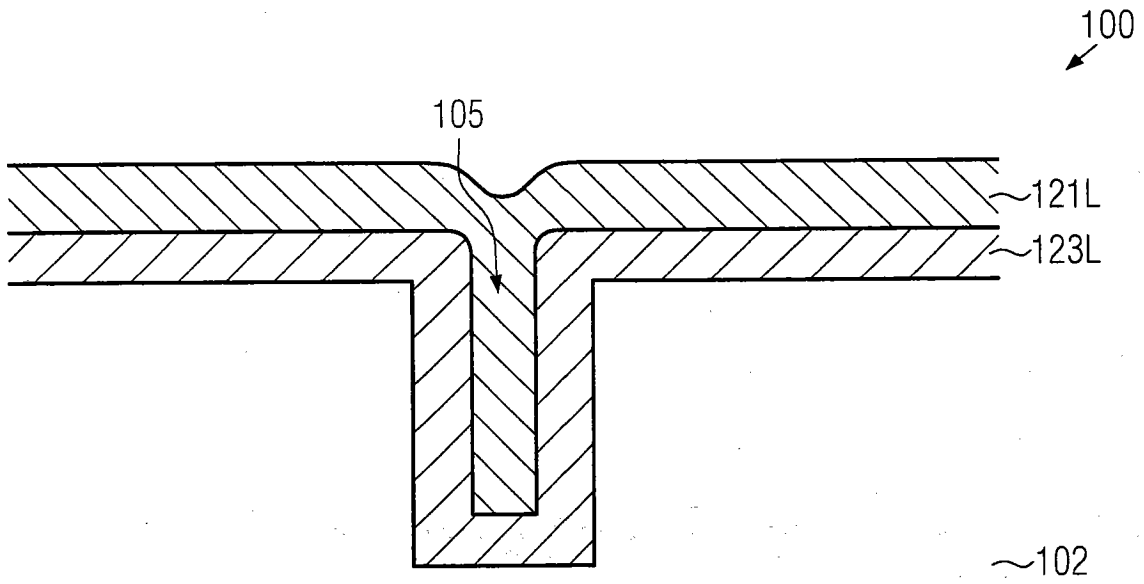


图 1c(现有技术)

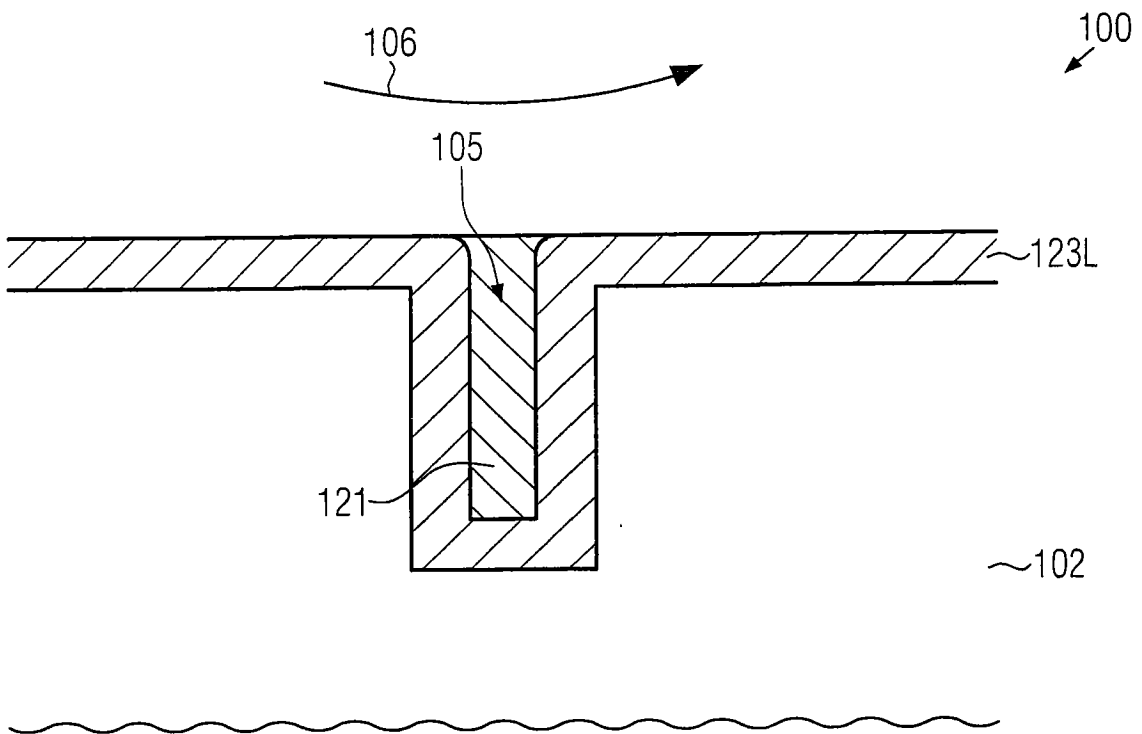


图 1d(现有技术)

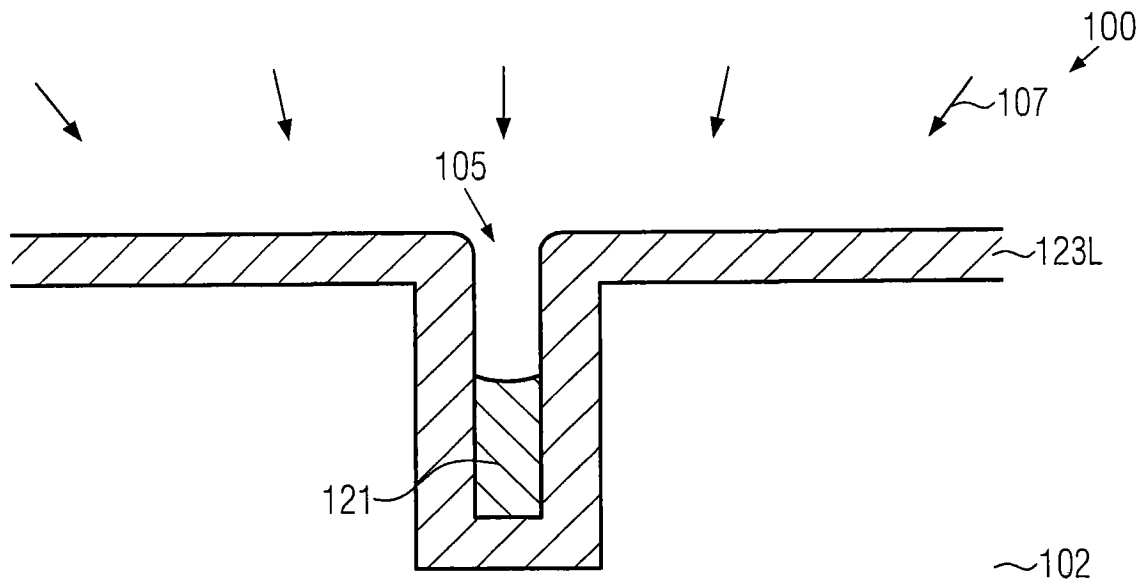


图 1e(现有技术)

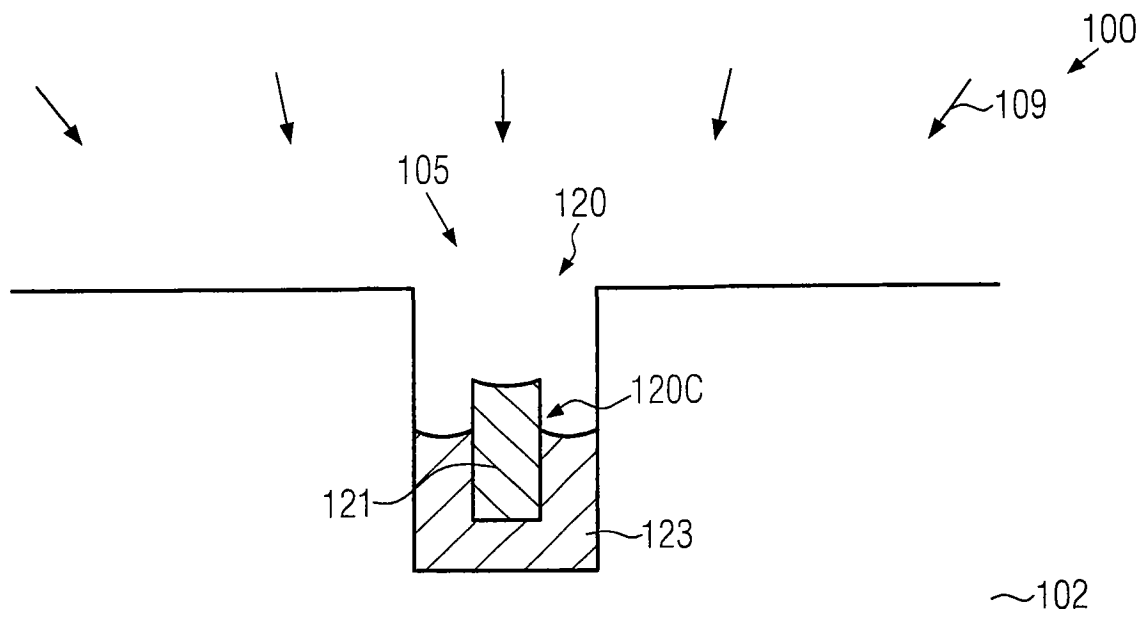


图 1f(现有技术)

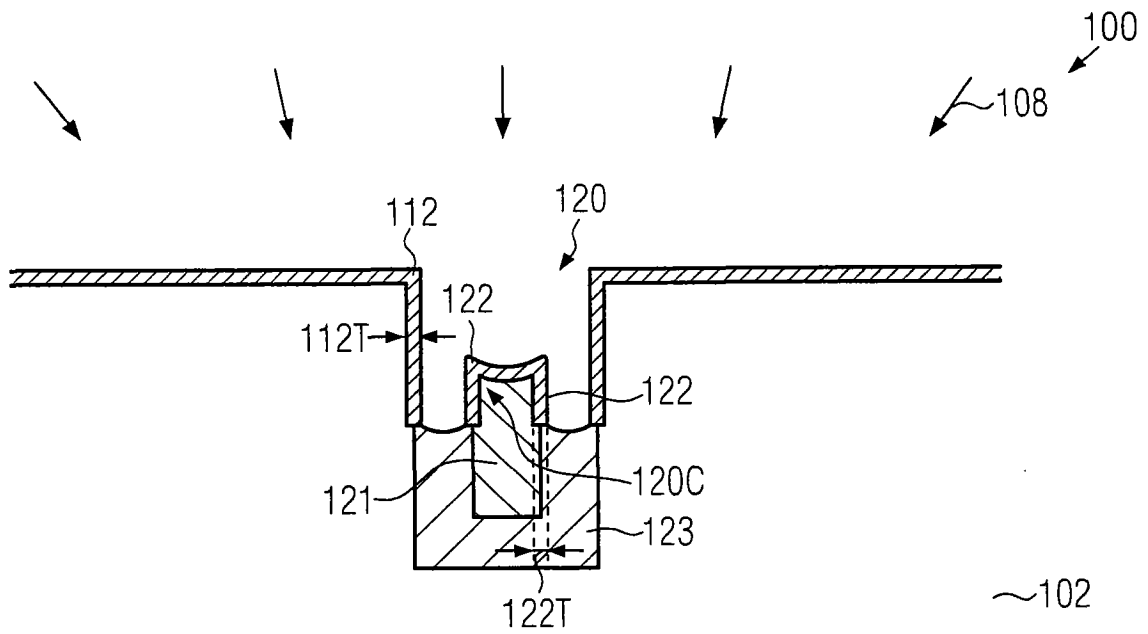


图 1g(现有技术)

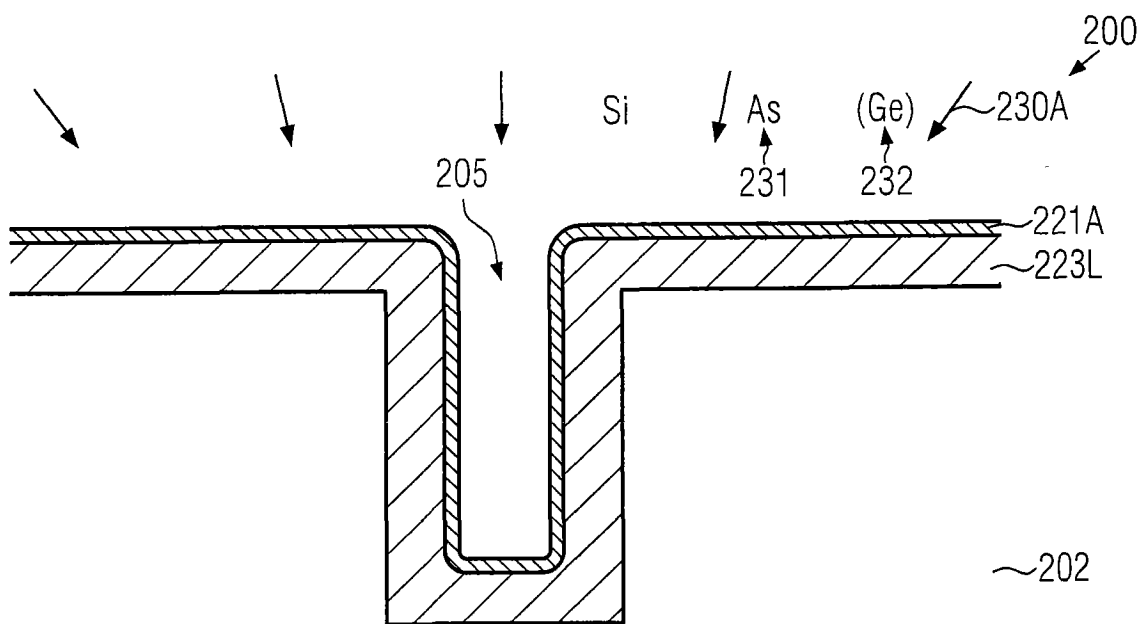


图 2a

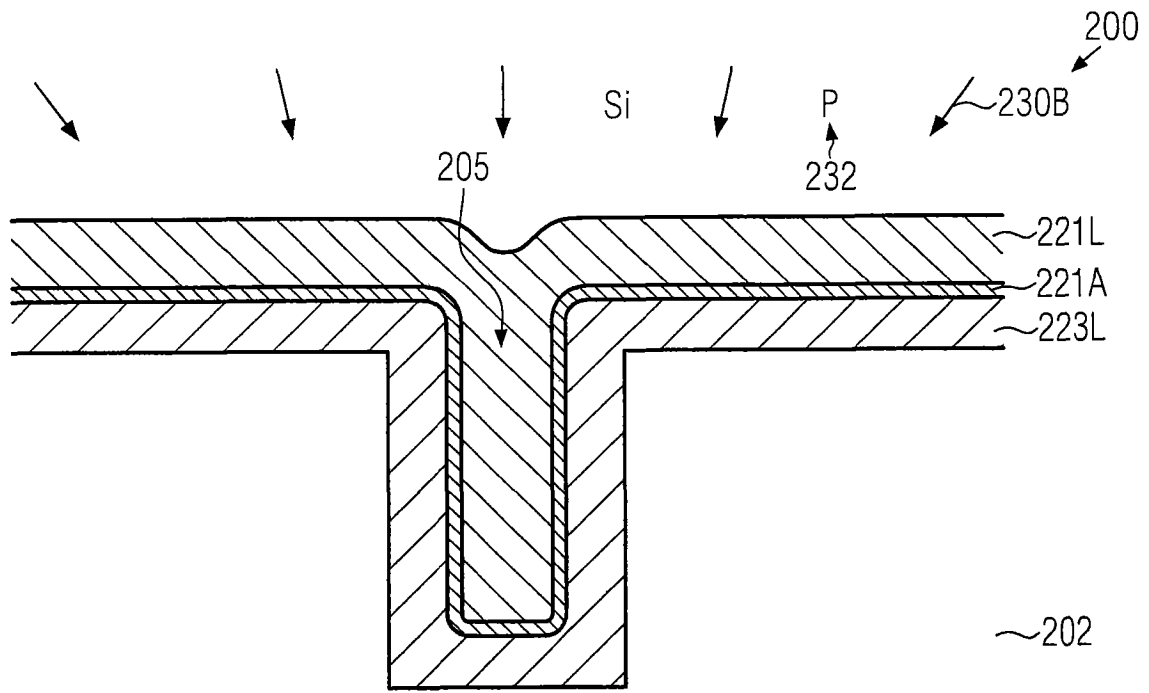


图 2b

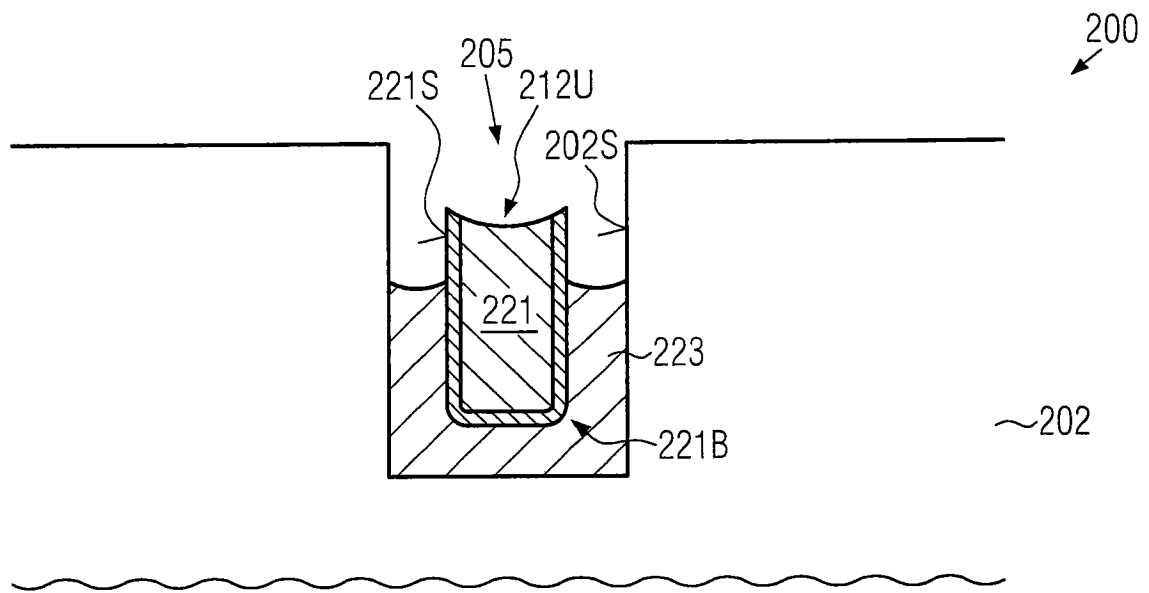


图 2c

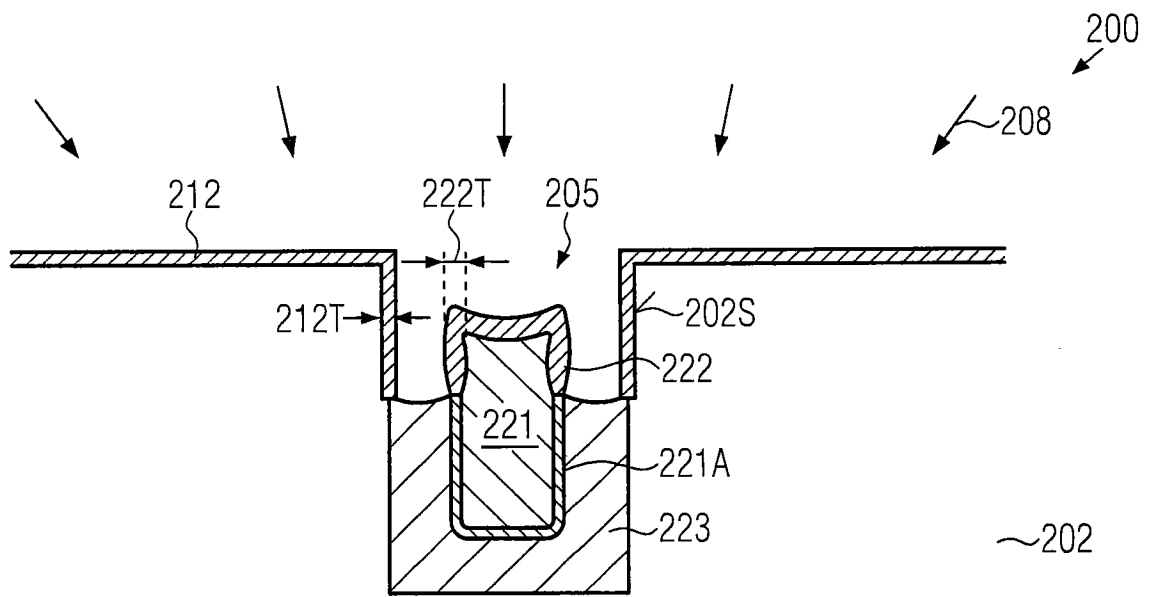


图 2d

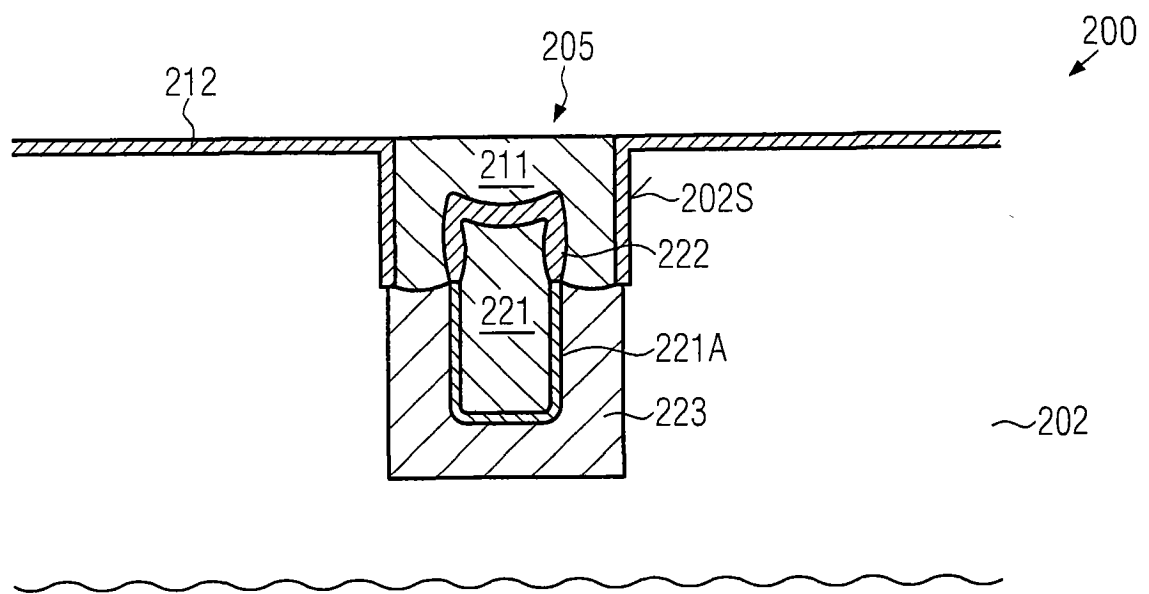


图 2e

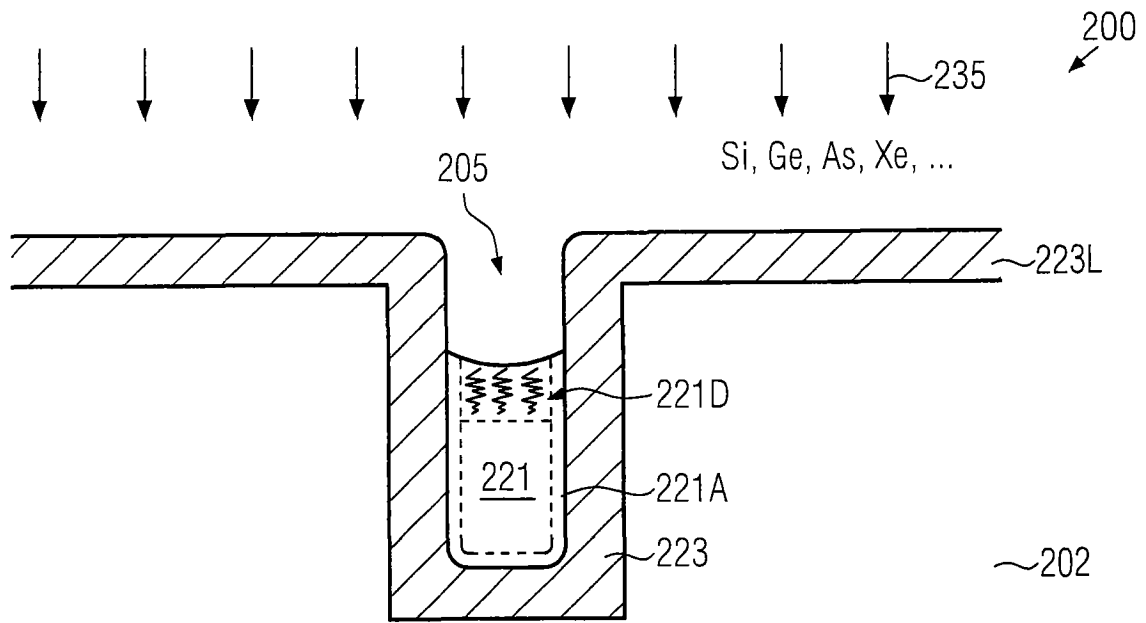


图 2f

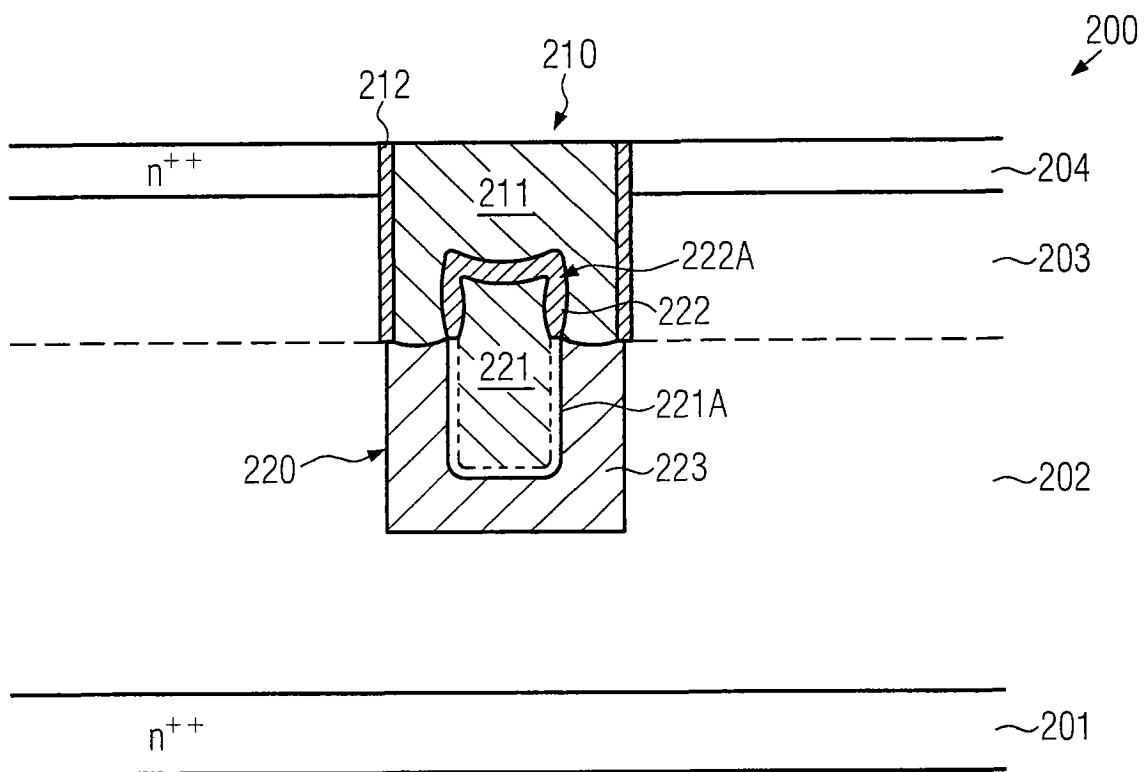


图 2g