



(12) 发明专利

(10) 授权公告号 CN 109523965 B

(45) 授权公告日 2021.07.23

(21) 申请号 201811553834.X

(22) 申请日 2018.12.19

(65) 同一申请的已公布的文献号
申请公布号 CN 109523965 A

(43) 申请公布日 2019.03.26

(73) 专利权人 惠科股份有限公司
地址 518000 广东省深圳市宝安区石岩街
道水田村民营工业园惠科工业园厂房
1、2、3栋,九州阳光1号厂房5、7楼

(72) 发明人 黄笑宇

(74) 专利代理机构 深圳市世纪恒程知识产权代
理事务所 44287
代理人 胡海国

(51) Int. Cl.
G09G 3/36 (2006.01)

(56) 对比文件

- CN 104332148 A, 2015.02.04
- CN 104123922 A, 2014.10.29
- CN 103258514 A, 2013.08.21
- CN 105513552 A, 2016.04.20
- CN 106940980 A, 2017.07.11
- CN 107393499 A, 2017.11.24
- CN 105374337 A, 2016.03.02
- US 2014218346 A1, 2014.08.07
- US 2008316195 A1, 2008.12.25

审查员 严明蒙

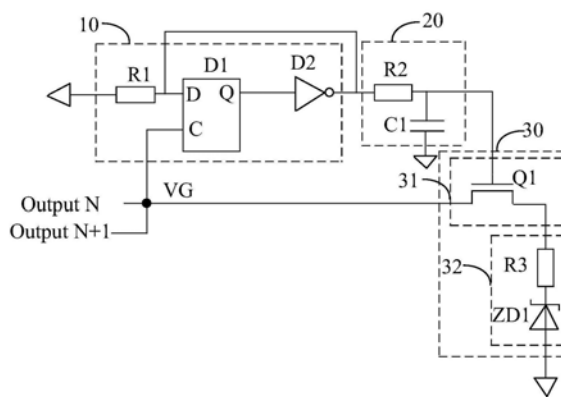
权利要求书2页 说明书11页 附图4页

(54) 发明名称

驱动电路、显示面板的驱动电路及显示装置

(57) 摘要

本发明公开一种驱动电路、显示面板的驱动电路及显示装置,该驱动电路包括:信号触发电路,配置为在接收到当前行的栅极驱动电压时,产生第一触发信号,在接收到下一行的栅极驱动电压时,产生第二触发信号;延时控制电路,配置为根据第一预设延时时长将第一触发信号和第二延时信号进行延时;开关控制电路,配置为在接收到延时后的第一触发信号开启,并对栅极驱动信号输入端输入的当前行的栅极驱动电压进行放电,直至当前行的栅极驱动电压小于预设削角截止电压;以及在接收到延时后的第二延时信号关断,以停止对栅极驱动信号输入端输入的当前行的栅极驱动电压削角。



1. 一种驱动电路,其特征在于,所述驱动电路包括:

栅极驱动信号输入端,与阵列基板行驱动电路的输出端连接,配置为接入当前行的栅极驱动电压和下一行的栅极驱动电压;

信号触发电路,其时钟信号输入端与所述栅极驱动信号输入端连接,所述信号触发电路,配置为在接收到当前行的栅极驱动电压时,产生第一触发信号,在接收到下一行的栅极驱动电压时,产生第二触发信号;

延时控制电路,其输入端与所述信号触发电路的输出端连接,所述延时控制电路,配置为根据第一预设延时时长将所述第一触发信号和第二延时信号进行延时;

开关控制电路,其输入端与所述栅极驱动信号输入端连接,所述开关控制电路,配置为在接收到延时后的所述第一触发信号开启,并对所述栅极驱动信号输入端输入的当前行的栅极驱动电压进行放电,直至当前行的栅极驱动电压小于预设削角截止电压;以及

在接收到延时后的所述第二延时信号关断,以停止对所述栅极驱动信号输入端输入的当前行的栅极驱动电压削角;其中,

所述开关控制电路包括开关电路及放电截止电路,所述开关电路的受控端为所述开关控制电路的受控端,所述开关电路的输入端为所述开关控制电路的输入端,所述开关电路的输出端与所述放电截止电路的输入端连接,所述放电截止电路的输出端接地;

所述开关电路,配置为在接收到延时后的所述第一触发信号时开启,以及在接收到延时后的所述第二触发信号时关断;

所述放电截止电路,配置为,在所述开关电路开启时,对接入的所述栅极驱动电压进行放电,在所述栅极驱动电压的电压值小于削角截止电压时,停止放电;或者,

在所述所述开关电路关断时,停止放电。

2. 如权利要求1所述的驱动电路,其特征在于,所述信号触发电路包括触发器及反相器,所述触发器的时钟信号输入端与时序控制器连接,所述触发器的触发信号输入端与所述开关控制单元及所述反相器的输出端互连;所述触发器的输出端与所述反相器的输出端连接。

3. 如权利要求2所述的驱动电路,其特征在于,所述信号触发电路还包括第一电阻,所述第一电阻的一端与所述触发器的触发信号输入端连接,所述第一电阻的另一端接地。

4. 如权利要求1所述的驱动电路,其特征在于,延时控制电路包括第一电容及第二电阻,所述第二电阻的一端与所述信号触发电路的输出端连接,所述第二电阻的另一端与所述第一电容的一端及所述开关控制电路的受控端互连;所述第一电容的另一端接地。

5. 如权利要求1所述的驱动电路,其特征在于,所述开关电路包括第一开关管,所述第一开关管为N型场效应管。

6. 如权利要求1所述的驱动电路,其特征在于,所述放电截止电路包括第三电阻及稳压二极管,所述第三电阻的一端与所述开关电路的输出端连接,所述第三电阻的另一端与所述稳压二极管的阴极连接,所述稳压二极管的阳极接地。

7. 一种显示面板的驱动电路,其特征在于,包括:

时序控制器,配置为输出时序控制信号;

阵列基板行驱动电路,设置为根据所述时序控制信号逐行输出栅极驱动电压;以及

如权利要求1至6任意一项所述的驱动电路;所述驱动电路包括:

栅极驱动信号输入端,与所述阵列基板行驱动电路的输出端连接,配置为接入当前行的栅极驱动电压和下一行的栅极驱动电压;

信号触发电路,其时钟信号输入端与所述栅极驱动信号输入端连接,所述信号触发电路,配置为在接收到当前行的栅极驱动电压时,产生第一触发信号,在接收到下一行的栅极驱动电压时,产生第二触发信号;

延时控制电路,其输入端与所述信号触发电路的输出端连接,所述延时控制电路,配置为根据第一预设延时时长将所述第一触发信号和第二延时信号进行延时;

开关控制电路,其输入端与所述栅极驱动信号输入端连接,所述开关控制电路,配置为在接收到延时后的所述第一触发信号时开启,对所述栅极驱动信号输入端输入的当前行的栅极驱动电压进行放电,直至当前行的栅极驱动电压小于预设削角截止电压;以及

在接收到延时后的所述第二延时信号时关断,以停止对所述栅极驱动信号输入端输入的当前行的栅极驱动电压放电。

8.如权利要求7所述的显示面板的驱动电路,其特征在于,所述阵列基板行驱动电路包括N个级联设置的阵列基板行驱动支路,各所述阵列基板行驱动支路包括信号输入端及栅极驱动信号输出端,每一所述阵列基板行驱动支路的信号输入端与上一级的阵列基板行驱动支路的栅极驱动信号输出端连接;

所述驱动电路包括N个削角支路,每一所述削角支路的栅极驱动信号输入端与一所述阵列基板行驱动支路的栅极驱动信号输出端连接,每一所述削角支路的栅极驱动信号输入端还与下一级的阵列基板行驱动支路的栅极驱动信号输出端连接。

9.一种显示装置,其特征在于,所述显示装置包括显示面板及如权利要求7或8所述的显示面板的驱动电路,所述显示面板的驱动电路与所述显示面板连接。

驱动电路、显示面板的驱动电路及显示装置

技术领域

[0001] 本发明涉及电子电路技术领域,特别涉及一种驱动电路、显示面板的驱动电路及显示装置。

背景技术

[0002] 目前,显示装置中,在驱动显示面板工作时,大多设置会对输出至栅极驱动器的栅极驱动电压VGH进行削角处理,以降低显示面板中薄膜晶体管关闭时栅极驱动电压与栅极关闭电压VGL之间的电压差,减小对数据信号电压的影响。

[0003] 然而,在阵列基板行驱动电路GOA技术中,因为其栅极输出电压是在阵列基板上形成,所以无法对驱动电源输出的驱动电压进行削角。

发明内容

[0004] 本发明的主要目的是提出一种驱动电路、显示面板的驱动电路及显示装置,旨在实现对阵列基板行驱动电路输出的栅极驱动电压进行削角。

[0005] 本发明提出一种驱动电路,所述驱动电路包括:

[0006] 栅极驱动信号输入端,与阵列基板行驱动电路的输出端连接,配置为接入当前行的栅极驱动电压和下一行的栅极驱动电压;

[0007] 信号触发电路,其时钟信号输入端与所述栅极驱动信号输入端连接,所述信号触发电路,配置为在接收到当前行的栅极驱动电压时,产生第一触发信号,在接收到下一行的栅极驱动电压时,产生第二触发信号;

[0008] 延时控制电路,其输入端与所述信号触发电路的输出端连接,所述延时控制电路,配置为根据第一预设延时时长将所述第一触发信号和第二延时信号进行延时;

[0009] 开关控制电路,其输入端与所述栅极驱动信号输入端连接,所述开关控制电路,配置为在接收到延时后的所述第一触发信号开启,并对所述栅极驱动信号输入端输入的当前行的栅极驱动电压进行放电,直至当前行的栅极驱动电压小于预设削角截止电压;以及

[0010] 在接收到延时后的所述第二延时信号关断,以停止对所述栅极驱动信号输入端输入的当前行的栅极驱动电压削角。

[0011] 可选地,所述信号触发电路包括触发器及反相器,所述触发器的时钟信号输入端与时序控制器连接,所述触发器的触发信号输入端与所述开关控制单元及所述反相器的输出端互连;所述触发器的输出端与所述反相器的输出端连接。

[0012] 可选地,所述信号触发电路还包括第一电阻,所述第一电阻的一端与所述触发器的触发信号输入端连接,所述第一电阻的另一端接地。

[0013] 可选地,延时控制电路包括第一电容及第二电阻,所述第二电阻的一端与所述信号触发电路的输出端连接,所述第二电阻的另一端与所述第一电容的一端及所述开关控制电路的受控端互连;所述第一电容的另一端接地。

[0014] 可选地,所述开关控制电路包括开关电路及放电截止电路,所述开关电路的受控

端为所述开关控制电路的受控端,所述开关电路的输入端为所述开关控制电路的输入端,所述开关电路的输出端与所述放电截止电路的输入端连接,所述放电截止电路的输出端接地;

[0015] 所述开关电路,配置为在接收到延时后的所述第一触发信号时开启,以及在接收到延时后的所述第二触发信号时关断;

[0016] 所述放电截止电路,配置为,在所述开关电路开启时,对接入的所述栅极驱动电压进行放电,在所述栅极驱动电压的电压值小于削角截止电压时,停止放电;或者,

[0017] 在所述所述开关电路关断时,停止放电。

[0018] 可选地,所述开关电路包括第一开关管,所述第一开关管为N型场效应管。

[0019] 可选地,所述放电截止电路包括第三电阻及稳压二极管,所述第三电阻的一端与所述开关电路的输出端连接,所述第三电阻的另一端与所述稳压二极管的阴极连接,所述稳压二极管的阳极接地。

[0020] 本发明还提出一种显示装置一种显示面板的驱动电路,包括:

[0021] 时序控制器,配置为输出时序控制信号;

[0022] 阵列基板行驱动电路,设置为根据所述时序控制信号逐行输出栅极驱动电压;以及

[0023] 如上所述的驱动电路;所述驱动电路包括:

[0024] 栅极驱动信号输入端,与所述阵列基板行驱动电路的输出端连接,配置为接入当前行的栅极驱动电压和下一行的栅极驱动电压;

[0025] 信号触发电路,其时钟信号输入端与所述栅极驱动信号输入端连接,所述信号触发电路,配置为在接收到当前行的栅极驱动电压时,产生第一触发信号,在接收到下一行的栅极驱动电压时,产生第二触发信号;

[0026] 延时控制电路,其输入端与所述信号触发电路的输出端连接,所述延时控制电路,配置为根据第一预设延时时长将所述第一触发信号和第二延时信号进行延时;

[0027] 开关控制电路,其输入端与所述栅极驱动信号输入端连接,所述开关控制电路,配置为在接收到延时后的所述第一触发信号时开启,对所述栅极驱动信号输入端输入的当前行的栅极驱动电压进行放电,直至当前行的栅极驱动电压小于预设削角截止电压;以及

[0028] 在接收到延时后的所述第二延时信号时关断,以停止对所述栅极驱动信号输入端输入的当前行的栅极驱动电压放电。

[0029] 可选地,所述阵列基板行驱动电路包括N个级联设置的阵列基板行驱动支路,各所述阵列基板行驱动支路包括信号输入端及栅极驱动信号输出端,每一所述阵列基板行驱动支路的信号输入端与上一级的阵列基板行驱动支路的栅极驱动信号输出端连接;

[0030] 所述驱动电路包括N个削角支路,每一所述削角支路的栅极驱动信号输入端与一所述阵列基板行驱动支路的栅极驱动信号输出端连接,每一所述削角支路的栅极驱动信号输入端还与下一级的阵列基板行驱动支路的栅极驱动信号输出端连接。

[0031] 本发明还提出一种显示装置,所述显示装置包括显示面板及如上所述的显示面板的驱动电路,所述显示面板的驱动电路与所述显示面板连接。

[0032] 本发明驱动电路通过设置信号触发电路,并在接收到当前行的栅极驱动信号时,产生第一触发信号并输出至延时控制电路,以触发延时控制电路对接入的第一触发信号进

行延时处理后,输出至开关控制电路,从而控制开关控制电路根据延时处理后的第一触发信号时开启,并对接入的当前行的栅极驱动电压进行放电,实现对栅极驱动电压的削角直至当前行的栅极驱动电压小于削角截止电压。信号触发电路在接收到下一行的栅极驱动信号时,产生第二触发信号并输出至延时控制电路,以触发延时控制电路对接入的第二触发信号进行延时处理后,输出至开关控制电路,从而控制开关控制电路根据延时处理后的第二触发信号时关闭,进而结束对接入的当前行的栅极驱动电压进行放电,也即停止削角。本发明提出了一种新型驱动电路,适用于在阵列基板行驱动电路中,解决了其栅极输出电压是在阵列基板上形成,所以无法对驱动电源输出的驱动电压进行削角,而导致栅极驱动电压由高电平突变至低电平时,像素电压也会出现突变,使得液晶电容上的电压也会发生突变的问题,从而解决了导致显示面板的透光率发生改变,而使显示面板出现flicker(闪烁)现象的问题,有利于保持显示面板的亮度一致。

附图说明

[0033] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图示出的结构获得其他的附图。

[0034] 图1为本发明驱动电路一实施例的功能模块结构示意图;

[0035] 图2为本发明驱动电路一实施例的电路结构示意图;

[0036] 图3为本发明显示装置一实施例的功能模块示意图;

[0037] 图4为本发明显示装置中显示面板一实施例的结构示意图;

[0038] 图5为本发明显示装置中阵列基板行驱动电路一实施例的功能模块示意图;

[0039] 图6为本发明显示装置中阵列基板行驱动电路一实施例的电路结构示意图。

[0040] 附图标号说明:

标号	名称	标号	名称
10	信号触发电路	100	阵列基板行驱动电路
20	延时控制电路	200	显示面板
30	开关控制电路	300	时序控制器
31	开关电路	400	驱动电源
32	截止电路	500	源极驱动器
D1	触发器	600	驱动电路
D2	反相器	210	第一基板
R1	第一电阻	220	第二基板
R2	第二电阻	230	液晶层
R3	第三电阻	240	像素阵列
ZD1	稳压二极管	250	框胶
C1	第一电容	(311~31N)	阵列基板行驱动支路

[0042] 本发明目的的实现、功能特点及优点将结合实施例,参照附图做进一步说明。

具体实施方式

[0043] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明的一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0044] 需要说明,若本发明实施例中有涉及方向性指示(诸如上、下、左、右、前、后……),则该方向性指示仅用于解释在某一特定姿态(如附图所示)下各部件之间的相对位置关系、运动情况等,如果该特定姿态发生改变时,则该方向性指示也相应地随之改变。

[0045] 另外,若本发明实施例中有涉及“第一”、“第二”等的描述,则该“第一”、“第二”等的描述仅用于描述目的,而不能理解为指示或暗示其相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括至少一个该特征。另外,各个实施例之间的技术方案可以相互结合,但是必须是以本领域普通技术人员能够实现为基础,当技术方案的结合出现相互矛盾或无法实现时应当认为这种技术方案的结合不存在,也不在本发明要求的保护范围之内。

[0046] 本发明提出一种驱动电路,该驱动电路基于阵列基板行驱动电路的前提下实现,适用于显示面板的驱动电路中,也适用于手机、电脑、电视等具有显示面板的显示装置中。

[0047] 阵列基板行驱动电路(Gate Driver On Array,简称GOA),是利用薄膜晶体管(Thin Film Transistor,TFT)液晶显示器阵列制程将栅极行扫描驱动信号电路制作在显示面板的阵列基板上,以实现栅极逐行扫描的驱动方式,具有降低生产成本和实现面板窄边框设计的优点,为多种显示器所使用。

[0048] 显示面板中的薄膜晶体管大多采用a-Si(非硅晶)薄膜晶体管或者Poly-Si(多晶硅)薄膜晶体管,其中Poly-Si薄膜晶体管可以采用LTPS(Low Temperature Poly-Silicon,低温多晶硅)等技术加以形成。而目前a-Si薄膜晶体管TFT主要仍然以BCE(Back Channel Etching)结构为主,这种结构的优点在于结构简单,工艺成本较低,其缺点在于寄生电容较大,尤其是薄膜晶体管的源极(与像素电极相连的一端)与栅极之间的寄生电容在栅极扫描结束的瞬间,会使得像素电极的电位被拉低,这种现象被称为馈通效应(feed through),馈通电压的公式为: $V_{th} = (V_{gl} - V_{gh}) * C_{gd} / (C_{gd} + C_{lc} + C_{st})$,其中等式中的 V_{gh} 和 V_{gl} 分别表示栅极导通和截止时的电压, C_{lc} 表示像素电极的液晶电压, C_{st} 表示像素电极的存储电压。馈通电压会影响面板内部的基准电压,且影响的程度与单位时间内电压的变化正相关,导致液晶显示器产生闪烁(flicker)。为了减小馈通电压的影响,通常会对驱动电源输出至栅极驱动器的栅极开启电压进行削角,即将33V下降至-7V的变化时间拉长,以减小对基准电压影响。然而,在阵列基板行驱动电路中,因为其栅极驱动电压是在阵列基板上形成,驱动电源仅为阵列基板行驱动电路提供工作电压,而不输出栅极开启电压,所以无法通过对驱动电源输出的驱动电压进行削角,也就无法对阵列基板行驱动电路输出的栅极驱动电压进行削角。

[0049] 参照图1至图6,在本发明一实施例中,本发明提出一种新型驱动电路包括:

[0050] 栅极驱动信号输入端VG,配置为接入当前行的栅极驱动电压Output N和下一行的栅极驱动电压;

[0051] 信号触发电路10,其时钟信号输入端与所述栅极驱动信号输入端VG连接,所述信

号触发电路10,配置为在接收到当前行的栅极驱动电压Output N时,产生第一触发信号,在接收到下一行的栅极驱动电压时,产生第二触发信号;

[0052] 延时控制电路20,其输入端与所述信号触发电路10的输出端连接,所述延时控制电路20,配置为根据第一预设延时时长将所述第一触发信号和第二延时信号进行延时;

[0053] 开关控制电路30,其输入端与所述栅极驱动信号输入端VG连接,所述开关控制电路30,配置为在接收到延时后的所述第一触发信号时开启,并对所述栅极驱动信号输入端VG输入的当前行的栅极驱动电压Output N进行放电,直至当前行的栅极驱动电压Output N小于预设削角截止电压;以及

[0054] 在接收到延时后的所述第二延时信号时关断,以停止对所述栅极驱动信号输入端VG输入的当前行的栅极驱动电压Output N放电。

[0055] 需要说明的是,阵列基板行驱动电路100在具体共工作,在外部电路的控制信号作用下,产生移位脉冲信号,也即栅极驱动信号,该栅极驱动信号驱动当前行的子像素中的薄膜晶体管开启,并且该栅极驱动信号还作为下一行的启示信号(第一行由时序控制器300输出的帧起始信号触发),以及上一行的栅极关闭信号进行控制。本实施例中,栅极驱动信号输入端VG与阵列基板行驱动电路100的栅极驱动信号输出端连接。栅极驱动输入端具体用于接入当前行的栅极驱动信号以及下一行的栅极驱动信号。并且,本发明驱动电路600对当前行栅极驱动信号进行削角,而在接收到下一行的栅极驱动信号时,停止削角。

[0056] 本实施例中,信号触发电路10在接收到当前行的栅极驱动信号时,产生第一触发信号,在接收到下一行的栅极驱动信号时,产生第二触发信号,其中第一触发信号为削角开始的时间,第二触发信号为削角结束,也即驱动电路600恢复初始状态的时间,或者称为复位时间。

[0057] 延时控制电路20对接入的第一触发信号和第二触发信号分别进行延时处理,其对第一触发信号的延时时间即为削角的起始时间,也即在其延时后,输出的延时处理的第一触发信号即为削角起始信号。而对第二触发信号的延时时间即为削角的结束时间,也即在其延时后,输出的延时处理的第二触发信号即为削角结束信号。

[0058] 开关控制电路30在接收到第一触发信号时开启,对接入的当前行的栅极驱动电压Output N进行削角,也即对栅极驱动电压进行放电,以使输出至子像素的栅极驱动电压逐渐降低,直至削角结束。开关控制电路30可以根据显示面板的驱动电路的需求,设置削角的斜率,以及削角的截止时间,从而调节削角的速度以及削角的深度(栅极驱动信号波形的削角下限)。

[0059] 本发明驱动电路600通过设置信号触发电路10,并在接收到当前行的栅极驱动信号时,产生第一触发信号并输出至延时控制电路20,以触发延时控制电路20对接入的第一触发信号进行延时处理后,输出至开关控制电路30,从而控制开关控制电路30根据延时处理后的第一触发信号时开启,对接入的当前行的栅极驱动电压Output N进行放电,实现对栅极驱动电压的削角直至当前行的栅极驱动电压Output N小于削角截止电压。信号触发电路10在接收到下一行的栅极驱动信号时,产生第二触发信号并输出至延时控制电路20,以触发延时控制电路20对接入的第二触发信号进行延时处理后,输出至开关控制电路30,从而控制开关控制电路30根据延时处理后的第二触发信号时关闭,进而结束对接入的当前行的栅极驱动电压Output N进行放电,也即停止削角。本发明提出了一种新型驱动电路

600,适用于在阵列基板行驱动电路100中,实现了对阵列基板行驱动电路100输出的栅极驱动电压进行削角。从而解决了阵列基板行驱动电路栅极输出电压在阵列基板上形成,所以无法对驱动电源输出的驱动电压进行削角,而导致栅极驱动电压由高电平突变至低电平时,像素电压出现突变,使得液晶电容上的电压也会发生突变的问题,进而解决了导致显示面板的透光率发生改变,而使显示面板出现flicker(闪烁)现象的问题,有利于保持显示面板的亮度一致。

[0060] 参照图1至图6,在一实施例中,所述信号触发电路10包括触发器D1及反相器D2,所述触发器D1的时钟信号输入端与所述时序控制器300连接,所述触发器D1的触发信号输入端与所述开关控制单元及所述反相器D2的输出端互连;所述触发器D1的输出端与所述的输出端连接。

[0061] 本实施例中,可选为上升沿D触发器D1来实现,触发器D1在其时钟信号输入端C接收到的栅极驱动电压为高电平时,将其触发信号输入端D的值赋值给输出端Q,反相器D2将输出端Q的输出的触发信号进行反相后输出至延时控制电路20。本实施例在显示装置初始状态时,触发信号输入端D的电平为低电平,触发器D1在时序控制信号的上升沿时,触发信号输入端D将低电平的触发信号赋值给输出端,经反相器D2反相后,输出高电平的第一触发信号至延时控制电路20,以对该第一触发信号进行延时。而触发信号输入端D的输入端又与反相器D2连接,也即反相器D2将高电平的触发信号输出至触发信号输入端,在下一行栅极驱动电压输出至触发器D1的时钟信号输入端时,触发信号输入端将高电平的触发信号赋值给输出端,经反相器D2反相后,则输出低电平的第二触发信号至延时控制电路20,以对该第一触发信号进行延时。

[0062] 参照图1至图6,在一实施例中,所述信号触发电路10还包括第一电阻R1,所述第一电阻R1的一端与所述触发器D1的触发信号输入端连接,所述第一电阻R1的另一端接地。

[0063] 本实施例中,第一电阻R1为下拉电阻,用于保证在显示装置初始状态时,触发器D1的触发信号输入端接收到的触发信号为低电平L,从而保证驱动电路600输出至反相器D2的触发信号为低电平,并产生低电平的第一触发信号,第一电阻R1还为限流电阻,用避免输出至触发器D1的触发信号输入端的电压过高而损坏触发器D1。

[0064] 参照图1至图6,在一实施例中,延时控制电路20包括第一电容C1及第二电阻R2,所述第二电阻R2的一端与所述信号触发电路10的输出端连接,所述第二电阻R2的另一端与所述第一电容C1的一端及所述开关控制电路30的受控端互连;所述第一电容C1的另一端接地。

[0065] 本实施例中,第二电阻R2用于控制第一电容C1的充/放电的时间。第一电容C1和第二电阻R2用于控制削角的开启时间和结束时间。充电时间/放电时间 τ 可以根据公式(1)进行设置:

$$[0066] \quad \tau = R * C \quad (1)$$

[0067] 公式(1)中,R为第二电阻R2的阻值,C为第一电容C1的电容量,由此可知,第一电容C1的容量和/或第二电阻R2的阻值越长,则延时时间越长,也即栅极驱动电压削角的起始时间越延后,同理,关断时间也越延后。第一电容C1根据电容的充放电特性以及第一电容C1两端的电压不能突变的特点,在接收到高电平第一触发信号的瞬间,第一电容C1被第一触发信号输出的电压短路,以输出低电平的触发信号,从而保证开关控制电路30处于关断状态。

此后第一电容C1开始充电,当电容饱和时,电容相当于断路,进而控制开关控制电路30接入高电平的第一触发信号而开启。在接收到低电平的第二触发信号,第一电容C1对第二电阻R2开始放电,以保证此时能够输出高电平的第一触发信号,以控制开关控制电路30保持开启状态,直至第一电容C1完成放电而输出低电平的第二触发信号,从而触发开关控制电路30关断。

[0068] 参照图1至图6,在一实施例中,所述开关控制电路30包括开关电路31及放电截止电路32,所述开关电路31的受控端为所述开关控制电路30的受控端,所述开关电路31的输入端为所述开关控制电路30的输入端,所述开关电路31的输出端与所述放电截止电路32的输入端连接,所述放电截止电路32的输出端接地;

[0069] 所述开关电路31,配置为在接收到延时后的所述第一触发信号时开启,以及在接收到延时后的所述第二触发信号时关断;

[0070] 所述放电截止电路32,配置为,在所述开关电路31开启时,对接入的所述栅极驱动电压进行放电,在所述栅极驱动电压的电压值小于预设削角截止电压时,停止放电;或者,

[0071] 在所述所述开关电路31关断时,停止放电。

[0072] 上述实施例中,所述开关电路31包括第一开关管Q1,所述第一开关管Q1为N型场效应管。当然在其他实施例中,第一开关管Q1还可以采用三极管、IGBT等开关管来实现,此处不做限制。可以理解的是,削角斜率的调节可以通过控制放电速度来实现,放电速度越快,则削角斜率越陡,放电越慢,则越缓。而第一开关管Q1的导通程度可以根据其受控端进行调节,也即在第一电容C1充电的过程中,随着第一电容C1的两端电压的增大,直至充电饱和,在第一触发信号达到第一开关管Q1的导通阈值电压时,第一开关管Q1的程度由小至大依次增大,由此放电截止电路32的速度也由慢至快依次增加,直至第一开关管Q1完全导通。

[0073] 开关电路31在接收到经延时控制电路20处理后的第一触发信号时开启,从而控制放电截止电路32将接入的栅极驱动电压进行放电,在接收到延时后的第二触发信号时关断,从而控制放电截止电路32停止放电。

[0074] 上述实施例中,所述放电截止电路32包括第三电阻R3及稳压二极管ZD1,所述第三电阻R3的一端与所述开关电路31的输出端连接,所述第三电阻R3的另一端与所述稳压二极管ZD1的阴极连接,所述稳压二极管ZD1的阳极接地。

[0075] 本实施例中,第三电阻R3为放电电阻,所述第三电阻R3可选为可变电阻器来实现,并通过调节放电电阻的阻值,既可以改变削角电压的线性放电斜率,从而控制放电速度。稳压二极管ZD1的稳压值可以根据显示面板的驱动电路的需求进行设置,例如可选采用截止电压为5.7V的稳压管。当流经稳压二极管ZD1的电压大于其反向击穿电压时,稳压二极管ZD1则将栅极驱动电压钳位在其截止电压。也即通过稳压二极管ZD1,即可设置削角深度的下限,当放电电压等于其反向击穿电压时,稳压二极管ZD1恢复截止状态,VGH停止削角。

[0076] 本发明还提出一种显示面板的驱动电路。

[0077] 参照图1至图6,在本发明一实施例中,该包括:

[0078] 时序控制器300,配置为输出时序控制信号;

[0079] 阵列基板行驱动电路100,设置为根据所述时序控制信号逐行输出栅极驱动电压;以及

[0080] 如权上所述的驱动电路600;所述驱动电路600包括:

[0081] 栅极驱动信号输入端VG,与所述阵列基板行驱动电路100的输出端连接,配置为接入当前行的栅极驱动电压Output N和下一行的栅极驱动电压;

[0082] 信号触发电路10,其时钟信号输入端与所述栅极驱动信号输入端VG连接,所述信号触发电路10,配置为在接收到当前行的栅极驱动电压Output N时,产生第一触发信号,在接收到下一行的栅极驱动电压时,产生第二触发信号;

[0083] 延时控制电路20,其输入端与所述信号触发电路10的输出端连接,所述延时控制电路20,配置为根据第一预设延时时长将所述第一触发信号和第二延时信号进行延时;

[0084] 开关控制电路30,其输入端与所述栅极驱动信号输入端VG连接,所述开关控制电路30,配置为在接收到延时后的所述第一触发信号,对所述栅极驱动信号输入端VG输入的当前行的栅极驱动电压Output N进行放电;以及

[0085] 在接收到延时后的所述第二延时信号,停止对所述栅极驱动信号输入端VG输入的当前行的栅极驱动电压Output N削角。

[0086] 参照图1至图6,在一些实施例中,显示装置还设置有源极驱动器500及驱动电源400,源极驱动器500用于输入数据信号的源极驱动器500,源极驱动器500安装与驱动板PCBA上,源极驱动器500与时序控制器300连接,源极驱动器500的多个输出端分别与像素阵列240对应数据线连接,时序控制器300接收外部电路电路,例如电视机的控制系统SOC输出的数据信号、控制信号以及时钟信号,并转换成适合于各阵列基板行驱动电路100、源极驱动器500的数据信号、控制信号以及时钟信号,源极驱动器500的将数据信号通过数据线输出至对应的像素,实现显示面板200的图像显示。源极驱动器500的数量为多个,具体可以根据显示面板200的尺寸进行设置,本实施例以两个为例进行说明。驱动电源400,所述驱动电源400的输出端与阵列基板行驱动电路100、源极驱动器500连接;驱动电源400集成了多个不同电路功能的直流-直流转换电路,每个转换电路输出不同的电压值。驱动电源40的输入端输入的电压一般为5V或12V,输出的电压包括给时序控制器300提供的工作电压DVDD,以及给栅极驱动器提供的栅极开启电压VGH和关断电压VGL。

[0087] 参照图1至图6,在一实施例中,所述显示面板200包括:

[0088] 像素阵列240;

[0089] 第一基板210,具有显示区域与周边区域;所述像素阵列240设置于所述第一基板210上且位于所述显示区域;所述N个级联设置的所述阵列基板行驱动单元10和辅助电路单元20设置于所述第一基板210上且位于所述周边区域;

[0090] 第二基板220,与所述第一基板210相对设置;

[0091] 液晶层,设置于所述第一基板210与所述第二基板220之间,所述液晶层包括若干液晶分子,所述像素阵列240用于控制所述若干液晶分子的动作。

[0092] 本实施例中,第一基板210与第二基板220通常均为玻璃基板或塑料基板等透光材料基板。第二基板220与第一基板210相对设置,在第一基板210与第二基板220之间可以设置对应的电路。

[0093] 像素阵列240设置于第一基板210上且位于显示区域AA,像素阵列240在阵列基板行驱动电路100的驱动控制下,可以产生控制信号控制显示面板200的显示。

[0094] 阵列基板行驱动电路100设置于第一基板210上且位于非显示区域BB,相应地,阵列基板行驱动电路100可以通过隔离结构来实现阵列基板行驱动电路100与液晶层230的隔

离,从而阵列基板行驱动电路100分别与第二基板220之间形成无液晶区。

[0095] 可以理解的是,上述实施例中,显示面板200还包括框胶250,设置于第一基板210与第二基板220之间的非显示区域BB内并环绕液晶层230设置,阵列基板行驱动电路100位于框胶250与显示区域AA之间。框胶250可以采用密封胶涂布在第一基板210上,或者第二基板220上,以连接第一基板210和第二基板220,从而实现对显示面板200的组装处理。具体地,所述像素阵列240为半源极驱动(Half source driving,HSD)架构的像素阵列240。

[0096] 参照图1至图6,在一实施例中,所述阵列基板行驱动电路100包括N个级联设置的阵列基板行驱动支路(311~31N),各所述阵列基板行驱动支路(311~31N)包括信号输入端及栅极驱动信号输出端,每一所述阵列基板行驱动支路(311~31N)的信号输入端与上一级的阵列基板行驱动支路(311~31N)的栅极驱动信号输出端连接;

[0097] 所述驱动电路600包括N个削角支路,每一所述削角支路的栅极驱动信号输入端VG与一所述阵列基板行驱动支路(311~31N)的栅极驱动信号输出端连接,每一所述削角支路的栅极驱动信号输入端VG还与下一级的阵列基板行驱动支路(311~31N)的栅极驱动信号输出端连接。

[0098] 本实施例中,每一阵列基板行驱动支路(311~31N)具有多个输入端,多个输入端分别经电平转移器12接入时序控制器300的时钟信号CLK、CLKB,以及驱动电源输入的电源信号Vss。每一阵列基板行驱动支路(311~31N)的输出端(Output N-1~Output N+1)分别与像素阵列240中的一行薄膜晶体管连接。

[0099] 每个阵列基板行驱动支路(311~31N)均包括充电电路(M1)、输出电路(M3)以及复位电路(M2、M4),充电电路(M1)主要用于输出上拉控制信号。输出电路(M3)的输入端与充电电路(M1)所输出的上拉控制信号Output N-1相连接,主要用于根据该阵列基板行驱动支路的上拉控制信号(上一级的栅极驱动信号)Output N-1输出栅极驱动信号Output N。复位电路(M2、M4)分别与充电电路(M1)以及输出电路(M3)的输出端相连接,在完成对当前行像素单元的扫描后,将上拉控制信号Output N-1以及栅极驱动信号Output N下拉至低电平。阵列基板行驱动支路(311~31N)还可以设置有自举电容C,C的第一极连接上拉控制信号Output N-1,其第二极连接当前级阵列基板行驱动支路的栅极驱动信号Output N。自举电容C用于维持输出电路(M3)之间的电压,稳定输出电路(M3)的输出。当前的栅极驱动信号Output N又为下一行的阵列基板行驱动支路的,下一行的阵列基板行驱动支路输出的栅极驱动信号,同时为复位信号当前行的栅极关断信号。

[0100] 驱动电路600对应每一阵列基板行驱动电路100设置,并且驱动电路600对接收到的当前行栅极驱动信号进行削角,而在接收到下一行的栅极驱动信号时,停止削角。具体工作过程已在上述实施例中阐明,此处不在赘述。

[0101] 本发明还提出一种显示装置,所述显示装置包括显示面板及如上所述的显示面板的驱动电路。该显示面板的驱动电路的详细结构可参照上述实施例,此处不再赘述;可以理解的是,由于在本发明显示装置中使用了上述显示面板的驱动电路,因此,本发明显示装置的实施例包括上述显示面板的驱动电路全部实施例的全部技术方案,且所达到的技术效果也完全相同,在此不再赘述。所述显示面板的驱动电路与所述显示面板连接。

[0102] 参照图1至图6,本实施例中,显示面板200可以是OLED(Organic Light-Emitting Diode,有机发光二极管)显示面板200,也可以是TFT-LCD(Thin Film Transistor Liquid

Crystal Display) 显示面板200。显示面板200以Gate driver design(栅极驱动器设计)来分,可以分为SOC(System on chip,片上系统)型和阵列基板行驱动(Gate driver on array,阵列基板上栅极驱动器)型两种。阵列基板行驱动电路100由于其直接将栅极驱动电路(Gate driver IC)制作在显示装置的阵列(Array)基板上,来代替由外接硅片制作的驱动芯片的一种工艺技术。该技术的应用可减少生产工艺程序,降低产品工艺成本,并且可以提高显示面板200的集成度。相对于SOC型显示面板200,阵列基板行驱动型显示面板200具有更窄的边框(border)。随着科技进步以及人们对视觉效果的更高要求,显示面板200窄边框化是未来的主流趋势。因此,阵列基板行驱动型显示面板200相对于SOC型显示面板200是一种更为重要的应用。在阵列基板行驱动型显示面板200的范例性的架构中,其上下玻璃基板之间填充LC(Liquid Crystal,液晶)分子且四周用密封材料密封;其中,液晶是一种高分子材料,因为其特殊的物理、化学、光学特性,被广泛应用在轻薄型的显示技术上。

[0103] 参照图1至图6,在一实施例中,所述显示面板200包括:

[0104] 像素阵列240;

[0105] 第一基板210,具有显示区域与周边区域;所述像素阵列240设置于所述第一基板210上且位于所述显示区域;所述N个级联设置的所述阵列基板行驱动单元10和辅助电路单元20设置于所述第一基板210上且位于所述周边区域;

[0106] 第二基板220,与所述第一基板210相对设置;

[0107] 液晶层,设置于所述第一基板210与所述第二基板220之间,所述液晶层包括若干液晶分子,所述像素阵列240用于控制所述若干液晶分子的动作。

[0108] 本实施例中,第一基板210与第二基板220通常均为玻璃基板或塑料基板等透光材料基板。第二基板220与第一基板210相对设置,在第一基板210与第二基板220之间可以设置对应的电路。

[0109] 像素阵列240设置于第一基板210上且位于显示区域AA,像素阵列240在阵列基板行驱动电路100的驱动控制下,可以产生控制信号控制显示面板200的显示。

[0110] 阵列基板行驱动电路100设置于第一基板210上且位于非显示区域BB,相应地,阵列基板行驱动电路100可以通过隔离结构来实现阵列基板行驱动电路100与液晶层230的隔离,从而阵列基板行驱动电路100分别与第二基板220之间形成无液晶区。

[0111] 可以理解的是,上述实施例中,显示面板200还包括框胶250,设置于第一基板210与第二基板220之间的非显示区域BB内并环绕液晶层230设置,阵列基板行驱动电路100位于框胶250与显示区域AA之间。框胶250可以采用密封胶涂布在第一基板210上,或者第二基板220上,以连接第一基板210和第二基板220,从而实现对显示面板200的组装处理。具体地,所述像素阵列240为半源极驱动(Half source driving,HSD)架构的像素阵列240。

[0112] 本实施例中,显示面板200的像素阵列240由多个子像素构成,三个子像素(红、绿、蓝)构成一个像素,例如在同一横行上的子像素在分布于显示面板200上时,每一子像素的导通时间是一致的。在一些大尺寸的显示面板200中,由于面板远离栅极驱动的区域与靠近栅极驱动的区域扫描线走线电阻是不均匀的,在同一行的子像素同时打通,而数据信号输出至各子像素的时间是相同的,这势必会出现原理栅极驱动和靠近栅极驱动充电不均匀的问题而导致显示面板200的亮度不均。因此,往往在显示面板200的左右两侧都设置有栅极驱动gate driver,并通过时序控制器300输出帧起始信号(Start Vertical,STV)、扫描

时钟脉冲信号(Clock Pulse Vertical, CPV), 时钟信号Ck1~Ckx、以及低频信号LC1&LC2等阵列基板行驱动驱动信号, 传输到面板左右两侧的阵列基板行驱动电路100中, 阵列基板行驱动单元10正常动作后再逐行开启显示面板200内的扫描线gate line, 以实现双边驱动。

[0113] 参照图1至图6, 在一可选实施例中, 所述像素阵列240包括多个子像素, 每一所述子像素均包括一主动开关(薄膜晶体管)及一像素电极, 所述主动开关T的栅极与该子像素对应的扫描线电性连接, 所述主动开关的源极与该像素单元对应的数据线电性连接, 所述主动开关的漏极与该子像素的像素电极电性连接。像素阵列240还包括连接主动开关元件阵列的像素电极阵列。

[0114] 显示面板200由多个像素组成, 每个像素又由红绿蓝三个亚像素组成。每个亚像素电路结构一般设置有一个薄膜晶体管和一个电容, 薄膜晶体管的栅极通过扫描线与栅极驱动器连接, 薄膜晶体管的源极通过数据线与源极驱动器500连接, 薄膜晶体管的漏极与电容的一端连接。其中, 多个薄膜晶体管构成了本实施例的薄膜晶体管阵列(图未标示)。位于同一列的薄膜晶体管31通过一数据线与源极驱动器500连接, 位于同一行的薄膜晶体管通过一扫描线与栅极驱动器连接, 如此以构成薄膜晶体管阵列。阵列基板行驱动电路100对若干薄膜晶体管的栅极提供电压。这些薄膜晶体管可以是a-Si(非晶硅)薄膜晶体管或者Poly-Si(多晶硅)薄膜晶体管, 其中Poly-Si薄膜晶体管可以采用LTPS(Low Temperature Poly-Silicon, 低温多晶硅)等技术加以形成。

[0115] 在像素阵列240中, 各行中奇数列的所述薄膜晶体管分别与偶数行的所述扫描线的连接, 各行中偶数列的所述薄膜晶体管分别与奇数行的所述扫描线的电连接连接, 相邻的奇数列薄膜晶体管和偶数列薄膜晶体管与同一条所述数据线电连接。各行中奇数列的所述薄膜晶体管分别与奇数行的所述扫描线的连接, 各行中偶数列的所述薄膜晶体管分别与偶数行的所述扫描线的电连接连接, 相邻的奇数列薄膜晶体管和偶数列薄膜晶体管与同一条所述数据线电连接。

[0116] 以上所述仅为本发明的可选实施例, 并非因此限制本发明的专利范围, 凡是在本发明的发明构思下, 利用本发明说明书及附图内容所作的等效结构变换, 或直接/间接运用在其他相关的技术领域均包括在本发明的专利保护范围内。

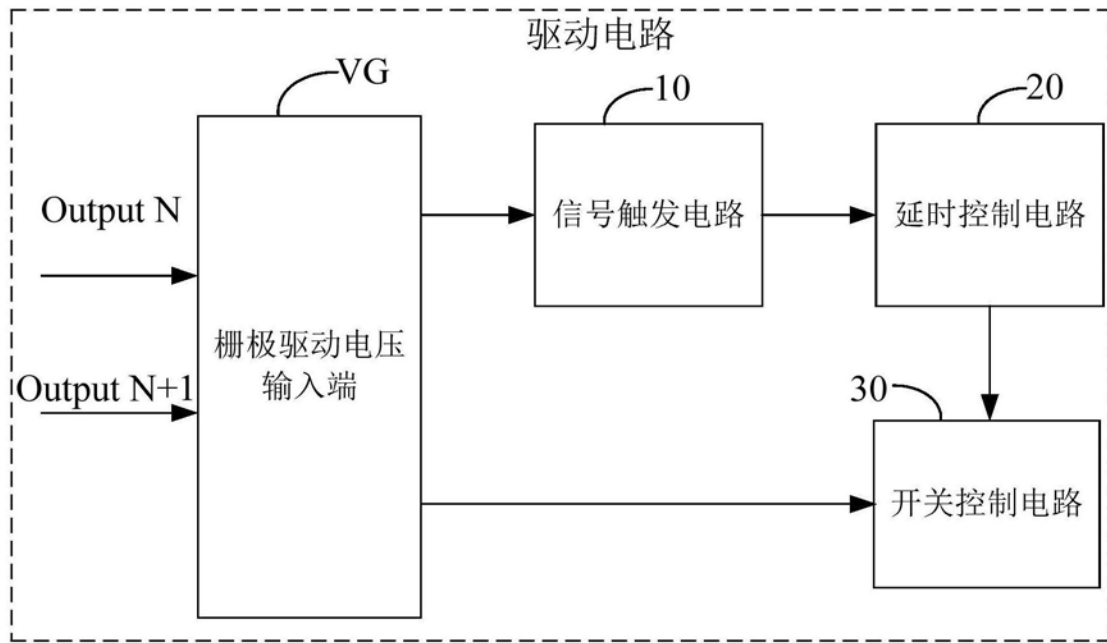


图1

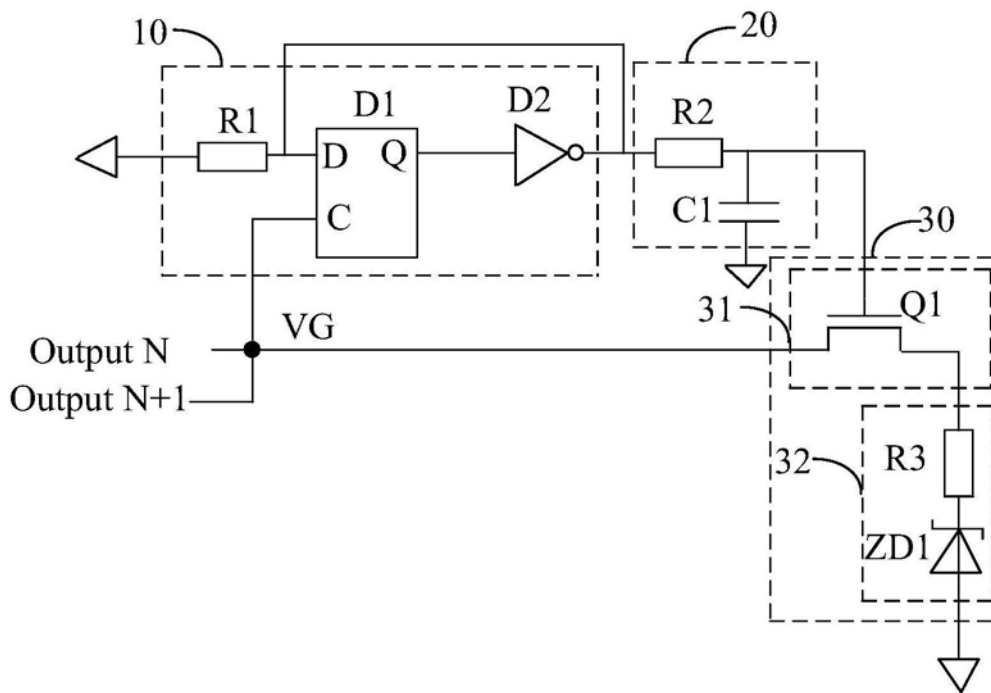


图2

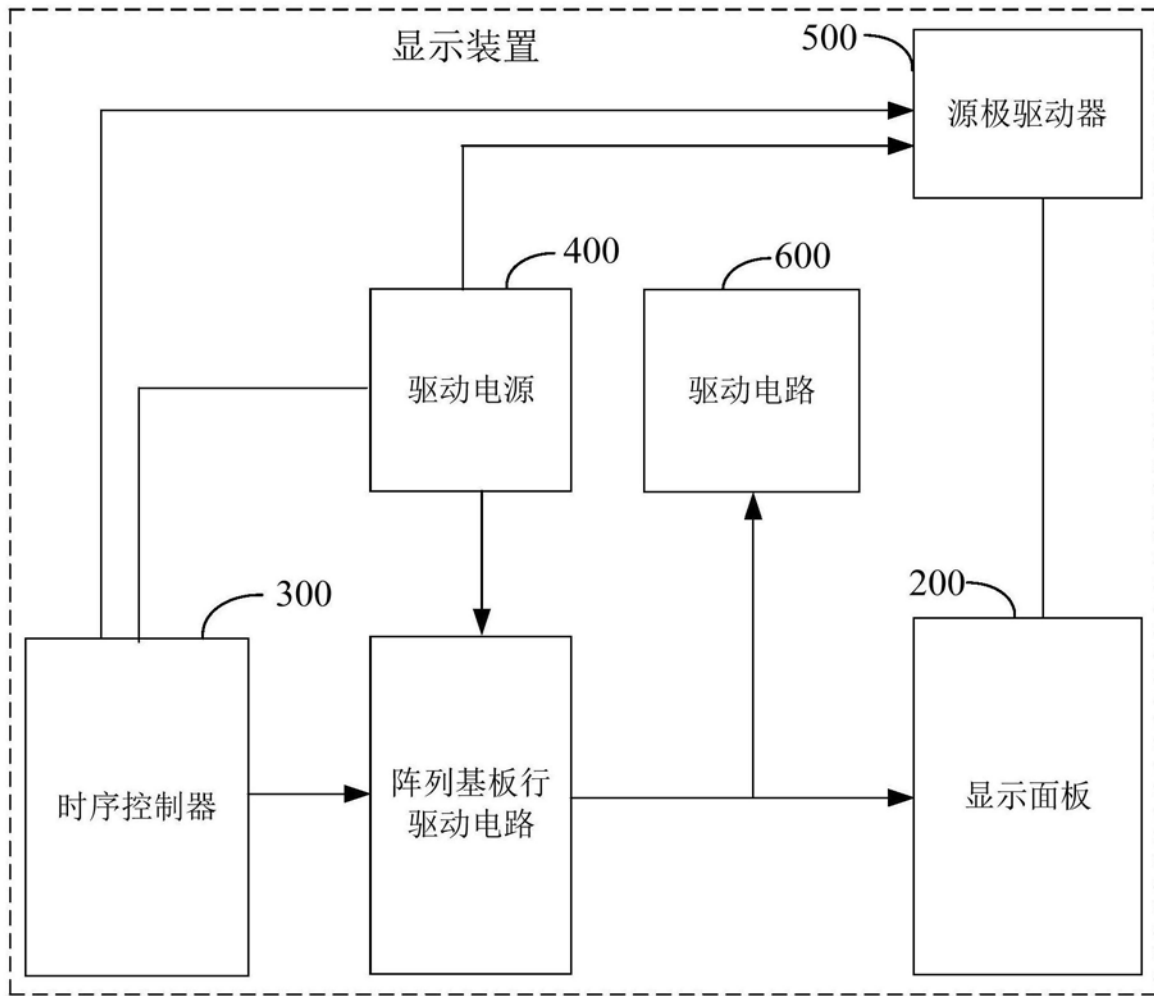


图3

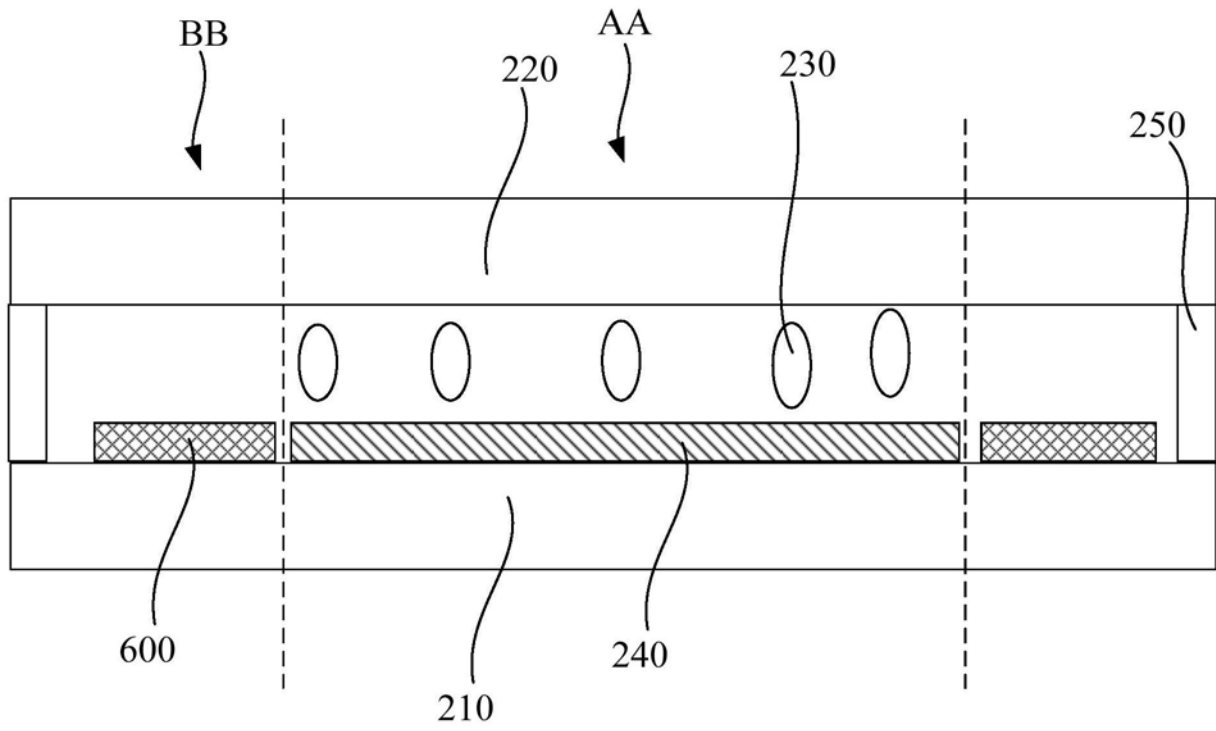


图4

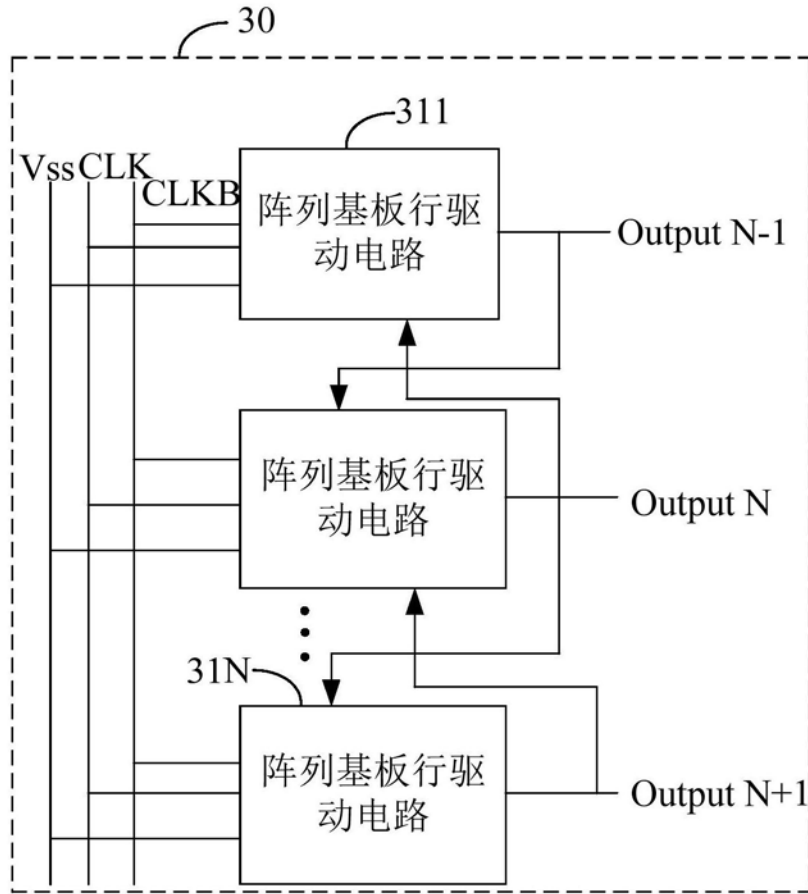


图5

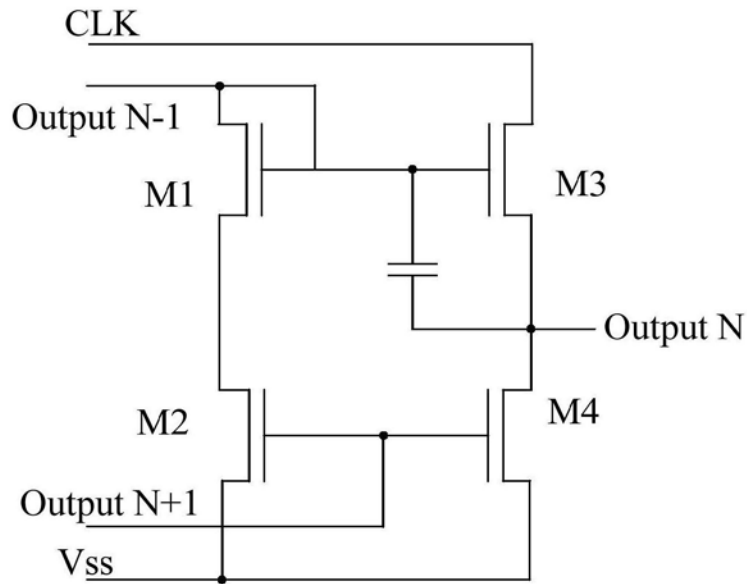


图6