



(12)发明专利申请

(10)申请公布号 CN 110867456 A

(43)申请公布日 2020.03.06

(21)申请号 201911031657.3

(22)申请日 2019.10.28

(71)申请人 深圳市华星光电半导体显示技术有限公司

地址 518132 广东省深圳市光明新区公明街道塘明大道9-2号

(72)发明人 奚苏萍

(74)专利代理机构 深圳紫藤知识产权代理有限公司 44570

代理人 黄灵飞

(51)Int.Cl.

H01L 27/12(2006.01)

H01L 21/77(2017.01)

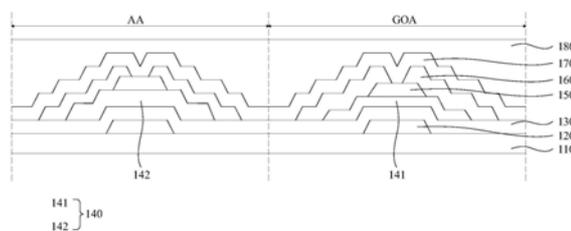
权利要求书2页 说明书10页 附图4页

(54)发明名称

阵列基板及其制备方法、显示面板

(57)摘要

本发明提供一种阵列基板及其制备方法、显示面板,该基板包括显示区和GOA区,阵列基板位于AA区内的有源层的厚度,大于位于GOA区内的有源层的厚度;通过将GOA区和显示区内阵列基板的有源层设置成不同的厚度,GOA区内的有源层的厚度设置的较小,有助于实现GOA区域内薄膜晶体管快速响应的需求;显示区内有源层的厚度设置的较大,可以缓解光子在有源层内的扩散,从而达到减小显示区内薄膜晶体管负偏的影响;这样对GOA区和显示区内有源层的不同厚度设置,同时满足了显示区和GOA区域内,阵列基板的不同特征需求,提高了显示面板的质量。



1. 一种阵列基板,其特征在于,包括显示区和GOA区,所述阵列基板包括:
衬底;
有源层,形成于所述衬底上,图案化形成有源区;
源漏极层,形成于所述有源层上;
其中,位于所述显示区内的有源区的厚度,大于位于所述GOA区内的有源区的厚度。
2. 如权利要求1所述的阵列基板,其特征在于,所述阵列基板还包括在所述衬底上层叠设置的栅极层、栅极绝缘层、刻蚀阻挡层、钝化层、以及平坦化层,所述有源层位于所述栅极绝缘层和所述刻蚀阻挡层之间,所述源漏极层位于所述刻蚀阻挡层和所述钝化层之间。
3. 如权利要求2所述的阵列基板,其特征在于,所述阵列基板在显示区内的厚度,和在GOA区内的厚度相同。
4. 如权利要求3所述的阵列基板,其特征在于,位于所述显示区内的钝化层的厚度,小于位于所述GOA区内的钝化层的厚度。
5. 如权利要求3所述的阵列基板,其特征在于,位于所述显示区内的平坦化层的厚度,小于位于所述GOA区内的平坦化层的厚度。
6. 如权利要求1所述的阵列基板,其特征在于,所述阵列基板还包括在所述衬底上层叠设置的栅极绝缘层、栅极层、层间绝缘层、钝化层、以及平坦化层,所述有源层位于所述衬底和所述栅极绝缘层之间,所述源漏极层位于所述层间绝缘层和所述钝化层之间。
7. 如权利要求6所述的阵列基板,其特征在于,所述阵列基板在显示区内的厚度,和在GOA区内的厚度相同。
8. 如权利要求7所述的阵列基板,其特征在于,位于所述显示区内的层间绝缘层的厚度,小于位于所述GOA区内的层间绝缘层的厚度。
9. 如权利要求7所述的阵列基板,其特征在于,位于所述显示区内的钝化层的厚度,小于位于所述GOA区内的钝化层的厚度。
10. 如权利要求7所述的阵列基板,其特征在于,位于所述显示区内的平坦化层的厚度,小于位于所述GOA区内的平坦化层的厚度。
11. 如权利要求1所述的阵列基板,其特征在于,在所述GOA区内,所述阵列基板的有源层的材料为非晶硅或铟镓锌氧化合物。
12. 一种阵列基板的制备方法,其特征在于,包括:
提供基板;
在所述基板上沉积一层半导体有源层;
图案化处理所述半导体有源层,得到有源区,位于显示区内的有源区的厚度,大于位于GOA区内的有源区的厚度。
13. 如权利要求12所述的制备方法,其特征在于,所述图案化处理所述半导体有源层的具体步骤包括:
采用半光罩掩膜技术,图案化处理所述半导体有源层。
14. 如权利要求12所述的制备方法,其特征在于,所述图案化处理所述半导体有源层的具体步骤包括:
采用灰色调掩膜技术,图案化处理所述半导体有源层。
15. 一种显示面板,其特征在于,所述显示面板包括阵列基板,所述阵列基板包括显示

区和GOA区,位于所述显示区内的有源层的厚度,大于位于所述GOA区内的有源层的厚度。

阵列基板及其制备方法、显示面板

技术领域

[0001] 本发明涉及显示领域,尤其涉及一种阵列基板及其制备方法、显示面板。

背景技术

[0002] GOA (Gate Driver On Array, 栅极驱动集成在阵列基板上) 技术由于具备可以节省栅极驱动集成电路、实现窄边框等优势,目前已经广泛的运用于面板设计当中。

[0003] 在面板的显示区内,由于受到开口率的限制,黑矩阵的宽度设定在一定的范围内,无法增大,这样就导致了射入到黑矩阵边缘的光线会通过漫反射、折射等原因照射到阵列基板上;显示区内阵列基板的栅极端长时间受到负向电压,阵列基板经常受到光照,会加速薄膜晶体管的负偏。在GOA区域内,由于黑矩阵大面积遮挡,存在漏光的可能性很小;而GOA区的阵列基板为了达到快速响应的目的,通常对其有源区的厚度进行细部追究。所以,如何减小显示区内阵列基板的负偏,提高GOA区内阵列基板的响应速度,从而提高显示质量,显得尤为重要。

[0004] 因此,现有显示面板存在显示区内阵列基板的负偏需要避免,GOA区内阵列基板的响应速度需要提高。

发明内容

[0005] 本发明提供一种阵列基板及其制备方法、显示面板,以缓解现有显示面板存在显示区内阵列基板的负偏需要避免,GOA区内阵列基板的响应速度需要提高的问题。

[0006] 为解决以上问题,本发明提供的技术方案如下:

[0007] 本发明提供一种阵列基板,其包括显示区和GOA区,所述阵列基板包括:

[0008] 衬底;

[0009] 有源层,形成于所述衬底上,图案化形成有源区;

[0010] 源漏极层,形成于所述有源层上;

[0011] 其中,位于所述显示区内的有源区的厚度,大于位于所述GOA区内的有源区的厚度。

[0012] 在本发明提供的阵列基板中,所述阵列基板还包括在所述衬底上层叠设置的栅极层、栅极绝缘层、刻蚀阻挡层、钝化层、以及平坦化层,所述有源层位于所述栅极绝缘层和所述刻蚀阻挡层之间,所述源漏极层位于所述刻蚀阻挡层和所述钝化层之间。

[0013] 在本发明提供的阵列基板中,所述阵列基板在显示区内的厚度,和在GOA区内的厚度相同。

[0014] 在本发明提供的阵列基板中,位于所述显示区内的钝化层的厚度,小于位于所述GOA区内的钝化层的厚度。

[0015] 在本发明提供的阵列基板中,位于所述显示区内的平坦化层的厚度,小于位于所述GOA区内的平坦化层的厚度。

[0016] 在本发明提供的阵列基板中,所述阵列基板还包括在所述衬底上层叠设置的栅极

绝缘层、栅极层、层间绝缘层、钝化层、以及平坦化层,所述有源层位于所述衬底和所述栅极绝缘层之间,所述源漏极层位于所述层间绝缘层和所述钝化层之间。

[0017] 在本发明提供的阵列基板中,所述阵列基板在显示区内的厚度,和在GOA区内的厚度相同。

[0018] 在本发明提供的阵列基板中,位于所述显示区内的层间绝缘层的厚度,小于位于所述GOA区内的层间绝缘层的厚度。

[0019] 在本发明提供的阵列基板中,位于所述显示区内的钝化层的厚度,小于位于所述GOA区内的钝化层的厚度。

[0020] 在本发明提供的阵列基板中,位于所述显示区内的平坦化层的厚度,小于位于所述GOA区内的平坦化层的厚度。

[0021] 在本发明提供的阵列基板中,在所述GOA区内,所述阵列基板的有源层的材料为非晶硅或铟镓锌氧化合物。

[0022] 同时,本发明还提供一种阵列基板的制备方法,其包括:

[0023] 提供基板;

[0024] 在所述基板上沉积一层半导体有源层;

[0025] 图案化处理所述半导体有源层,得到有源区,位于显示区内的有源区的厚度,大于位于GOA区内的有源区的厚度。

[0026] 在本发明提供的制备方法中,所述图案化处理所述半导体有源层的具体步骤包括:

[0027] 采用半光罩掩膜技术,图案化处理所述半导体有源层。

[0028] 在本发明提供的制备方法中,所述图案化处理所述半导体有源层的具体步骤包括:

[0029] 采用灰色调掩膜技术,图案化处理所述半导体有源层。

[0030] 同时,本发明还提供一种显示面板,所述显示面板包括阵列基板,所述阵列基板包括显示区和GOA区,位于所述显示区内的有源层的厚度,大于位于所述GOA区内的有源层的厚度。

[0031] 本发明的有益效果为:本发明提供一种阵列基板及其制备方法、显示面板,该基板包括显示区和GOA区,阵列基板位于AA区内的有源层的厚度,大于位于GOA区内的有源层的厚度;通过将GOA区和显示区内阵列基板的有源层设置成不同的厚度,GOA区内的有源层的厚度设置的较小,有助于实现GOA区域内薄膜晶体管快速响应的需求;显示区内有源层的厚度设置的较大,可以缓解光子在有源层内的扩散,从而达到减小显示区内薄膜晶体管负偏的影响;这样对GOA区和显示区内有源层的不同厚度设置,同时满足了显示区和GOA区域内,阵列基板的不同特征需求,提高了显示面板的质量。

附图说明

[0032] 为了更清楚地说明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单介绍,显而易见地,下面描述中的附图仅仅是发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

- [0033] 图1为本发明实施例提供的阵列基板的第一种结构示意简图。
[0034] 图2为本发明实施例提供的阵列基板的第一种结构示意简图。
[0035] 图3为本发明实施例提供的阵列基板的制备流程图。
[0036] 图4为本发明实施例提供的半光罩掩膜技术的原理示意简图。
[0037] 图5为本发明实施例提供的灰色度掩膜技术的原理示意简图。
[0038] 图6为图5中501区域的局部放大图。

具体实施方式

[0039] 下面将结合本发明的具体实施方案,对本发明实施方案和/或实施例中的技术方案进行清楚、完整的描述,显而易见的,下面所描述的实施方案和/或实施例仅仅是本发明一部分实施方案和/或实施例,而不是全部的实施方案和/或实施例。基于本发明中的实施方案和/或实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施方案和/或实施例,都属于本发明保护范围。

[0040] 本发明所提到的方向用语,例如[上]、[下]、[左]、[右]、[前]、[后]、[内]、[外]、[侧]等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明和理解本发明,而非用以限制本发明。术语“第一”、“第二”等仅用于描述目的,而不能理解为指示或是暗示其相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”等的特征可以明示或者隐含地包括一个或者更多个该特征。

[0041] 针对现有显示面板存在显示区内阵列基板的负偏需要避免,GOA区内阵列基板的响应速度需要提高的问题,本发明提供一种阵列基板及其制备方法可以缓解这个问题。

[0042] 在一种实施例中,如图1和图2所示,本发明提供的阵列基板包括显示区AA和GOA区,阵列基板包括:

[0043] 衬底;

[0044] 有源层,形成于衬底上,图案化形成有源区;

[0045] 源漏极层,形成于有源层上;

[0046] 其中,位于显示区内的有源区的厚度,大于位于GOA区内的有源区的厚度。

[0047] 本实施例提供一种阵列基板,该基板包括显示区和GOA区,阵列基板位于AA区内的有源层的厚度,大于位于GOA区内的有源层的厚度;通过将GOA区和显示区内阵列基板的有源层设置成不同的厚度,GOA区内的有源层的厚度设置的较小,有助于实现GOA区域内薄膜晶体管快速响应的需求;显示区内有源层的厚度设置的较大,可以缓解光子在有源层内的扩散,从而达到减小显示区内薄膜晶体管负偏的影响;这样对GOA区和显示区内有源层的不同厚度设置,同时满足了显示区和GOA区域内,阵列基板的不同特征需求,提高了显示面板的质量。

[0048] 在一种实施例中,如图1所示,本发明提供的阵列基板为底栅结构,所述阵列基板包括:

[0049] 衬底110,衬底110为玻璃衬底或柔性衬底。玻璃衬底由铝硅酸盐和其他成分构成,要求是低碱、平整度高、耐高温和热膨胀系数低等。柔性衬底一般包括第一柔性衬底、第二柔性衬底、以及位于第一柔性衬底和第二柔性衬底之间的无机层;其中第一柔性衬底和第二柔性衬底的材料为聚乙酰胺或聚对苯二甲酸乙二醇酯,用于保证柔性衬底的柔性;无机

层的材料为氮化硅或氧化硅,用于阻隔阵列基板外的水或氧气进入薄膜晶体管。

[0050] 栅极层120,形成于衬底110上,图案化形成栅极以及扫描信号线,栅极层120的材料一般为金属钼、金属铝或铝合金。

[0051] 栅极绝缘层130,形成于栅极层120上,覆盖栅极层120和衬底110。栅极绝缘层一般为氧化硅/氮化硅形成的堆叠结构,氮化硅具有较高的击穿电压,可作为良好的栅极绝缘材料,氧化硅与多晶硅表面具有良好的晶界匹配和应力匹配,同时氧化硅具有良好的台阶覆盖性。

[0052] 有源层140,形成于栅极绝缘层130上,图案化形成有源区,有源区通过掺杂,形成掺杂区和沟道区。在本发明实施例中,所述有源层的材料为镉镓锌氧化物或非晶硅;所述掺杂区,为高浓度磷离子注入掺杂,以形成N型薄膜晶体管的源漏极区,或为高浓度硼离子注入掺杂,以形成P型薄膜晶体管的源漏极区。

[0053] 有源层包括位于GOA区内的有源区141和位于AA区内的有源区142,有源区141的厚度小于有源区142的厚度。通过将GOA区和AA区内有源层设置成不同的厚度,GOA区内的有源层的厚度设置的较小,有助于实现GOA区域内薄膜晶体管快速响应的需求;AA区内有源层的厚度设置的较大,可以缓解光子在有源层内的扩散,进而达到减小AA区内薄膜晶体管负偏的影响;这样对GOA区和AA区内有源层不同的厚度设置,同时满足了显示区和GOA区域内,阵列基板不同的特征需求,提高了显示面板的质量。

[0054] 刻蚀阻挡层150,形成于有源层140上,覆盖有源层140的沟道区,也可以同时覆盖沟道区和掺杂区。刻蚀阻挡层的材料为氧化硅,或氮化硅,或氧化硅和氮化硅的叠层结构。刻蚀阻挡层150用于保护有源层140的沟道区在后续源漏极层的制备过程中,免遭刻蚀液的侵蚀。

[0055] 源漏极层160,形成于刻蚀阻挡层150上,图案化形成源极、漏极、数据信号线、电源信号线等,源极和漏极分别与位于有源区两侧的掺杂区相连。源漏极层160的材料为钛/铝/钛的叠层结构,或是钼/铝/钼的叠层结构。

[0056] 钝化层170,形成于源漏极层160上,覆盖源漏极层160、刻蚀阻挡层150和栅极绝缘层130。钝化层170主要用于隔开源漏极层内的源极、漏极、数据信号线、电源信号线等,避免其相互之间短接,同时用于使源漏极层与位于其上的金属层绝缘。钝化层170的材料一般为氮化硅。

[0057] 平坦化层180,形成于钝化层170上,覆盖钝化层170。平坦化层180的主要作用是使阵列基板平坦化,其材料一般为聚酰亚胺(PI)、聚对苯二甲酸乙二醇酯(PET)或其他有机材料。

[0058] 由于位于GOA区内的有源层141的厚度,比位于AA区内的有源层222的厚度大,因此,极易造成GOA区内的阵列基板的整体厚度,比AA区内的阵列基板的整体厚度。要保证GOA区内的阵列基板的整体厚度,与AA区内的阵列基板的整体厚度相同,就需要调节其他功能膜层的厚度。

[0059] 在一种实施例中,位于AA区内的钝化层的厚度,小于位于GOA区内的钝化层的厚度。且位于AA区内的有源层和钝化层的厚度之和,与位于GOA区内的有源层和钝化层的厚度之和相等;如此弥补了由于AA区和GOA区内有源区厚度的不同,对阵列基板整体厚度的影响。

[0060] 在另一种实施例中,位于AA区内的平坦化层的厚度,小于位于GOA区内的平坦化层的厚度。且位于AA区内的有源层和平坦化层的厚度之和,与位于GOA区内的有源层和平坦化层的厚度之和相等;如此弥补了由于AA区和GOA区内有源区厚度的不同,对阵列基板整体厚度的影响。

[0061] 在另一种实施例中,如图2所示,本发明提供的阵列基板为顶栅结构,所述阵列基板包括:

[0062] 衬底210,衬底210为玻璃衬底或柔性衬底。玻璃衬底由铝硅酸盐和其他成分构成,要求是低碱、平整度高、耐高温和热膨胀系数低等。柔性衬底一般包括第一柔性衬底、第二柔性衬底、以及位于第一柔性衬底和第二柔性衬底之间的无机层;其中第一柔性衬底和第二柔性衬底的材料为聚乙酰胺或聚对苯二甲酸乙二醇酯,用于保证柔性衬底的柔性;无机层的材料为氮化硅或氧化硅,用于阻隔阵列基板外的水或氧气进入薄膜晶体管。

[0063] 有源层220,形成于衬底210上,图案化形成有源区,有源区通过掺杂,形成掺杂区和沟道区。在本发明实施例中,所述有源层的材料为铟镓锌氧化物或非晶硅;所述掺杂区,为高浓度磷离子注入掺杂,以形成N型薄膜晶体管的源漏极区,或为高浓度硼离子注入掺杂,以形成P型薄膜晶体管的源漏极区。

[0064] 有源层包括位于GOA区内的有源区221和位于AA区内的有源区222,有源区221的厚度小于有源区222的厚度。通过将GOA区和AA区内有源层设置成不同的厚度,GOA区内的有源层的厚度设置的较小,有助于实现GOA区域内薄膜晶体管快速响应的需求;AA区内有源层的厚度设置的较大,可以缓解光子在有源层内的扩散,进而达到减小AA区内薄膜晶体管负偏的影响;这样对GOA区和AA区内有源层不同的厚度设置,同时满足了显示区和GOA区域内,阵列基板不同的特征需求,提高了显示面板的质量。

[0065] 栅极绝缘层230,形成于有源层220上,覆盖有源层220和衬底210。栅极绝缘层一般为氧化硅/氮化硅形成的堆叠结构,氮化硅具有较高的击穿电压,可作为良好的栅极绝缘材料,氧化硅与多晶硅表面具有良好的晶界匹配和应力匹配,同时氧化硅具有良好的台阶覆盖性。

[0066] 栅极层240,形成于栅极绝缘层230上,图案化形成栅极以及扫描信号线,栅极层240的材料一般为金属钼、金属铝或铝合金。

[0067] 层间绝缘层250,形成于栅极层240上,覆盖栅极层240和栅极绝缘层230。层间绝缘层的材料为氧化硅,或氮化硅,或氧化硅和氮化硅的叠层结构。

[0068] 源漏极层260,形成于层间绝缘层250上,图案化形成源极、漏极、数据信号线、电源信号线等,源极和漏极分别与位于有源区两侧的掺杂区相连。源漏极层260的材料为钛/铝/钛的叠层结构,或是钼/铝/钼的叠层结构。

[0069] 钝化层270,形成于源漏极层260上,覆盖源漏极层260和层间绝缘层250。钝化层270主要用于隔开源漏极层内的源极、漏极、数据信号线、电源信号线等,避免其相互之间短接,同时用于使源漏极层与位于其上的金属层绝缘。钝化层270的材料一般为氮化硅。

[0070] 平坦化层280,形成于钝化层270上,覆盖钝化层270。平坦化层280的主要作用是使阵列基板平坦化,其材料一般为聚酰亚胺(PI)、聚对苯二甲酸乙二醇酯(PET)或其他有机材料。

[0071] 由于位于GOA区内的有源层221的厚度,比位于AA区内的有源层222的厚度大,因

此,极易造成GOA区内的阵列基板的整体厚度,比AA区内的阵列基板的整体厚度。要保证GOA区内的阵列基板的整体厚度,与AA区内的阵列基板的整体厚度相同,就需要调节其他功能膜层的厚度。

[0072] 在一种是实施例中,位于AA区内的层间绝缘层的厚度,小于位于GOA区内的层间绝缘层的厚度。且位于AA区内的有源层和层间绝缘层的厚度之和,与位于GOA区内的有源层和层间绝缘层的厚度之和相等;如此弥补了由于AA区和GOA区内有源区厚度的不同,对阵列基板整体厚度的影响。

[0073] 在另一种是实施例中,位于AA区内的钝化层的厚度,小于位于GOA区内的钝化层的厚度。且位于AA区内的有源层和钝化层的厚度之和,与位于GOA区内的有源层和钝化层的厚度之和相等;如此弥补了由于AA区和GOA区内有源区厚度的不同,对阵列基板整体厚度的影响。

[0074] 在又一种实施例中,位于AA区内的平坦化层的厚度,小于位于GOA区内的平坦化层的厚度。且位于AA区内的有源层和平坦化层的厚度之和,与位于GOA区内的有源层和平坦化层的厚度之和相等;如此弥补了由于AA区和GOA区内有源区厚度的不同,对阵列基板整体厚度的影响。

[0075] 在一种实施例中,如图3所示,本发明提供一种阵列基板的制备方法,其包括:

[0076] S1、提供基板;

[0077] S2、在基板上沉积一层半导体有源层;

[0078] S3、图案化处理半导体有源层,得到有源区,位于显示区内的有源区的厚度,大于位于GOA区内的有源区的厚度。

[0079] 本实施例提供一种阵列基板的制备方法,该制备方法通过图案化处理,将GOA区和显示区内阵列基板的有源层设置成不同的厚度,GOA区内的有源层的厚度设置的较小,有助于实现GOA区域内薄膜晶体管快速响应的需求;显示区内有源层的厚度设置的较大,可以缓解光子在有源层内的扩散,从而达到减小显示区内薄膜晶体管负偏的影响;这样对GOA区和显示区内有源层的不同厚度设置,同时满足了显示区和GOA区域内,阵列基板的不同特征需求,提高了显示面板的质量。

[0080] 在一种实施例中,半导体有源层采用半光罩掩膜技术,图案化处理得到。

[0081] 如图4所示,为半光罩掩膜技术的原理示意图,半光照掩膜版410包括不透光区域411、半透光区域412、以及全透光区域413。当光线420透过半透光掩膜版410,对基板430上的光阻440进行光照的时候,光线420透过半透光掩膜版410的光照强度如曲线450所示。

[0082] 当曝光照射光线420照射到全透光区域413时,曝光照射光线不受任何阻挡,全部穿过半透光掩膜版,到达光阻,此时该对应区域内的光阻接收到的曝光照射光线的强度最强,对该对应区域内的光阻曝光显影,所述光阻几乎全部发生聚合反应被去除掉。

[0083] 当曝光照射光线420照射到不透光区域411时,曝光照射光线全部被不透光区域411阻挡,曝光照射光线无法穿透半透光掩膜版,无法到达光阻,此时该对应区域内的光阻接收到的曝光照射光线的强度几乎为零,对该对应区域内的光阻曝光显影,所述光阻几乎全部得到保留。

[0084] 当曝光照射光线420照射到半透光区域412时,只有部分的曝光照射光线顺利穿过所述半透光区域412到达光阻,此时该对应区域内的光阻接收到的曝光照射光线的强度得

到减弱,但仍然有部分能量保留,对该对应区域内的光阻进行曝光显影,所述光阻部分发生聚合反应被去除掉,其余部分的光阻得到保留。

[0085] 即采用半光罩掩膜技术对光阻进行曝光显影可以得到两种不同厚度的光阻图案,进而可以实现阵列基板GOA区和显示区不同厚度有源层的制备。

[0086] 下面将结合半光罩掩膜技术对本发明提供的阵列基板的制备方法进行详细说明。

[0087] S401、提供衬底。

[0088] 为了防止有害物质,如碱金属离子及其他杂质对多晶硅薄膜层性能的影响,需要对提供的衬底进行清洁。

[0089] S402、在衬底上制备栅极层。

[0090] 采用磁控溅射法,在衬底上溅射一层金属薄膜,该金属薄膜可以为金属钼、金属铝、或金属钼和金属铝的复合材料。

[0091] 经过一道光刻工艺,制备出栅极和栅极线。在金属钼的薄膜上沉积一层光刻胶层,采用一套栅极掩膜版,对所述光刻胶层进行曝光,然后用显影液对曝光过后的光刻胶进行显影,得到栅极层图案;然后对裸露在外的栅极层金属钼进行湿法刻蚀,去除没有光刻胶保护的金属钼;再对剩余的光刻胶进行去除,保留下来的金属层即为图案化的栅极层。

[0092] S403、在栅极层上制备栅极绝缘层。

[0093] 采用离子化学气相沉积法在栅极层上沉积绝缘材料,该绝缘材料可以是单层的氮化硅薄膜,可以是单层的氧化硅薄膜,也可以是氧化硅/氮化硅的叠层薄膜。栅极绝缘层需要较高的介电常数,这样栅极氧化层电容(栅极与有源层沟道区之间的电容)更大,更容易产生沟道的反型层。

[0094] S404、在栅极绝缘层上制备有源层。

[0095] 采用等离子化学气相沉积法在栅极绝缘层上沉积一层半导体有源层,所述有源层可以是氧化物有源层,也可以是非晶硅有源层。

[0096] 对有源层进行图案化处理。

[0097] 在有源层上涂覆一层光刻胶,并用半透光掩膜版对所述光刻胶进行曝光处理,半透光掩膜版的半透光区域对应于显示区内的有源区,半透光掩膜版的不透光区域对应于GOA区内的有源区;

[0098] 对曝光后的光刻胶进行显影,去除被完全光照的光刻胶,留下具有没有被光照射和被半透光照的光刻胶,其中,没有被光照射的光刻胶的厚度,大于被半透光照的光刻胶的厚度;

[0099] 采用第一次刻蚀工艺,对没有光刻胶保护的有源层进行刻蚀,得到保留的有源层即为被光刻胶保护的有源区;

[0100] 对光刻胶进行等离子体灰化处理,将半透光照的光刻胶去除掉,没有被光照射的光刻胶被减薄并得到保留;

[0101] 采用第二次刻蚀工艺,对没有光刻胶保护的有源层进行刻蚀,控制刻蚀工艺,使所述有源区得到减薄并保留;

[0102] 对剩余的光刻胶进行等离子体灰化处理,剥离掉剩余的光刻胶;

[0103] 至此完成对有源层的图案化处理,得到位于GOA区内减薄的有源区,和位于显示区内没有被减薄的有源区。

[0104] 对图案化的有源区进行掺杂处理,通过自对准工艺方法,采用离子浴或者离子注入的方式,对所述有源区的预定位置进行离子掺杂,所述掺杂离子可以是高浓度磷离子,以形成N型薄膜晶体管的源漏极区,也可以是高浓度硼离子,以形成P型薄膜晶体管的源漏极区。

[0105] S405、在有源层上制备刻蚀阻挡层。

[0106] 采用等离子体化学气相沉积法,在有源层上沉积一层氧化硅薄膜,作为刻蚀阻挡层,所述刻蚀阻挡层覆盖有源层的有源区,还可以覆盖有源层的部分掺杂区。

[0107] S406、在刻蚀阻挡层上制备源漏极层。

[0108] 在制备源漏极层前,需在阵列基板的预定位置制备过孔,用于在沉积源漏极金属的过程中,将有源层、栅极层与源漏极层通过过孔连接。所采用的方法为干法刻蚀,包括反应性离子刻蚀和感应耦合等离子体刻蚀。

[0109] 在完后过孔制备后,采用磁控溅射方式,在刻蚀阻挡层上溅射一层氧化铟锡薄膜。在强磁场作用下,沉积氧化铟锡薄膜,这主要是因为氧化铟锡薄膜的溅射不适于采用高功率的方式溅射,在高功率的情况下,高能量的氩离子轰击氧化铟锡靶材,会引起氧化铟锡靶材表面氧化铟化,而氧化铟导电性不好,影响自持放电;且磁控溅射衬底的温度应低于100度,此时形成的氧化铟锡薄膜为非晶态,刻蚀速率高,不会有残留。

[0110] 采用一次光刻工艺,对氧化铟锡薄膜进行图案化处理,形成源极、漏极、数据信号线、以及电源信号线。

[0111] S407、在源漏极层上制备钝化层。

[0112] 采用离子化学气相沉积法在源漏极层上沉积绝缘材料以形成钝化层,该绝缘材料可以是单层的氮化硅薄膜,可以是单层的氧化硅薄膜,也可以是氧化硅/氮化硅的叠层薄膜。钝化层覆盖源漏极层和层间绝缘层。

[0113] S408、在钝化层上制备平坦化层。

[0114] 在钝化层上涂覆一层有机材料以使阵列基板平坦化,该有机材料一般为聚酰亚胺、聚对苯二甲酸乙二醇酯或其他有机材料。

[0115] 在另一种实施例中,半导体有源层采用灰色调掩膜技术,图案化处理得到。

[0116] 如图5所示,为灰色调掩膜技术的原理示意图,灰色调掩膜技术是利用光栅效应,实现掩膜版的半光照效果,进而使得光刻胶选择性曝光显影。灰色调掩膜版510包括不透光区域511、光栅区域512、以及全透光区域513。当光线520透过半透光掩膜版510,对基板530上的光阻540进行光照的时候,光线520透过半透光掩膜版510的光照强度如曲线550所示。

[0117] 当曝光照射光线520照射到全透光区域513时,曝光照射光线不受任何阻挡,全部穿过半透光掩膜版,到达光阻,此时该对应区域内的光阻接收到的曝光照射光线的强度最强,对该对应区域内的光阻曝光显影,所述光阻几乎全部发生聚合反应被去除掉。

[0118] 当曝光照射光线520照射到不透光区域511时,曝光照射光线全部被不透光区域511阻挡,曝光照射光线无法穿透半透光掩膜版,无法到达光阻,此时该对应区域内的光阻接收到的曝光照射光线的强度几乎为零,对该对应区域内的光阻曝光显影,所述光阻几乎全部得到保留。

[0119] 当曝光照射光线520照射到光栅区域512时,如图6所示,只有部分的曝光照射光线顺利穿过所述光栅的镂空区到达光阻,剩余部分的光线被光栅阻挡,此时该对应区域内的

光阻接收到的曝光照射光线的强度得到减弱,但仍然有部分能量保留,对该对应区域内的光阻进行曝光显影,所述光阻部分发生聚合反应被去除掉,其余部分的光阻得到保留。

[0120] 即采用灰色调掩膜技术对光阻进行曝光显影同样可以得到两种不同厚度的光阻图案,进而可以实现阵列基板GOA区和显示区不同厚度有源层的制备。其具体制备方法可参照上述实施例中,半光照掩膜技术的制备方法,在此不再详细赘述。

[0121] 同时,本发明还提供一种显示面板,包括阵列基板,所述阵列基板包括显示区和GOA区,阵列基板包括:

[0122] 衬底;

[0123] 有源层,形成于衬底上,图案化形成有源区;

[0124] 源漏极层,形成于有源层上;

[0125] 其中,位于显示区内的有源区的厚度,大于位于GOA区内的有源区的厚度。

[0126] 本实施例提供一种显示面板,该显示面板包括阵列基板,阵列基板包括显示区和GOA区,阵列基板位于AA区内的有源层的厚度,大于位于GOA区内的有源层的厚度;通过将GOA区和显示区内阵列基板的有源层设置成不同的厚度,GOA区内的有源层的厚度设置的较小,有助于实现GOA区域内薄膜晶体管快速响应的需求;显示区内有源层的厚度设置的较大,可以缓解光子在有源层内的扩散,从而达到减小显示区内薄膜晶体管负偏的影响;这样对GOA区和显示区内有源层的不同厚度设置,同时满足了显示区和GOA区域内,阵列基板的不同特征需求,提高了显示面板的质量。

[0127] 在一种实施例中,阵列基板还包括衬底、栅极层、栅极绝缘层、刻蚀阻挡层、源漏极层、钝化层、以及平坦化层,有源层位于栅极绝缘层和刻蚀阻挡层之间。

[0128] 在一种实施例中,阵列基板在显示区内的厚度,和在GOA区内的厚度相同。

[0129] 在一种实施例中,位于显示区内的钝化层的厚度,小于位于GOA区内的钝化层的厚度。

[0130] 在一种实施例中,位于显示区内的平坦化层的厚度,小于位于GOA区内的平坦化层的厚度。

[0131] 在一种实施例中,阵列基板还包括衬底、栅极绝缘层、栅极层、层间绝缘层、源漏极层、钝化层、以及平坦化层,有源层位于衬底和栅极绝缘层之间。

[0132] 在一种实施例中,阵列基板在显示区内的厚度,和在GOA区内的厚度相同。

[0133] 在一种实施例中,位于显示区内的层间绝缘层的厚度,小于位于GOA区内的层间绝缘层的厚度。

[0134] 在一种实施例中,位于显示区内的钝化层的厚度,小于位于GOA区内的钝化层的厚度。

[0135] 在一种实施例中,位于显示区内的平坦化层的厚度,小于位于GOA区内的平坦化层的厚度。

[0136] 根据上述实施例可知:

[0137] 本发明实施例提供一种阵列基板及其制备方法、显示面板,该基板包括显示区和GOA区,阵列基板位于AA区内的有源层的厚度,大于位于GOA区内的有源层的厚度;通过将GOA区和显示区内阵列基板的有源层设置成不同的厚度,GOA区内的有源层的厚度设置的较小,有助于实现GOA区域内薄膜晶体管快速响应的需求;显示区内有源层的厚度设置的较

大,可以缓解光子在有源层内的扩散,从而达到减小显示区内薄膜晶体管负偏的影响;这样对GOA区和显示区内有源层的不同厚度设置,同时满足了显示区和GOA区域内,阵列基板的不同特征需求,提高了显示面板的质量。

[0138] 综上所述,虽然本发明已以优选实施例揭露如上,但上述优选实施例并非用以限制本发明,本领域的普通技术人员,在不脱离本发明的精神和范围内,均可作各种更动与润饰,因此本发明的保护范围以权利要求界定的范围为准。

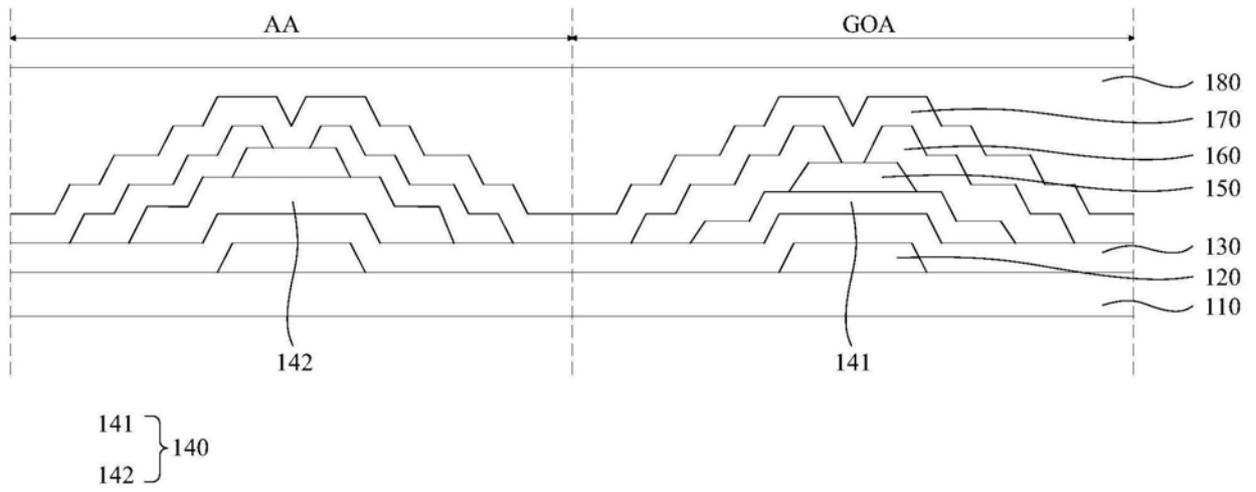


图1

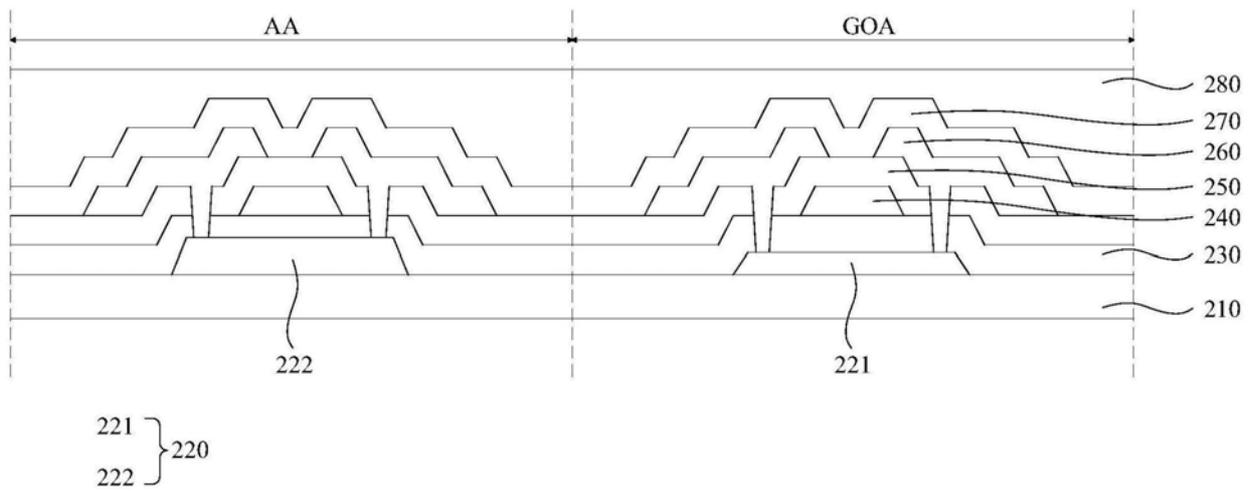


图2

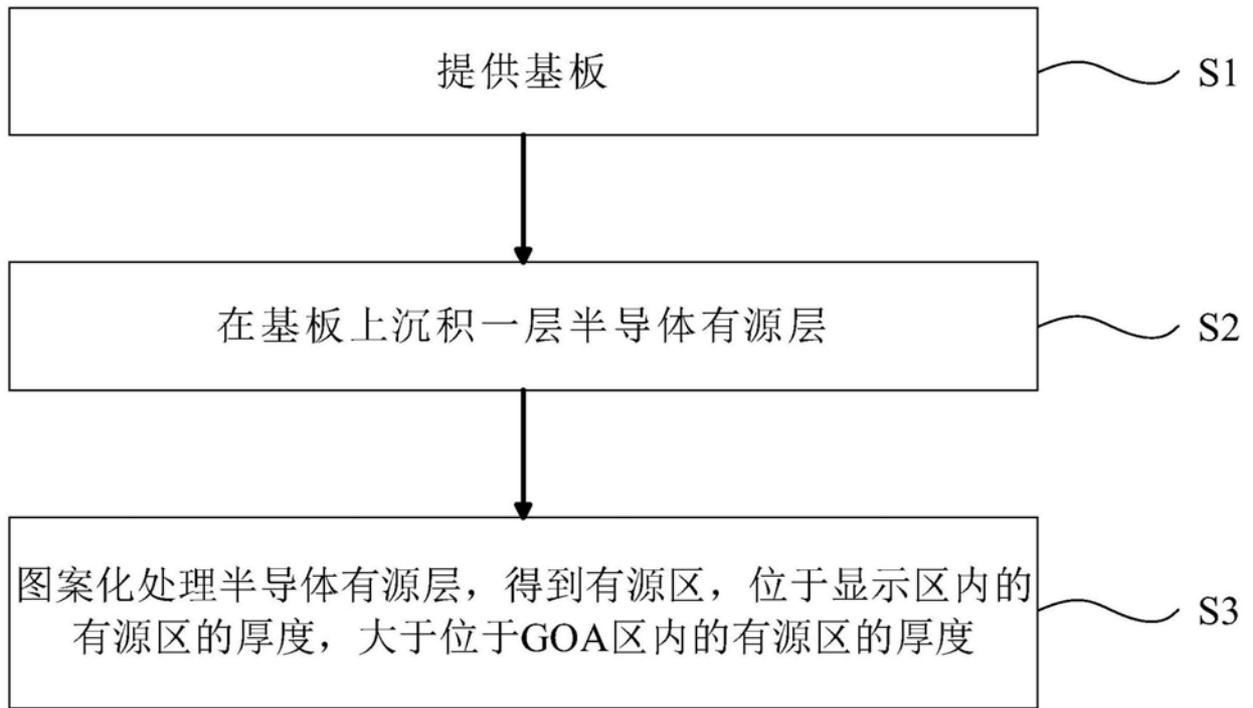


图3

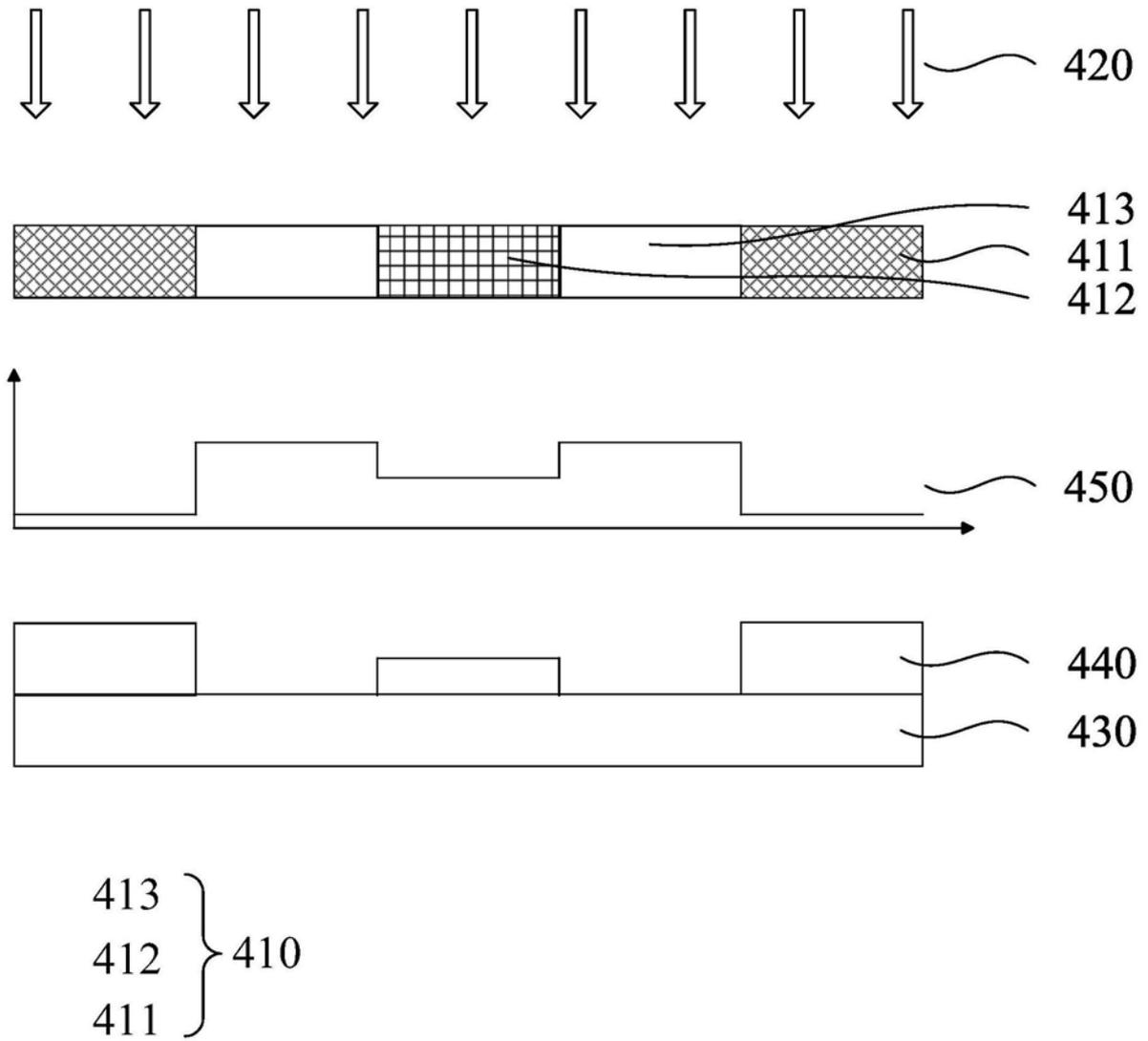


图4

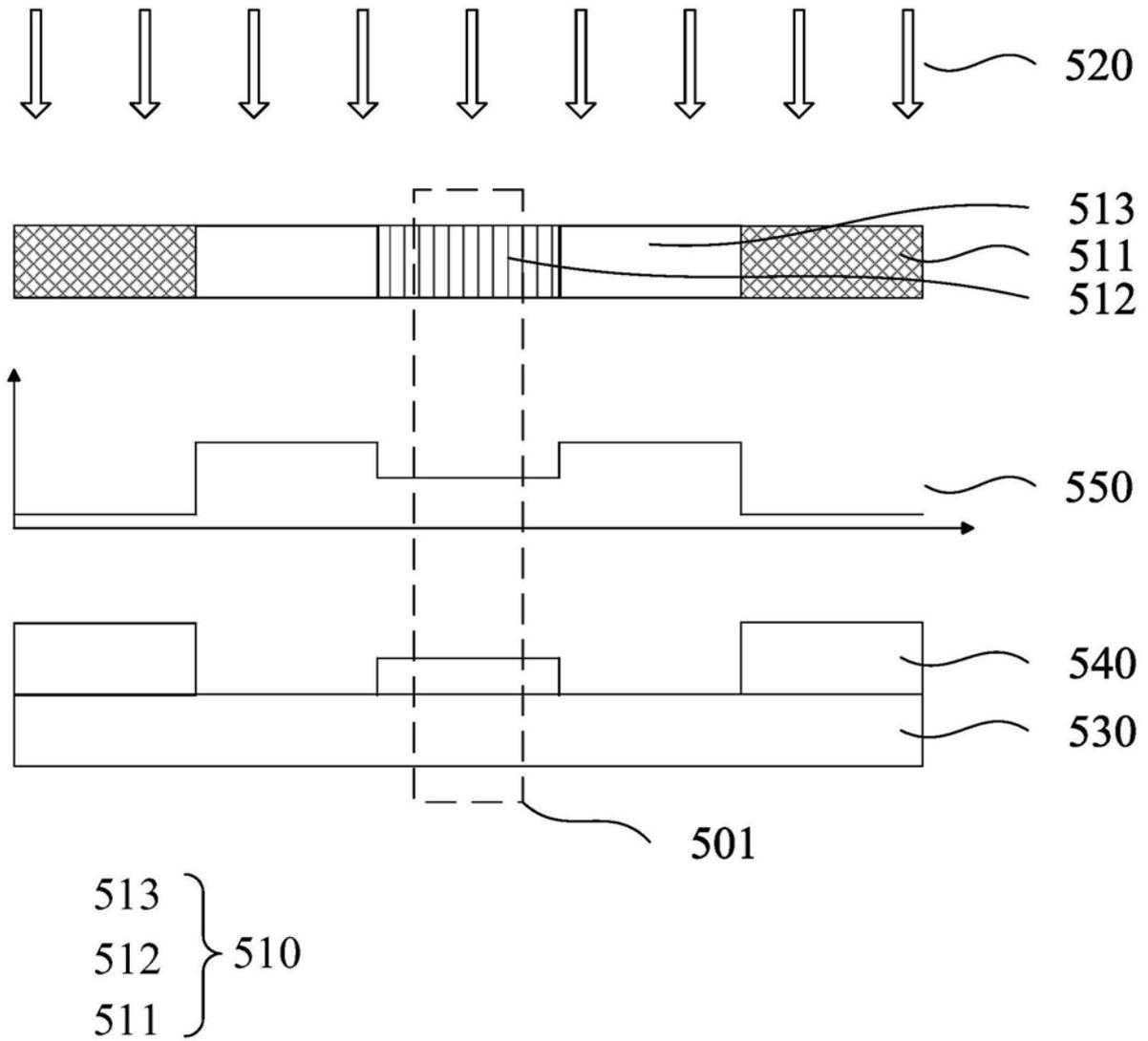


图5

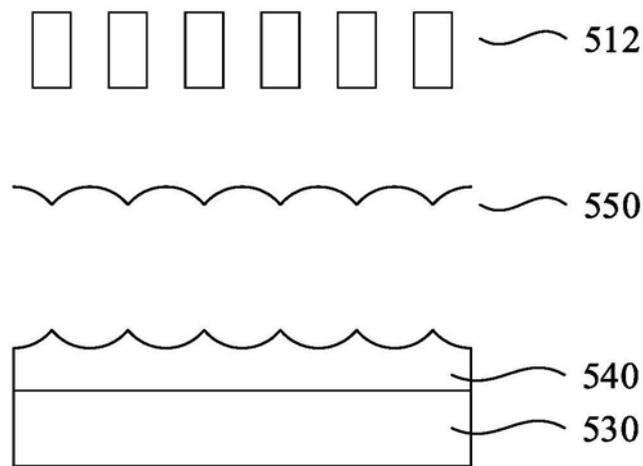


图6