

도 1

특허청구의 범위

청구항 1.

수직형 트랜지스터들(22)을 통해서 결합되는 트렌치 커패시터들(14, 114)의 세트를 구비한 메모리 장치(10)용 레이아웃으로서,

모든 측면에서 인접한 활성 영역 패드들(12, 112)로부터 절연된 활성 영역 패드(12, 122)를 포함하는데, 상기 활성 영역 패드(12, 112)는 상기 활성 영역 패드(12, 112)와 관련된 트렌치 커패시터(14, 114) 세트를 구비하며, 상기 트렌치 커패시터(14, 114) 세트는 상기 수직형 트랜지스터(22)를 통해 상기 활성 영역 패드(12, 112)에 결합되며, 상기 활성 영역 패드(12, 112)는 상기 트렌치 커패시터(14, 114)들의 세트를 제 1 접촉부(16, 116)에 접속시키며; 및

상기 활성 영역 패드(12, 112) 세트들 사이에 배치되는 게이트 도전(GC) 패드(18, 118)를 포함하는데, 상기 게이트 도전(GC) 패드(18, 118)는 상기 게이트 도전(GC) 패드(18, 118)에 인접한 각각의 활성 영역 패드(12, 112)의 적어도 하나의 수직형 트랜지스터(22)를 활성화시키는데 적용되며, 상기 각각의 게이트 도전(GC) 패드(18, 118)는, 상기 게이트 도전(GC) 패드(18, 118)가 제 2 접촉부(24, 124)를 통해서 활성화될 때, 각각의 상기 활성 영역 패드(12, 112)의 적어도 하나의 상기 수직형 트랜지스터(22)가 도전되어 상기 트렌치 커패시터(14, 114)를 액세스하고 상기 제 1 접촉부(16, 116)와 상기 트렌치 커패시터(14, 114) 사이에서 상태를 전달시키도록, 상기 제 2 접촉부(24, 124)에 의해 활성화되는, 메모리 장치용 레이아웃.

청구항 2.

제 1항에 있어서,

상기 활성 영역 패드들(12, 112) 및 게이트 도전(GC) 패드(18, 118)는 정방형, 원형 및 삼각형 중 하나의 형태인 것을 특징으로 하는 메모리 장치용 레이아웃.

청구항 3.

제 1 또는 2항에 있어서,

상기 제 1 접촉부(16, 116)는 제 1 금속층(54, 104)에 접속되며, 상기 제 2 접촉부(24, 124)는 제 2 금속층(50, 106)에 접속되는 것을 특징으로 하는 메모리 장치용 레이아웃.

청구항 4.

제 3항에 있어서,

상기 제 1 금속층(54, 104)은 제 1 금속선들(56, 102)을 포함하고 상기 제 2 금속층(50, 106)은 제 2 금속선들(52, 108)을 포함하며, 상기 제 1 금속선들(56, 102)과 제 2 금속선들(52, 108)은 실질적으로 동일한 피치를 가지는 것을 특징으로 하는 메모리 장치용 레이아웃.

청구항 5.

제 3항에 있어서,

상기 제 1 금속층(54, 104)은 제 1 금속선들(56, 102)을 포함하고, 상기 제 2 금속층(50, 106)은 제 2 금속선들(52, 108)을 포함하며, 상기 제 1 금속선들(56, 102)과 상기 제 2 금속선들(52, 108)은 각각 지그재그 형태로 배치된 것을 특징으로 하는 메모리 장치용 레이아웃.

청구항 6.

제 1항 또는 제 2항에 있어서,

상기 활성 영역 패드들(12, 112) 및 상기 게이트 도전(GC) 패드들(18, 118)은 바둑판 형태로 배치된 것을 특징으로 하는 메모리 장치용 레이아웃.

청구항 7.

제 1항 또는 제 2항에 있어서,

상기 제 1 접촉부(16, 116)는 비트라인에 접속되며 상기 제 2 접촉부(24, 124)는 워드라인에 접속되는 것을 특징으로 하는 메모리 장치용 레이아웃.

청구항 8.

제 1항 또는 제 2항에 있어서,

소정 기술에 대한 피처 최소 크기(F)와 관련하여, 상기 장치(10)는 상기 메모리 셀들이 소정의 기술에 대해 최소 피처 크기(F) 제공의 약 4배($4F^2$) 및 소정의 기술에 대해 최소 피처 크기(F) 제공의 약 6배($6F^2$) 중 하나의 영역을 가지도록 메모리 셀로 분리될 수 있는 것을 특징으로 하는 메모리 장치용 레이아웃.

청구항 9.

제 2항에 따른 메모리 장치(10)용 레이아웃을 포함하는 반도체 메모리 장치용 레이아웃으로서,

실질적으로 정방형인 다수의 활성 영역 패드(12, 112)를 포함하는데, 상기 활성 영역 패드(12, 112)의 각각의 코너에 형성되고 수직형 트랜지스터들(22)을 통해 상기 활성 영역 패드(12, 112)에 결합된 트랜치 커패시터들(14, 114)을 포함하고, 상기 활성 영역 패드(12, 112) 각각은 상기 수직형 트랜지스터들(22)이 도전될 때 상기 트랜치 커패시터들(14, 114)을 상기 제 1 접촉부(16, 116)에 접속시키도록 형성되며; 및

실질적으로 정방형인 상기 게이트 도전(GC) 패드(18, 118)를 포함하는데, 상기 게이트 도전(GC) 패드(18, 118)는 상기 게이트 도전(GC) 패드(18, 118)의 코너가 상기 4개의 활성 영역 패드들(12, 112)의 인접한 코너와 중첩되도록, 상기 4개의 활성 영역 패드들(12, 112) 사이에 배치되며, 상기 게이트 도전(GC) 패드(18, 118)에 의해 중첩된 각각의 활성 영역 패드들(12, 112)의 상기 코너에 대응하는 하나의 수직형 트랜지스터(22)를 활성화하도록 적용되고, 상기 게이트 도전(GC) 패드(18, 118)가 제 2 접촉부(24, 124)를 통해서 활성화될 때, 각각의 활성 영역 패드들(12, 112)에 상기 하나의 수직형 트랜지스터(22)가 도전되어 상기 트랜치 커패시터들(14, 114)을 액세스하고 상기 제 1 접촉부(16, 116)와 상기 트랜치 커패시터들(14, 114) 사이에서 상태를 전달하도록 상기 제 2 접촉부(24, 124)에 의해 활성화되는 반도체 메모리 장치용 레이아웃.

청구항 10.

제 3항에 따른 메모리 장치(10)용 레이아웃을 포함하는 반도체 메모리 장치용 레이아웃으로서,

실질적으로 정방형인 다수의 활성 영역 패드(12, 112)를 포함하는데, 상기 활성 영역 패드(12, 112)는 상기 활성 영역 패드(12, 112)의 각각의 코너에 형성되고, 수직형 트랜지스터들(22)을 통해 상기 활성 영역 패드(12, 112)에 결합된 트랜치 커패시터들(14, 114)을 각각 포함하고, 상기 수직형 트랜지스터들(22)이 도전될 때, 상기 트랜치 커패시터들(14, 114)을 상기 제 1 접촉부(16, 116)에 접속시키도록 구성되며;

실질적으로 정방형인 상기 다수의 게이트 도전(GC) 패드들(18, 118)을 포함하는데, 상기 게이트 도전(GC) 패드들(18, 118)은 4개의 상기 활성 영역 패드들(12, 112) 사이에 각각 배치되어 상기 게이트 도전(GC) 패드들(18, 118)과 상기 활성 영역 패드들(12, 112) 사이에 바둑판 형태를 형성하고, 각각이 상기 4개의 활성 영역 패드들(12, 112)의 인접한 코너와 중첩하며, 상기 게이트 도전체(GC) 패드들(18, 118)의 각각의 코너는 상기 게이트 도전(GC) 패드(18, 118)에 의해 중첩된 각각의 활성 영역 패드(12, 112)의 코너에 대응하는 하나의 수직형 트랜지스터(22)를 활성화시키도록 적용되며, 상기 게이트 도전(GC) 패드(18, 118)가 제 2 접촉부(24, 124)를 통해서 활성화될 때, 각각의 활성 영역 패드(12, 112)의 상기 하나의 수직형 트랜지스터(22)가 도전되어 상기 트랜치 커패시터들(14, 114)을 액세스하고 상기 제 1 접촉부(16, 116)와 상기 트랜치 커패시터(14, 114) 사이에서 상태를 전달하도록 상기 제 2 접촉부(24, 124)에 의해 활성화되며;

상기 상태를 제공하기 위해 상기 제 1 접촉부(16, 116)에 접속된 제 1 금속층(54, 104)과;

상기 제 1 금속층(54, 104)으로부터 수직으로 이격된, 상기 게이트 도전(GC) 패드(18, 118)를 활성화시키기 위해 상기 제 2 접촉부(24, 124)에 접속된 제 2 금속층(50, 106)을 포함하는, 반도체 메모리 장치용 레이아웃.

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

삭제

청구항 17.

삭제

청구항 18.

삭제

청구항 19.

삭제

청구항 20.

삭제

명세서

기술분야

본 발명은 반도체의 레이아웃, 특히 수직형 트랜지스터를 구비한 반도체 메모리의 레이아웃에 관한 것이다.

배경기술

반도체 메모리 장치에서, 게이트 도체는 메모리 어레이를 도체에 형성되어 저장 노드를 충전 또는 방전시킴으로써 깊은 트랜치에 배치된 저장 노드들에 대한 판독 및 기록을 위해 액세스 트랜지스터들을 활성화시킨다. 하나의 예로써 DE-A-197 57 878에 개시되어 있는 종래의 시스템에서, 액세스 트랜지스터는 칩 표면에 배치되며 상당히 넓은 칩 영역을 필요로 한다. 평면 트랜지스터를 구비한 이러한 메모리 셀은 평면 트랜지스터용 게이트 도체를 형성하는 선 도체에 의해 활성화된다. 이 게이트 도체의 선포는 이러한 종래의 메모리 셀 레이아웃을 위해 중요한데, 이는 선포 또한 상기 트랜지스터용 게이트 길이를 한정하기 때문이다.

통상적으로, 게이트 도체(GC)는 높은 전기 저항을 가지기 때문에(일반적으로, 게이트 도체는 폴리실리콘 및 텅스텐 실리 사이드로 형성됨), 게이트 도체의 사용법을 개선시키는 방법이 사용된다. 게이트 도체의 높은 저항에 대처하는 한 가지 방법은 스티치(stitch) 또는 브리지(bridge) 패턴을 형성하는 것이다. 스티치 패턴은 선 저항을 낮은 레벨이 되게 하도록 게이트 도체들을 금속 층들 사이에 교대로 배치하는 것을 포함한다. 이에 따라 선 저항이 게이트 도체 저항값의 1/10로 감소된다.

현재, 메모리 셀은 예를 들어 PAJ Vol.12, No. 481 & JP-A-63 19 7371에 개시된 바와 같이 수직형 전하 전달 트랜지스터 및 깊이 방향으로 일렬로 접속된 저장 커패시터로 구성된다. 메모리 셀의 레이아웃 영역을 감소시키는 수직형 트랜지스터로 전환되면서, 게이트 도전층은 배선 목적으로만 사용되어, 더 이상 게이트 길이를 한정하는데 사용되지 않는다. 따라서, 게이트 도체 폭은 더 이상 중요하지 않다.

따라서, 수직형 트랜지스터용 게이트 도체의 방향을 이용한 개선된 레이아웃 및 배선 설계가 필요하게 된다.

발명의 상세한 설명

본 발명에 따른, 수직형 트랜지스터 및 이와 연결된 트랜치 커패시터 세트를 구비한 메모리 장치는 모든 측면에서 인접한 활성 영역 패드와 분리된 활성 영역 패드를 포함한다. 트랜치 커패시터 세트는 수직형 트랜지스터를 통해 활성 영역 패드에 결합된다. 활성 영역 패드는 트랜치 커패시터 세트를 제 1 접촉부에 접속시키도록 구성된다. 게이트 도전 패드는 한 세트의 활성 영역 패드 세트들 사이에 배치되며 게이트 도체 패드에 인접한 각각의 활성 영역 패드에서 적어도 하나의 수직형 트랜지스터를 활성화시키는데 적용된다. 각각의 게이트 도전 패드는 제 2 접촉부에 의해 활성화되며, 그 결과, 게이트 도전 패드가 제 2 접촉부를 통해서 활성화될 때, 각각의 활성 영역 패드에서의 적어도 하나의 수직형 트랜지스터가 트랜치 커패시터를 액세스하도록 도전되며, 활성 영역 패드는 제 1 접촉부와 트랜치 커패시터들 사이에서 상태를 전달한다.

수직형 액세스 트랜지스터를 구비한 반도체 메모리는 상기 활성 영역 패드의 각각의 코너에 형성된 트랜치 커패시터를 구비한 실질적으로 정방형인 활성 영역 패드를 포함한다. 트랜치 커패시터는 수직형 트랜지스터를 통해 활성 영역 패드에 결합된다. 활성 영역 패드는 수직형 트랜지스터가 도전될 때 트랜치 커패시터 세트를 제 1 접촉부에 접속시키도록 구성된다. 실질적으로 정방형인 게이트 도전 패드는 4개의 활성 영역 패드들 사이에 배치되며, 그 결과 게이트 도전 패드의 코너는 4개의 활성 영역 패드의 인접한 코너와 중첩된다. 게이트 도전 패드는 상기 게이트 도전 패드에 의해 중첩된 각각의 활성 영역 패드의 코너에 대응하는 하나의 수직형 트랜지스터를 활성화시키도록 제공된다. 게이트 도전 패드는 제 2 접촉부에 의해 활성화되어, 게이트 도전 패드가 제 2 접촉부를 통해 활성화될 때, 각각의 활성화 영역 패드의 하나의 수직형 트랜지스터가 도전되어 트랜치 커패시터를 액세스하고 제 1 접촉부와 트랜치 커패시터들 사이에서 상태를 전달하게 한다.

수직형 액세스 트랜지스터를 구비한 다른 반도체 메모리는 실질적으로 정방형인 다수의 활성 영역 패드를 포함한다. 각각의 활성 영역 패드는 활성 영역 패드의 각각의 코너에 형성된 트랜치 커패시터를 포함한다. 트랜치 커패시터는 수직형 트랜지스터를 통해 활성 영역 패드에 결합된다. 활성 영역 패드는 수직형 트랜지스터가 도전될 때, 트랜치 커패시터 세트를 제 1 접촉부에 접속시키도록 구성된다. 실질적으로 정방형인 다수의 게이트 도전 패드 각각은 4개의 활성 영역 패드 사이에 배치되어 게이트 도전 패드와 활성 영역 패드 사이의 바둑판 형태를 형성한다. 각각의 게이트 도전 패드는 4개의 활성

영역 패드의 인접한 코너와 중첩하는 코너를 포함한다. 게이트 도전 패드의 각각의 코너는 게이트 도전 패드에 의해 중첩된 각각의 활성 영역 패드의 코너에 대응하는 하나의 수직형 트랜지스터를 활성화하도록 제공된다. 각각의 게이트 도전 패드는 제 2 접촉부에 의해 활성화되며, 그 결과 게이트 도전 패드가 제 2 접촉부를 통해 활성화될 때, 각각의 활성화 영역 패드의 하나의 수직형은 도전되어 트렌치 커패시터들을 액세스하고, 제 1 접촉부와 트렌치 커패시터 사이에서 상태를 전달시킨다. 제 1 금속층은 제 1 접촉부에 접속되며, 제 2 금속층은 제 1 금속층으로부터 수직하게 이격된다. 제 2 금속층은 게이트 도전 패드를 활성화시키기 위해 제 2 접촉부에 접속된다.

선택적 실시예에서, 활성 영역 패드 및 게이트 도전 패드는 정방형, 원형 및 삼각형의 형태 중 하나일 수 있다. 제 1 접촉부는 제 1 금속층에, 그리고 제 2 접촉부는 제 2 금속층에 접속되는 것이 바람직하다. 제 1 금속층은 제 1 금속선을, 그리고 제 2 금속층은 제 2 금속선을 포함하는 것이 바람직하며, 제 1 금속선 및 제 2 금속선은 실질적으로 동일한 피치(pitch)를 가지며 지그재그 형태로 배치된다. 활성 영역 패드 및 게이트 도전 패드는 바둑판 형태로 배치될 수 있다. 제 1 접촉부는 비트라인에 접속될 수 있으며 제 2 접촉부는 워드라인에 접속될 수 있다. 상기 장치 또는 메모리는 메모리 셀이 약 $4F^2$ 또는 약 $6F^2$ 의 영역을 가질 수 있도록 메모리 셀로 나뉠 수 있다.

본 발명의 이러한 그리고 다른 목적, 특징 및 이점은 첨부된 도면과 함께 이하의 실시예의 상세한 설명으로부터 명확해질 것이다.

실시예

본 발명은 메모리 셀의 레이아웃 및 수직형 트랜지스터를 포함하는 메모리 셀의 배선에 관한 것이다. 본 발명은 게이트 도전 섬(island) 또는 패드에 의해 접속된 활성 영역 섬 또는 패드를 포함하는 실시예를 제공한다. 게이트 도전 섬은 게이트 도전 섬을 보다 높은 금속층에 접속시키기 위한 접촉 접속부를 포함한다. 각각의 활성 영역 섬은 게이트 도전 섬의 일부와 중첩한다. 게이트 도전 섬은 깊은 트렌치 저장 노드를 교대로 충전 및 방전시키는 수직형 트랜지스터를 활성화시키는데 사용된다. 또한, 본 발명의 보다 상세한 내용은 이하의 상세한 설명으로 명확해질 것이다.

도면에 대한 상세한 설명에 있어서, 동일한 도면 부호는 여러 도면 전체에 걸쳐 유사한 또는 동일한 요소를 나타내며, 우선, 본 발명에 따른 반도체 메모리 디바이스(10)의 하나의 실시예의 평면도인 도 1이 도시된다. 장치(10)는 활성 영역으로부터 금속층 접촉부(16)까지 깊은 트렌치(14)에 도전 경로를 완성하기 위한 소스 영역을 가지는 활성 영역(12)을 포함한다. 활성 영역(12)은 접촉부(16)를 각각 가지는 패드 또는 섬이다. 각각의 접촉부(16)는 4개의 깊은 트렌치(14)에 교대로 액세스를 제공하는 활성 영역(12)에 접속되는 것이 바람직하다. 깊은 트렌치(14)는 활성 영역(12)의 코너에 배치된다. 그러나, 다른 활성 영역(12)의 형태가 고려되어 다수 또는 소수의 깊은 트렌치(14)를 액세스할 수 있다.

게이트 도전(GC) 패드 또는 섬(18)은 활성 영역(12) 사이에 배치된다. GC 패드(18)는 활성 영역(12)과 중첩되는 부분(20)을 포함한다. 도 1의 실시예에서, GC 패드(18) 및 활성 영역(12)은 직사각형이며, 바람직하게는 정방형이고, GC 패드(18) 및 활성 영역(12)은 코너에서 중첩된다. 다른 형태가 사용될 수 있으며 본 발명에 의해 고려된다. 예를 들어, 활성 영역(12) 및 GC 패드(18)는 원형 또는 삼각형일 수 있다. GC 패드(18) 및 활성 영역(12)은 바둑판 형태로 배치되는 것이 바람직하다.

이 실시예에서, 각각의 GC 패드(18)는 4개의 수직형 트랜지스터(22)(도 3을 참조)를 활성화시킨다. 접촉부(24)는 GC 패드(18)를 더욱 높은 금속층, 예를 들어 M0 또는 M1(도 5 참조)에 접속시킨다. 이러한 방식으로, GC 패드(18)는 접촉부(24)를 통해 전압을 받아들인다. 이것은 활성화된 GC 패드(18)에 인접한 수직형 트랜지스터(22)를 활성화시킨다. 접촉부(16)에 접속된 비트라인(도시되지 않음)으로부터의 데이터는 수직형 트랜지스터(22)를 통해서 깊은 트렌치(14)에 저장되거나 상기 트렌치로부터 불러올 수 있다.

도 2에서, 도 1의 영역(2)의 확대도가 보다 상세히 도시되어 있다. GC 패드(18) 및 활성 영역(12)은 부분(20)적으로 중첩된다. 깊은 트렌치(14)는 GC 패드(18) 및 활성 영역(12)의 하부 면으로 연장된다. 게이트 절연 재료(30)는 GC 패드(18)를 둘러싸으로써 전류의 누설을 방지한다.

도 3에서, 도 2의 절단선(3-3)으로 얻어진 단면도가 도시된다. 깊은 트렌치(14)는 매립형 스트랩(strap)(34)을 통해서 액세스되는 저장 노드(32)를 포함한다. 매립형 스트랩(34)은 기판(36)의 일부에 의해 활성 영역(12)과 분리된다. 이 영역은 필연적으로 수직형 트랜지스터(22)용 채널(46)이다. 게이트 산화물(38)은 게이트 도체의 일부(40)를 채널(46)과 분리시킨다. 상기 일부(40)는 GC 패드(18)에 접속된다. 일부(40)는 트렌치의 상부 절연층(42)에 의해 저장 노드(32)로부터 절연된다. 트렌치 절연부(44)(예를 들어, 얇은 트렌치 절연)도 또한 사용될 수 있다.

GC 패드(18)가 활성화될 때, 부분(40)은 전위를 인가하여 채널(46)을 통해서 도전될 수 있게 한다. 이것은 동작이 관독 동작인지 또는 기록 동작인지에 따라 그리고 저장 또는 방전될 데이터에 기초하여 저장 노드(32)를 충전 또는 방전하게 한다.

도 4에서, 본 발명에 따른 레이아웃 및 부분 배선 설계가 도시되어 있다. GC 패드(18) 및 활성 영역(12)이 더욱 큰 레이아웃 영역에 도시되어 있다. 바람직한 실시예에서, 깊은 트렌치(14)는 최소의 피처 크기(F)를 포함하고 원형의 형태를 갖는다. GC 패드(18)에 접속되는 접촉부(24)에 접속하기 위해 금속층(50)이 도시되어 있다. 금속층(50)은 지그재그 형태, 또는 선택적으로는 직선 형태로 배치된 금속선(52)을 포함한다. 도 4에서 예시적으로 도시된 형태는 4개의 금속선(52)만을 도시하고 있지만, 상기 형태는 장치(10) 사이에서 연속된다. 명확히 하기 위해, 접촉부(24)에 접속하기 위한 금속선은 도시되지 않는다. 이것은 도 5에서 도시된다.

도 5에서, 본 발명에 따른 레이아웃 및 부분 배선 설계가 도시된다. GC 패드(18) 및 활성 영역 패드(12)는 $4F^2$ 형태로 도시되며, F는 주어진 기술에 대한 최소의 피처 크기이다. 바람직한 실시예에서, 깊은 트렌치(14)는 최소의 피처 크기(F)를 포함하며 원형이다. GC 패드(18)에 접속된 접촉부(24)에 접속되는 금속층(50)이 도시된다. 금속층(50)은 지그재그 형태, 또는 선택적으로는 직선 형태로 배치된 금속선(52)을 포함할 수 있다. 다른 금속층(54)도 도시된다.

금속층(54)은 금속층(50)과 GC 패드(18) 사이에 배치된다. 금속층(54)은 이러한 접촉부를 통과함으로써 접촉부(24)를 수용한다. $4F^2$ 셀에서, 접촉 홀이 에칭된 후에 박막 절연 라이너(liner)를 증착함으로써 접촉부(24)는 금속선(54)으로부터 절연된다. 이러한 형태의 접촉부를 무경계(borderless) 접촉부라고 하는데, 이는 접촉부 주위의 경계를 필요로 하지 않기 때문이다. 금속선(54) 및 접촉부(24)용 금속 마스크의 리소그래피 피처 사이의 간격에 의해 절연이 제공된다. 금속층(54)은 전술한 바와 같이 접촉부(16)에 접속된다. 하나의 실시예에서, 금속층(54)은 M0 층이며 워드라인으로서 동작하는 금속선(52)을 가지는 반면, 금속층(50)은 M1 층이며 비트라인으로서 동작하는 금속선(56)을 가진다. 금속선(56)은 지그재그 형태 또는 직선 형태일 수 있다.

도 6에서, 본 발명의 다른 실시예가 도시된다. 도 6은 $6F^2$ 레이아웃 형태를 도시한다. 다른 셀 영역도 고려된다. 이것은 금속층(104)에서의 금속선(102)에 대한 활성 영역(112) 사이의 접촉부(116)를 위한 더욱 많은 여지를 제공한다. 금속층(104)은 M0 층이 바람직하다. 이러한 방식으로, 경계 접촉부는 접촉부(116)를 위해 사용될 수 있다. 이 실시예는 종래의 수직 및 평면 트랜지스터 셀과 양립할 수 있는 가능성이 높다. 깊은 트렌치(114)는 원형이 바람직하며 최소 직경의 피처 크기를 포함한다.

이러한 레이아웃으로 인해, 금속층(104)은 접촉부(124)를 금속층(106)에 수용하는 보다 큰 공간을 확보할 수 있다. 금속층(106)은 접촉부(124)에 접속되는 금속선(108)을 포함한다. 접촉부(124)는 GC 패드(118)에 교대로 접속된다. 금속선(102, 108)은 도시된 바와 같이 직선이거나 지그재그(도시되지 않음)일 수 있다.

이러한 레이아웃에서, 금속선(102, 108)은 직선이며 접촉부(116)는 활성 영역 패드(112)의 중심으로부터 벗어난다. 접촉부(124)는 GC 패드(118)의 중심으로 이동한다. 이러한 실시예에서, 금속선(102, 108)을 위한 리소그래피 패턴 밀도에 대한 요건은 지그재그 형태와 보다 쉽게 비교된다.

본 발명을 제한하는 것은 아니지만, 전술한 실시예로 설명된 본 발명에 따라, 공간 분포가 깊은 트렌치(114)들 사이에는 제공된다. 이것은 깊은 트렌치(114) 에칭 동안 마이크로로딩 효과(즉, 에칭될 이웃한 피처에 아주 근접하기 때문에 에천트의 고갈로 인한 감소된 에칭 비율)를 방지한다. 본 발명은 활성 영역에 대한 최소의 폭 및/또는 공간 크기를 허용하고 GC 패드가 최소 피처 크기 이상이 될 수 있다. 본 발명은 또한 워드라인 및 비트라인 피치의 실질적으로 동일한 분포를 제공한다. 전술한 여러 실시예에서 기술한 바와 같이, 비트라인은 일반적으로 M1 금속층과 연결되지만, 워드라인은 일반적으로 M0 금속층과 연결된다는 것이 이해되어야 하지만, 연결되는 금속층은 서로 바뀔 수도 있다. 본 발명은 심지어 $4F^2$ 영역 셀에 대해서도 인쇄 가능한 최소의 피처 크기(F) 미만인 리소그래피 마스크 상에 피처(형태 폭 및 형태 간격)에 대한 필요성을 방지한다.

수직형 트랜지스터를 구비한 메모리 셀을 위한 새로운 레이아웃 및 배선 설계에 대한 바람직한 실시예가 기술되기 때문에 (예시적이지만 제한적이지는 않음), 수정 및 변형이 상기 기술의 견지에서 당업자에 의해 실시될 수 있다는 것이 인식된다.

따라서, 상기한 본 발명의 특정 실시예에서 변화가 이루어질 수 있으며, 이것은 첨부된 청구항에 의해 기술된 본 발명의 권리범위와 기술사상 이내에 존재한다. 따라서, 특허법에서 요구되는 바와 같이 상세하고 구체적으로 본 발명을 기술하였으며, 청구대상 및 특허증에 의해 원하는 보호대상은 첨부된 청구범위에서 설명된다.

도면의 간단한 설명

도 1은 본 발명의 하나의 실시예에 따른 레이아웃 형태의 평면도.

도 2는 본 발명에 따라 도 1에서 도시되고 영역(2)으로서 표시된 영역의 확대도.

도 3은 본 발명의 수직형 트랜지스터를 나타내는 도 2의 절단선(3-3)으로 얻어진 단면도.

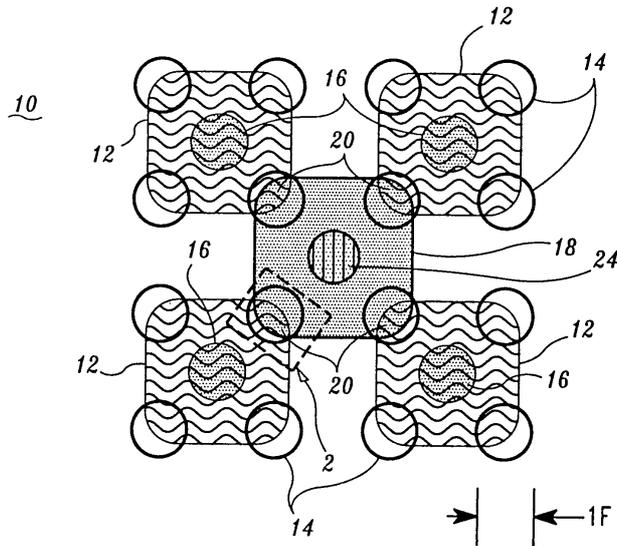
도 4는 본 발명에 따라 게이트 도체를 액세싱하기 위한 M1 금속층을 나타내는 본 발명의 하나의 실시예의 레이아웃.

도 5는 본 발명에 따라 깊은 트렌치 사이의 데이터 상태를 전달시키기 위한 M0 금속층을 나타내는 도 4의 레이아웃.

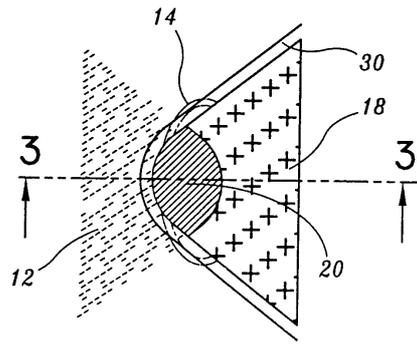
도 6은 본 발명에 따라 보다 큰 메모리 셀 영역을 가지는 실시예를 나타내는 도 5의 레이아웃.

도면

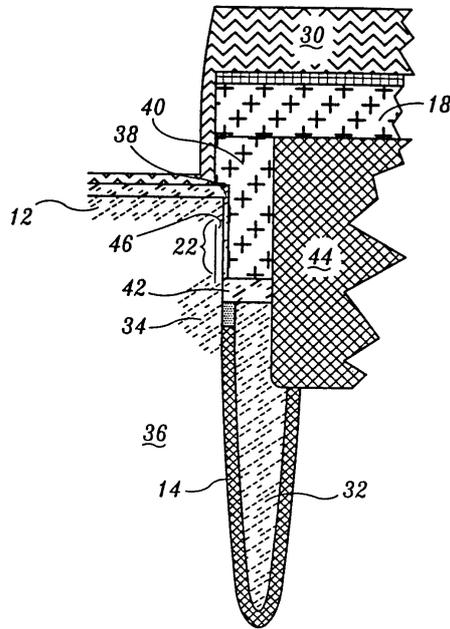
도면1



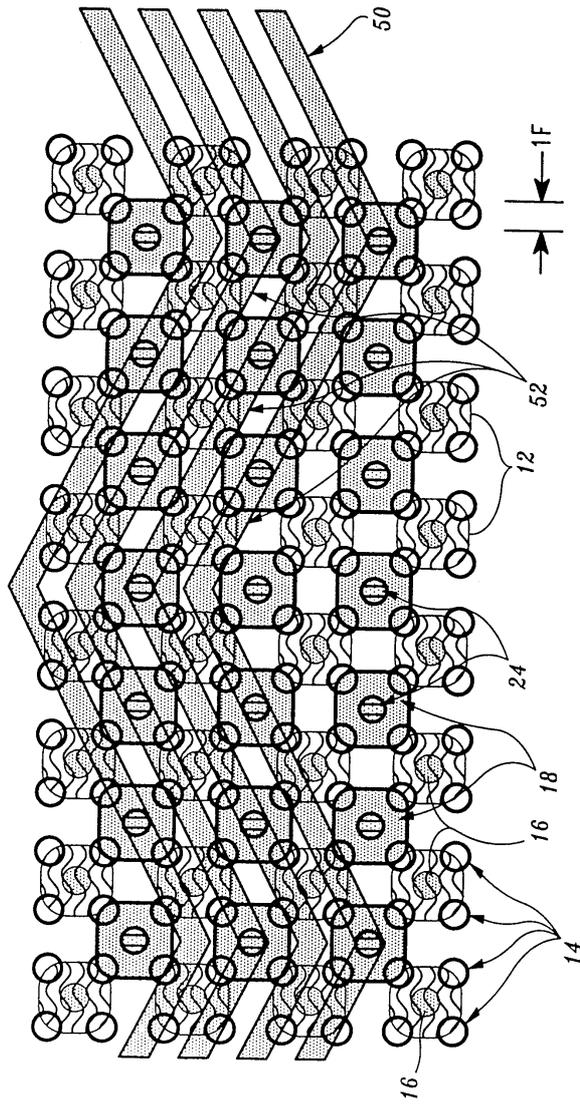
도면2



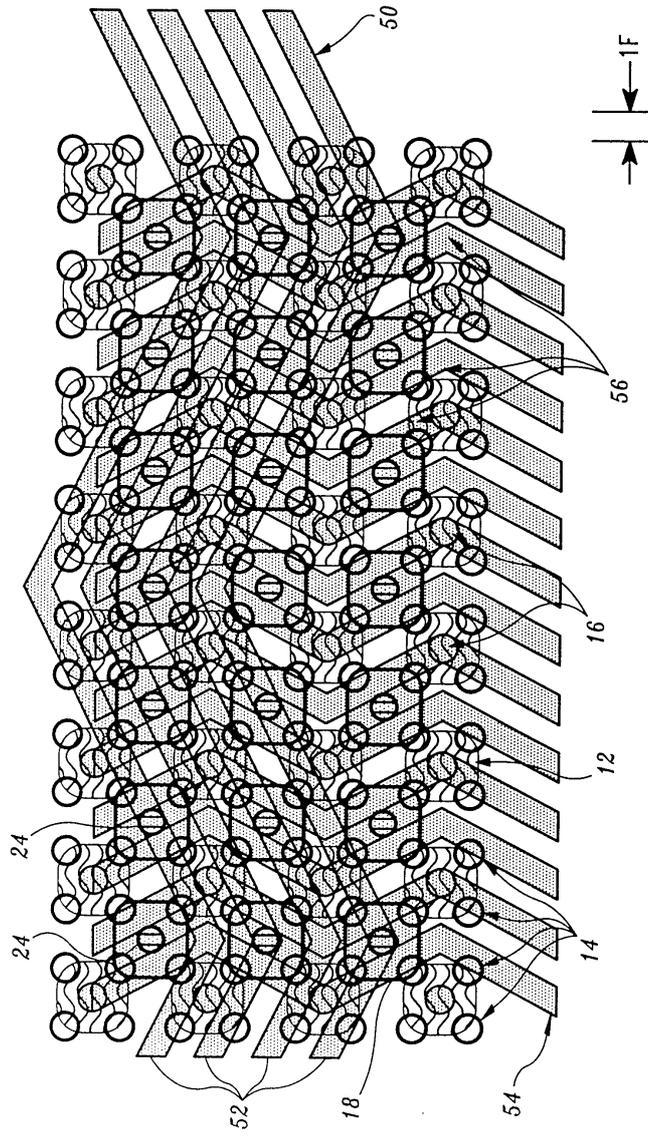
도면3



도면4



도면5



도면6

