



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0029404
(43) 공개일자 2015년03월18일

(51) 국제특허분류(Int. Cl.)
G11C 16/34 (2006.01) G11C 16/26 (2006.01)
G11C 29/42 (2015.01)
(21) 출원번호 10-2013-0108571
(22) 출원일자 2013년09월10일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
박종원
경기 김포시 장릉로 56, 104동 1211호 (풍무동, 풍무길훈아파트)
(74) 대리인
강신섭, 문용호, 이용우

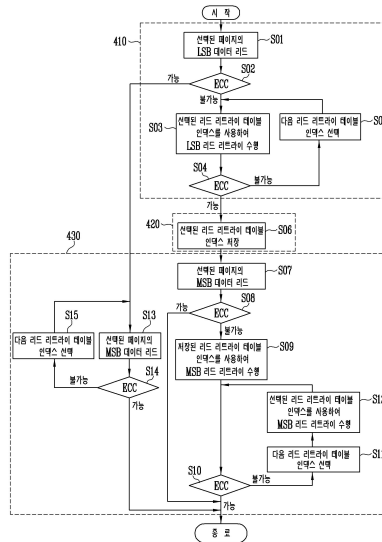
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 반도체 장치, 메모리 시스템 및 이의 동작 방법

(57) 요약

본 기술은 다수의 페이지들을 포함하는 다수의 메모리 블록들과, 상기 메모리 블록들 중 선택된 메모리 블록에 포함된 선택된 페이지의 하위비트 리드 동작 및 상위비트 리드 동작을 수행하도록 구성된 주변회로들 및 다양한 리드전압들로 구성된 다수의 인덱스들이 포함된 하위비트 리드 리트라이 테이블과 상위비트 리드 리트라이 테이블을 포함하며, 상기 하위비트 리드 동작시 상기 하위비트 리드 리트라이 테이블의 상기 인덱스들 중 여러 정정이 가능할 때 사용된 인덱스를 저장하고, 상기 상위비트 리드 리트라이 테이블의 상기 인덱스들 중에서 상기 저장된 인덱스에 해당되는 인덱스부터 선택하여 상기 상위비트 리드 동작을 수행하도록 상기 주변회로들을 제어하는 제어회로를 포함하는 반도체 장치, 메모리 시스템 및 이의 동작 방법을 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

다수의 페이지들을 포함하는 다수의 메모리 블록들;

상기 메모리 블록들 중 선택된 메모리 블록에 포함된 선택된 페이지의 하위비트 리드 동작 및 상위비트 리드 동작을 수행하도록 구성된 주변회로들; 및

다양한 리드전압들로 구성된 다수의 인덱스들이 포함된 하위비트 리드 리트라이 테이블과 상위비트 리드 리트라이 테이블을 포함하며, 상기 하위비트 리드 동작시 상기 하위비트 리드 리트라이 테이블의 상기 인덱스들 중 에러 정정이 가능할 때 사용된 인덱스를 저장하고, 상기 상위비트 리드 리트라이 테이블의 상기 인덱스들 중에서 상기 저장된 인덱스에 해당되는 인덱스부터 선택하여 상기 상위비트 리드 동작을 수행하도록 상기 주변회로들을 제어하는 제어회로를 포함하는 반도체 장치.

청구항 2

제1항에 있어서,

상기 하위비트 리드 리트라이 테이블의 상기 인덱스들은 서로 다른 하위비트 리드전압들로 구성되고,

상기 상위비트 리드 리트라이 테이블의 상기 인덱스들은 서로 다른 상위비트 리드전압들로 구성된 반도체 장치.

청구항 3

제1항에 있어서, 상기 제어회로는,

리드된 데이터에 포함된 리드 에러를 검출하고, 상기 에러를 정정하도록 구성된 에러 정정 회로; 및

상기 에러 정정 회로로부터 출력된 신호에 응답하여, 상기 선택된 페이지의 상기 하위비트 리드 리트라이 테이블 또는 상기 상위비트 리드 리트라이 테이블의 인덱스를 선택하고, 상기 선택된 인덱스에 해당되는 상기 하위비트 리드전압 또는 상기 상위비트 리드전압을 사용하여 상기 하위비트 리드동작 또는 상기 상위비트 리드 동작을 수행하도록 구성된 에러 제어 회로를 더 포함하는 반도체 장치.

청구항 4

제1항에 있어서, 상기 주변회로는,

상기 제어회로로부터 출력된 리드 동작 신호에 응답하여 리드전압 및 리드 패스전압을 생성하도록 구성된 전압 생성 회로;

상기 제어회로로부터 출력된 로우 제어신호들에 응답하여 상기 메모리 블록들 중 하나의 메모리 블록을 선택하고, 상기 선택된 메모리 블록의 워드라인들에 상기 리드전압 및 상기 리드 패스전압을 전달하도록 구성된 로우 디코더; 및

상기 제어회로로부터 출력된 컬럼 제어신호에 응답하여 상기 선택된 메모리 블록에 연결된 비트라인들을 통해 상기 선택된 메모리 블록과 데이터를 주고받도록 구성된 컬럼 디코더를 포함하는 반도체 장치.

청구항 5

시스템 버스를 통해 입력된 외부 명령에 응답하여, 다수의 핀들을 통해 제어신호들을 출력하도록 구성된 메모리 제어부;

상기 제어신호들에 응답하여 명령신호 및 어드레스를 포함한 인터페이스 신호들을 출력하도록 구성된 메모리 인터페이스부; 및

데이터가 저장되는 반도체 장치를 포함하는 메모리 저장부를 포함하며,

상기 반도체 장치는 선택된 페이지의 하위비트 리드 동작시 에러 정정이 가능한 인덱스를 저장하고, 상기 선택된 페이지의 상위비트 리드 동작시 상기 저장된 인덱스에 해당되는 상위비트 리드 리트라이 테이블의 인덱스부터 선택하도록 구성된 제어회로를 포함하는 메모리 시스템.

청구항 6

제5항에 있어서,

상기 메모리 제어부는 주소 핀들, 칩 인에이블 신호 핀, 선택 신호 핀, 출력 인에이블 신호 핀, 리셋 신호 핀, 쓰기 인에이블 신호 핀, 쓰기 금지 신호 핀, 클록 신호 핀, 어드레스 유효 입력 신호 핀을 포함하는 상기 다수의 핀들을 통해 상기 제어신호들을 상기 메모리 인터페이스에 인가하는 메모리 시스템.

청구항 7

제5항에 있어서, 상기 반도체 장치는,

다수의 페이지들을 포함하는 다수의 메모리 블록들;

상기 메모리 블록들 중 선택된 메모리 블록에 포함된 선택된 페이지의 하위비트 리드 동작 및 상위비트 리드 동작을 수행하도록 구성된 주변회로들; 및

다양한 리드전압들로 구성된 다수의 인덱스들이 포함된 하위비트 리드 리트라이 테이블과 상위비트 리드 리트라이 테이블을 포함하며, 상기 하위비트 리드 동작시 상기 하위비트 리드 리트라이 테이블의 상기 인덱스들 중 에러 정정이 가능할 때 사용된 인덱스를 저장하고, 상기 상위비트 리드 리트라이 테이블의 상기 인덱스들 중에서 상기 저장된 인덱스에 해당되는 인덱스부터 선택하여 상기 상위비트 리드 동작을 수행하도록 상기 주변회로들을 제어하는 제어회로를 포함하는 메모리 시스템.

청구항 8

제7항에 있어서,

상기 하위비트 리드 리트라이 테이블의 상기 인덱스들은 서로 다른 하위비트 리드전압들로 구성되고,

상기 상위비트 리드 리트라이 테이블의 상기 인덱스들은 서로 다른 상위비트 리드전압들로 구성된 메모리 시스템.

청구항 9

제7항에 있어서, 상기 제어회로는,

리드된 데이터에 포함된 리드 에러를 검출하고, 상기 에러를 정정하도록 구성된 에러 정정 회로; 및

상기 에러 정정 회로로부터 출력된 신호에 응답하여, 상기 선택된 페이지의 상기 하위비트 리드 리트라이 테이블 또는 상기 상위비트 리드 리트라이 테이블의 인덱스를 선택하고, 상기 선택된 인덱스에 해당되는 상기 하위비트 리드전압 또는 상기 상위비트 리드전압을 사용하여 상기 하위비트 리드동작 또는 상기 상위비트 리드 동작을 수행하도록 구성된 에러 제어 회로를 더 포함하는 메모리 시스템.

청구항 10

하위비트 리드 데이터의 에러 정정이 가능할 때까지 하위비트 리드 리트라이 테이블에 포함된 하위비트 리드전압들을 순차적으로 선택하면서 선택된 페이지의 하위비트 리드 동작을 수행하는 단계;

상기 에러 정정이 가능하면, 상기 하위비트 리드전압들 중 선택된 리드전압에 대응되는 인덱스를 저장하는 단계; 및

상위비트 리드 데이터의 에러 정정이 가능할 때까지 상위비트 리드 리트라이 테이블에 포함된 상위비트 리드전압들 중 상기 저장된 인덱스에 대응되는 상위비트 리드전압들부터 순차적으로 선택하면서 상기 선택된 페이지의 상위비트 리드 동작을 수행하는 단계를 포함하는 반도체 장치의 동작 방법.

청구항 11

제10항에 있어서, 상기 하위비트 리드 동작은,

상기 선택된 페이지의 하위비트 데이터를 리드하는 단계;

상기 하위비트 데이터에 포함된 하위비트 데이터의 에러를 검출하고, 상기 검출된 하위비트 데이터의 에러의 개수를 토대로 하위비트 에러 정정이 가능한지를 판단하기 위한 하위비트 에러 검출 동작을 수행하는 단계; 및

상기 하위비트 에러 정정이 불가능한 것으로 판단되면, 상기 하위비트 에러 정정이 가능할 때까지 하위비트 리드 리트라이 테이블의 인덱스들을 순차적으로 선택하면서 하위비트 리드 리트라이 동작을 반복하는 단계를 더 포함하는 반도체 장치의 동작 방법.

청구항 12

제11항에 있어서,

상기 하위비트 리드 리트라이 테이블의 상기 인덱스들에는 서로 다른 하위비트 리드전압들이 대응되는 반도체 장치의 동작 방법.

청구항 13

제11항에 있어서,

상기 하위비트 리드 리트라이 동작시, 상기 하위비트 리드 리트라이 테이블의 첫번째 인덱스부터 선택되는 반도체 장치의 동작 방법.

청구항 14

제11항에 있어서,

상기 하위비트 에러 검출 동작이 처음 수행되는 단계에서 상기 하위비트 에러 정정이 가능한 것으로 판단되면, 상기 인덱스를 저장하는 단계를 생략하고 상기 상위비트 리드 동작을 수행하는 반도체 장치의 동작 방법.

청구항 15

제10항에 있어서, 상기 상위비트 리드 동작은,

상기 선택된 페이지의 상위비트 데이터를 리드하는 단계;

상기 상위비트 데이터에 포함된 상위비트 에러를 검출하고, 상기 검출된 상위비트 에러의 개수를 토대로 상위비트 데이터의 상위비트 에러 정정이 가능한지를 판단하는 단계; 및

상기 상위비트 에러 정정이 불가능한 것으로 판단되면, 상기 상위비트 에러 정정이 가능할 때까지 상위비트 리드

드 리트라이 테이블의 인덱스들 중 상기 하위비트 리드 동작시 저장된 인덱스에 해당되는 인덱스부터 순차적으로 선택하면서 상위비트 리드 리트라이 동작을 반복하는 단계를 더 포함하는 반도체 장치의 동작 방법.

명세서

기술분야

[0001] 본 발명은 반도체 장치, 메모리 시스템 및 이의 동작 방법에 관한 것으로, 보다 구체적으로는 반도체 장치의 리드 동작에 관한 것이다.

배경기술

[0002] 반도체 장치는 데이터를 저장하도록 구성된 메모리 셀 어레이를 포함한다. 메모리 셀 어레이는 다수의 메모리 블록들을 포함하며, 각각의 메모리 블록은 데이터가 저장되는 다수의 메모리 셀들을 포함한다. 반도체 장치 중에서 불휘발성 메모리 장치는 전원이 공급되지 않더라도 메모리 셀들에 저장된 데이터가 유지되는 것을 특징으로 한다. 하지만, 데이터가 저장되는 메모리 셀들의 개수가 증가하고 있고 반도체 장치의 집적도도 증가하고 있기 때문에, 메모리 셀들 간의 간격이 좁아지면서 인접한 메모리 셀들의 프로그램 동작시 프로그램이 이미 완료된 메모리 셀들이 간섭을 받을 수 있다. 따라서, 추후에 프로그램 완료된 메모리 셀들을 리드하면 메모리 셀들의 데이터가 외출될 수 있고, 이로 인해 반도체 장치 및 반도체 장치의 동작에 대한 신뢰도가 저하될 수 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 실시예는 리드 동작의 신뢰도를 개선할 수 있는 반도체 장치, 메모리 시스템 및 이의 동작 방법을 제공한다.

과제의 해결 수단

[0004] 본 발명의 실시예에 따른 반도체 장치는, 다수의 페이지들을 포함하는 다수의 메모리 블록들; 상기 메모리 블록들 중 선택된 메모리 블록에 포함된 선택된 페이지의 하위비트 리드 동작 및 상위비트 리드 동작을 수행하도록 구성된 주변회로들; 및 다양한 리드전압들로 구성된 다수의 인덱스들이 포함된 하위비트 리드 리트라이 테이블과 상위비트 리드 리트라이 테이블을 포함하며, 상기 하위비트 리드 동작시 상기 하위비트 리드 리트라이 테이블의 상기 인덱스들 중 에러 정정이 가능할 때 사용된 인덱스를 저장하고, 상기 상위비트 리드 리트라이 테이블의 상기 인덱스들 중에서 상기 저장된 인덱스에 해당되는 인덱스부터 선택하여 상기 상위비트 리드 동작을 수행하도록 상기 주변회로들을 제어하는 제어회로를 포함한다.

[0005] 본 발명의 실시예에 따른 메모리 시스템은, 시스템 버스를 통해 입력된 외부 명령에 응답하여, 다수의 핀들을 통해 제어신호들을 출력하도록 구성된 메모리 제어부; 상기 제어신호들에 응답하여 명령신호 및 어드레스를 포함한 인터페이스 신호들을 출력하도록 구성된 메모리 인터페이스부; 및 데이터가 저장되는 반도체 장치를 포함하는 메모리 저장부를 포함하며, 상기 반도체 장치는 선택된 페이지의 하위비트 리드 동작시 에러 정정이 가능한 인덱스를 저장하고, 상기 선택된 페이지의 상위비트 리드 동작시 상기 저장된 인덱스에 해당되는 상위비트 리드 리트라이 테이블의 인덱스부터 선택하도록 구성된 제어회로를 포함한다.

[0006] 본 발명의 실시예에 따른 반도체 장치의 동작 방법은, 하위비트 리드 데이터의 에러 정정이 가능할 때까지 하위비트 리드 리트라이 테이블에 포함된 하위비트 리드전압들을 순차적으로 선택하면서 선택된 페이지의 하위비트 리드 동작을 수행하는 단계; 상기 에러 정정이 가능하면, 상기 하위비트 리드전압들 중 선택된 리드전압에 대응되는 인덱스를 저장하는 단계; 및 상위비트 리드 데이터의 에러 정정이 가능할 때까지 상위비트 리드 리트라이 테이블에 포함된 상위비트 리드전압들 중 상기 저장된 인덱스에 대응되는 상위비트 리드전압들부터 순차적으로 선택하면서 상기 선택된 페이지의 상위비트 리드 동작을 수행하는 단계를 포함한다.

발명의 효과

[0007] 본 기술은 반도체 장치 및 메모리 시스템의 리드 동작시간을 단축함과 동시에, 리드 동작의 신뢰도를 개선할 수 있다.

도면의 간단한 설명

- [0008] 도 1은 본 발명의 실시예에 따른 반도체 장치를 설명하기 위한 블록도이다.
- 도 2는 도 1의 메모리 셀 어레이를 설명하기 위한 블록도이다.
- 도 3은 도 2의 메모리 블록을 설명하기 위한 회로도이다.
- 도 4는 본 발명의 실시예에 따른 리드 동작을 설명하기 위한 순서도이다.
- 도 5는 리드 리트라이 테이블을 설명하기 위한 도면이다.
- 도 6은 리드 리트라이 동작을 구체적으로 설명하기 위한 도면이다.
- 도 7은 본 발명의 실시예에 따른 반도체 장치를 포함하는 메모리 시스템을 설명하기 위한 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

- [0010] 도 1은 본 발명의 실시예에 따른 반도체 장치를 설명하기 위한 블록도이다.
- [0011] 도 1을 참조하면, 반도체 장치(100)는 데이터가 저장되는 메모리 셀 어레이(110), 메모리 셀 어레이(110)에 데이터를 프로그램, 리드 및 소거하도록 구성된 주변회로들(130, 140 및 150), 주변회로들(130, 140 및 150)을 제어하도록 구성된 제어회로(120)를 포함한다. 주변회로들(130, 140 및 150)은 전압 생성 회로(130), 로우 디코더(140) 및 컬럼 디코더(150)를 포함한다. 리드 동작을 예를 들어 반도체 장치(100)를 구성하는 회로들의 기능을 설명하면 다음과 같다.
- [0012] 메모리 셀 어레이(110)는 다수의 메모리 블록들을 포함한다.
- [0013] 제어회로(120)는 리드 명령신호(CMD) 및 어드레스(ADD)에 응답하여 리드 동작 신호(READ), 로우 제어신호들(R_CON) 및 컬럼 제어신호들(C_CON)을 출력한다. 로우 제어신호들(R_CON)은 로우 어드레스들을 포함할 수 있다. 컬럼 제어신호들(C_CON)은 컬럼 어드레스들과 페이지 버퍼 제어신호들을 포함할 수 있다.
- [0014] 특히, 제어회로(120)는 리드-리트라이 테이블(read-retry table; 121), 에러 정정 회로(error correction circuit; 122) 및 에러 제어 회로(error control circuit; 123)을 포함한다.
- [0015] 리드-리트라이 테이블(121)은 제어회로(120) 내에 포함된 저장부에 저장되며, 다양한 레벨을 갖는 리드전압들에 대한 인덱스(index)들을 포함한다. 에러 정정 회로(122)는 리드된 데이터(DATA)에 포함된 리드 에러를 검출하고 정정하도록 구성된다. 에러 제어 회로(123)는 에러 정정 회로(122)로부터 전송되는 에러 정정 신호에 응답하여 리드-리트라이 테이블(121)에 저장된 인덱스를 선택하고, 선택된 인덱스에 해당되는 리드전압을 사용하여 리드 리트라이 알고리즘을 수행하도록 구성된다.
- [0016] 전압 생성 회로(130)는 리드 동작 신호(READ)에 응답하여 리드전압(Vread) 및 리드 패스전압(Vpass)을 생성한다.
- [0017] 로우 디코더(140)는 로우 제어신호들(R_CON)에 응답하여 메모리 셀 어레이(110)에 포함된 메모리 블록들 중 하나를 선택하고, 선택된 메모리 블록의 워드라인들(WL)에 리드전압(Vread) 및 리드 패스전압(Vpass)을 전달한다.
- [0018] 컬럼 디코더(150)는 컬럼 제어신호(C_CON)에 응답하여 메모리 블록들에 연결된 비트라인들(BL)을 통해 메모리

셀 어레이(110)와 데이터를 주고받거나, 외부와 입출력 데이터(IO)를 주고 받는다. 또한, 컬럼 디코더(150)는 리드 동작 수행시, 메모리 셀 어레이(110)로부터 전달받은 데이터(DATA)를 제어회로(120)에 전달한다. 제어회로(120)는 상술한 바와 같이 전달받은 데이터(DATA)에 에러가 포함되었는지를 검출하고, 후속 리드 동작을 수행하도록 주변회로들(130, 140 및 150)을 제어한다.

- [0019] 도 2는 도 1의 메모리 셀 어레이를 설명하기 위한 블록도이다.
- [0020] 도 2를 참조하면, 메모리 셀 어레이(110)는 다수의 메모리 블록들(BLK1~BLKi; i는 양의 정수)을 포함한다. 메모리 블록들(BLK1~BLKi)은 비트라인들(도 1의 BL)을 서로 공유하며, 각각 서로 다른 워드라인들(도 1의 WL)에 연결된다. 메모리 블록들(BLK1~BLKi)은 서로 동일한 구조로 구성된다.
- [0021] 도 3은 도 2의 메모리 블록을 설명하기 위한 회로도이다.
- [0022] 도 3을 참조하면, 메모리 블록(BLK1)은 비트라인들(BL0~BLk)에 연결된 다수의 셀 스트링(ST)들을 포함한다. 셀 스트링(ST)들은 서로 동일한 구조로 구성된다. 첫번째 행(row)에 위치한 셀 스트링(ST)을 예를 들어 구체적으로 설명하면, 셀 스트링(ST)은 서로 직렬로 연결된 드레인 셀렉트 트랜지스터(DST), 다수의 메모리 셀들(F0~Fn) 및 소오스 셀렉트 트랜지스터(SST)를 포함한다. 드레인 셀렉트 트랜지스터(DST)의 드레인(drain)은 비트라인(BL0)에 연결되고, 소오스 셀렉트 트랜지스터(SST)의 소오스(source)는 공통 소오스 라인(common source line; SL)에 연결된다. 서로 다른 셀 스트링(ST)들에 포함된 드레인 셀렉트 트랜지스터(DST)들의 게이트들은 드레인 셀렉트 라인(DSL)에 공통으로 연결되고, 메모리 셀들(F0~Fn)의 게이트들은 워드라인들(WL0~WLn)에 공통으로 연결되고, 소오스 셀렉트 트랜지스터(SST)들의 게이트들은 소오스 셀렉트 라인(SSL)에 공통으로 연결된다. 셀 스트링들에 포함된 소오스 셀렉트 트랜지스터(SST)들의 소오스(source)들은 공통 소오스 라인(SL)에 공통으로 연결된다.
- [0023] 동일한 워드라인에 연결된 메모리 셀들의 그룹을 페이지(PG)라 한다. 따라서, 하나의 셀 스트링(ST)에 N개(N은 양의 정수)의 메모리 셀들이 포함되면, 해당 메모리 블록에는 N개의 페이지(PG)들이 포함된다.
- [0024] 리드 동작은 정해진 순서에 따라 페이지(PG) 단위로 수행되는데, 선택되는 페이지(PG) 순서는 반도체 장치에 따라 다를 수 있다. 예를 들면, 리드 동작은 제0 워드라인(WL0)이 연결된 페이지(PG)부터 제n 워드라인(WLn)이 연결된 페이지(PG)까지 순차적으로 선택되거나, 인접한 페이지들이 번갈아 선택될 수도 있다. 최근에는 하나의 메모리 셀이 다양한 레벨의 문턱전압을 갖도록 프로그램하는 멀티 레벨 셀(multi level cell; MLC) 방식의 프로그램 방법이 사용되고 있기 때문에, 리드 동작은 하위비트(이하, LSB) 리드 동작과 상위비트(이하, MSB) 리드 동작으로 구분된다. 예를 들면, 하나의 페이지(PG)에 대한 리드 동작은 LSB 리드 동작을 먼저 수행한 후에 MSB 리드 동작을 수행하는 방식으로 수행된다. LSB 리드 동작과 MSB 리드 동작을 수행하는 순서도 반도체 장치에 따라 다를 수 있다. 본 실시예에 따른 리드 동작은 하위비트(LSB) 리드 동작과 상위비트(MSB) 리드 동작의 순서에 관계없이 선택된 페이지의 리드 동작에 모두 적용될 수 있다.
- [0025] 도 4는 본 발명의 실시예에 따른 리드 동작을 설명하기 위한 순서도이고, 도 5는 리드 리트라이 테이블을 설명하기 위한 도면이다.
- [0026] 도 4 및 도 5를 참조하여 리드 동작을 구체적으로 설명하도록 한다.
- [0027] 리드 동작은 LSB 리드 동작 수행 단계(410), 인덱스 저장 단계(420) 및 MSB 리드 동작 수행 단계(430)를 포함한다.
- [0028] LSB 리드 동작 수행 단계(410)는 선택된 페이지의 LSB 데이터 리드 동작을 수행하는 단계(S01), ECC 동작을 수행하는 단계(S02), 선택된 리드 리트라이 테이블 인덱스를 사용하여 LSB 리드 리트라이 동작을 수행하는 단계(S03), ECC 동작을 수행하는 단계(S04) 및 다음 리드 리트라이 테이블 인덱스를 선택하는 단계(S05)를 포함한다. LSB 리드 동작 수행 단계(410)에 포함된 각 단계들을 구체적으로 설명하면 다음과 같다.
- [0029] 선택된 페이지의 LSB 데이터 리드 동작을 수행하는 단계(S01)

- [0030] 메모리 셀이 세 개의 프로그램 상태로 프로그램될 수 있는 멀티 레벨 셀(MLC)을 예를 들면, 메모리 셀은 문턱전압에 따라 소거 상태, 제1 프로그램 상태, 제2 프로그램 상태 또는 제3 프로그램 상태가 될 수 있다. 제1 프로그램 상태는 소거 상태보다 문턱전압이 높은 상태를 의미하고, 제2 프로그램 상태는 제1 프로그램 상태보다 문턱전압이 높은 상태를 의미하며, 제3 프로그램 상태는 제2 프로그램 상태보다 문턱전압이 높은 상태를 의미한다. LSB 데이터 리드 동작은 제1 프로그램 상태와 제2 프로그램 상태 사이의 전압을 LSB 리드전압(R2)으로 사용하는 리드 동작을 의미한다. LSB 리드 동작이 처음 수행될 때, LSB 리드전압(R2)은 미리 설정된 이니셜 LSB 리드전압이 사용된다.
- [0031] ECC 동작을 수행하는 단계(S02)
- [0032] 선택된 페이지의 LSB 데이터가 리드되면(S01), 에러 정정 회로(도 1의 122)는 LSB 데이터에 포함된 에러를 검출한다. 또한, 에러 정정 회로(122)는 검출된 에러의 개수를 토대로 에러 정정이 가능한지 또는 불가능한지를 판단하여 에러 제어 회로(도 1의 123)에 가능신호 또는 불가능신호를 전달한다. 만약, 에러 정정이 가능한 것으로 판단되면, 선택된 페이지의 MSB 데이터를 리드하는 동작(S13)을 수행한다. 선택된 페이지의 MSB 데이터를 리드하는 동작(S13)은 후술하도록 한다.
- [0033] 선택된 리드 리트라이 테이블 인덱스를 사용하여 LSB 리드 리트라이 동작을 수행하는 단계(S03)
- [0034] 에러 정정이 불가능한 경우, 에러 제어 회로(123)는 리드 리트라이 테이블(도 1의 121)의 선택된 인덱스의 전압(R2)을 LSB 리드전압으로 사용하여 LSB 리드 리트라이 동작을 수행하도록 주변회로들(도 1의 130, 140 및 150)을 제어한다. 예를 들면, 에러 제어 회로(123)는 LSB 리드 리트라이 테이블의 제0 인덱스를 선택하고, 선택된 제0 인덱스에 대응되는 전압(Vr2_0)을 LSB 리드전압으로 사용하여 LSB 리드 리트라이 동작을 수행하도록 주변회로들(도 1의 130, 140 및 150)을 제어한다. 제0 인덱스에 대응되는 전압(Vr2_0)은 이니셜 LSB 리드전압보다 높은 레벨을 갖는다.
- [0035] ECC 동작을 수행하는 단계(S04)
- [0036] LSB 리드 리트라이 동작을 수행하여 LSB 데이터가 리드되면(S03), 에러 정정 회로(122)는 LSB 데이터에 포함된 에러를 검출하고, 검출된 에러의 개수를 토대로 에러 정정이 가능한지 또는 불가능한지를 판단하여 에러 제어 회로(123)에 가능신호 또는 불가능신호를 전송한다.
- [0037] 다음 리드 리트라이 테이블 인덱스를 선택하는 단계(S05)
- [0038] 에러 정정이 불가능하여 불가능신호가 에러 제어 회로(123)에 전달되면, 에러 제어 회로(123)는 리드 리트라이 테이블(121)의 다음 인덱스를 선택한다. 예를 들면, 이전 LSB 리드 리트라이 동작에서 제0 인덱스가 선택되었으므로, 에러 제어 회로(123)는 다음 인덱스인 제1 인덱스를 선택한다. 제1 인덱스에 대응되는 전압(Vr2_1)은 제0 인덱스에 대응되는 전압(Vr2_0)보다 높은 레벨을 갖는다.
- [0039] 선택된 제1 인덱스에 대응되는 전압(Vr2_1)을 LSB 리드전압으로 사용하여 LSB 리드 리트라이 동작을 수행한다(S03). 선택된 페이지로부터 리드된 LSB 리드 데이터의 에러 정정이 가능할 때까지 LSB 리드 리트라이 테이블의 인덱스를 순차적으로 선택하면서 S03 내지 S05 단계들을 반복한다. ECC 동작을 수행한 결과(S04) 에러 정정이 가능한 것으로 판단되면 인덱스 저장 단계(420)를 수행한다.
- [0040] 인덱스 저장 단계(420)는 선택된 리드 리트라이 테이블 인덱스를 저장하는 단계(S06)를 포함한다.
- [0041] 선택된 리드 리트라이 테이블 인덱스를 저장하는 단계(S06)
- [0042] ECC가 가능한 것으로 판단되면(S04), ECC가 가능해진 인덱스를 저장한다. 예를 들면, 상술한 LSB 리드 동작 수행 단계(410)에서 LSB 리드 리트라이 테이블의 제2 인덱스를 선택하였을 때 ECC가 가능한 것으로 판단되었으면, 에러 제어 회로(123)는 제2 인덱스를 반도체 장치(100) 내부의 저장소에 임시로 저장한다. 선택된 리드 리트라이 테이블의 인덱스를 저장한 후에는 선택된 페이지의 MSB 리드 동작을 수행한다(430).
- [0043] MSB 리드 동작 수행 단계(430)는 선택된 페이지의 MSB 데이터 리드 동작을 수행하는 단계(S07), ECC 동작을 수행하는 단계(S08), 저장된 리드 리트라이 테이블 인덱스를 사용하여 MSB 리드 리트라이 동작을 수행하는 단계(S09), ECC 동작을 수행하는 단계(S10), 다음 리드 리트라이 테이블 인덱스를 선택하는 단계(S11), 선택된 리드

리트라이 테이블 인덱스를 사용하여 MSB 리드 리트라이 동작을 수행하는 단계(S12), 선택된 페이지의 MSB 데이터 리드 동작을 수행하는 단계(S13), ECC 동작을 수행하는 단계(S14) 및 다음 리드 리트라이 테이블 인덱스를 선택하는 단계(S15)를 포함한다. MSB 리드 동작 수행 단계(430)에 포함된 각 단계들을 구체적으로 설명하면 다음과 같다.

[0044] 선택된 페이지의 MSB 데이터 리드 동작을 수행하는 단계(S07)

[0045] MSB 데이터 리드 동작은 소거 상태와 제1 프로그램 상태 사이의 전압(R1)과 제2 프로그램 상태와 제3 프로그램 상태 사이의 전압(R3)을 MSB 리드전압들로 사용하는 리드 동작을 의미한다. MSB 리드전압들은 미리 설정된 이니셜 MSB 리드전압들이 사용된다.

[0046] ECC 동작을 수행하는 단계(S08)

[0047] 선택된 페이지의 MSB 데이터가 리드되면(S07), 에러 정정 회로(122)는 MSB 데이터에 포함된 에러를 검출한다. 또한, 에러 정정 회로(122)는 검출된 에러의 개수를 토대로 에러 정정이 가능한지 또는 불가능한지를 판단하여 에러 제어 회로(123)에 가능신호 또는 불가능신호를 전달한다. 만약, 에러 정정이 가능한 것으로 판단되면, 선택된 페이지의 리드 동작은 종료된다.

[0048] 선택된 리드 리트라이 테이블 인덱스를 사용하여 LSB 리드 리트라이 동작을 수행하는 단계(S09)

[0049] 에러 정정이 불가능한 경우, 에러 제어 회로(123)는 S06 단계에서 저장된 인덱스를 MSB 리드 리트라이 테이블(121)에 적용하고, 이에 대응되는 MSB 리드전압들을 사용하여 MSB 리드 리트라이 동작을 수행하도록 주변회로들(130, 140 및 150)을 제어한다. 즉, MSB 리드 리트라이 동작이 시작되면, MSB 리드 리트라이 테이블의 첫번째 인덱스인 제0 인덱스가 선택되는 것이 아니라, LSB 리드 리트라이 동작시 저장된 인덱스부터 선택된다. 예를 들면, LSB 리드 리트라이 동작에서 제2 인덱스가 저장되었으면, MSB 리드 리트라이 동작에서도 MSB 리드 리트라이 테이블의 제2 인덱스를 선택하고, 선택된 제2 인덱스에 대응되는 전압들(Vr1_2, Vr3_2)을 MSB 리드전압들로 사용하여 MSB 리드 리트라이 동작을 수행하도록 주변회로들(150)을 제어한다. MSB 리드 리트라이 동작 시, LSB 리드 리트라이 동작 결과를 토대로 인덱스를 선택하는 이유는, 동일 페이지의 LSB 정보를 토대로 하여 MSB 리드 리트라이 동작 시간을 단축하기 위함이다. 즉, LSB 리드 리트라이 동작에서 에러 정정이 불가능한 인덱스는 MSB 리드 리트라이 동작에서도 에러 정정이 불가능할 가능성이 높기 때문에, LSB 리드 리트라이 동작에서 ECC가 가능한 인덱스부터 선택함으로써, MSB 리드 리트라이 동작 시간을 단축할 수 있다.

[0050] MSB 리드 리트라이 동작에 대하여 도 6을 참조하여 설명하면 다음과 같다.

[0051] 도 6은 리드 리트라이 동작을 구체적으로 설명하기 위한 도면이다.

[0052] 도 6을 참조하면, 서로 다른 프로그램 상태인 제1 및 제2 문턱전압 분포들(P1, P2) 사이에 다양한 레벨을 갖는 MSB 리드 리트라이 전압들(Vr1_0-Vr1_i)이 설정될 수 있다. 제1 문턱전압 분포(P1)가 간섭에 의해 증가되면, MSB 리드 리트라이 테이블의 제0 인덱스에 대응되는 전압(Vr1_0)을 사용하여 선택된 페이지를 리드하더라도 에러가 발생할 수 있다. 따라서, 상술한 바와 같이, 저장된 인덱스에 대응되는 리드전압은 에러가 발생하지 않을 가능성이 높은 레벨의 구간에 포함되므로, 제0 및 제1 인덱스를 선택하는 리드 리트라이 동작을 생략할 수 있다. 이로서, MSB 리드 리트라이 동작 시간을 단축할 수 있다.

[0053] ECC 동작을 수행하는 단계(S10)

[0054] MSB 리드 리트라이 동작을 수행하여 MSB 데이터가 리드되면(S09), 에러 정정 회로(122)는 MSB 데이터에 포함된 에러를 검출하고, 검출된 에러의 개수를 토대로 에러 정정이 가능한지 또는 불가능한지를 판단하여 에러 제어 회로(123)에 가능신호 또는 불가능신호를 전달한다.

[0055] 다음 리드 리트라이 테이블 인덱스를 선택하는 단계(S11)

[0056] 에러 정정이 불가능하여 불가능신호가 에러 제어 회로(123)에 전달되면, 에러 제어 회로(123)는 리드 리트라이 테이블(121)의 다음 인덱스를 선택한다. 예를 들면, 이전 MSB 리드 리트라이 동작에서는 저장된 제2 인덱스가 선택되었으므로, 에러 제어 회로(123)는 다음 인덱스인 제3 인덱스를 선택한다. MSB 리드 리트라이 테이블에서도 제3 인덱스에 대응되는 전압들은 제2 인덱스에 대응되는 전압들(Vr1_2, Vr3_2)보다 높은 레벨을 갖는다.

[0057] 선택된 리드 리트라이 테이블 인덱스를 사용하여 MSB 리드 리트라이 동작을 수행하는 단계(S12)

- [0058] 선택된 인덱스에 대응되는 전압들을 리드전압들(R1, R3)로 사용하여 MSB 리드 리트라이 동작을 수행한다(S12). 선택된 페이지로부터 리드된 MSB 리드 데이터의 에러 정정이 가능할 때까지 MSB 리드 리트라이 테이블의 인덱스를 순차적으로 선택하면서 S10 내지 S12 단계들을 반복한다. S10 단계에서 ECC가 가능한 것으로 판단되며, 선택된 페이지의 리드 동작은 종료된다.
- [0059] 만약, S02 단계에서 LSB 리드 동작의 에러 정정이 가능한 것으로 판단되면, 선택된 페이지의 MSB 데이터 리드 동작을 수행하는 단계(S13)를 수행한다. 구체적으로 설명하면 다음과 같다.
- [0060] 선택된 페이지의 MSB 데이터 리드 동작을 수행하는 단계(S13)
- [0061] 선택된 페이지의 MSB 데이터 리드 동작은 소거 상태와 제1 프로그램 상태 사이의 전압(R1)과 제2 프로그램 상태와 제3 프로그램 상태 사이의 전압(R3)을 MSB 리드전압들로 사용하는 리드 동작을 의미한다. MSB 리드전압들은 미리 설정된 이니셜 MSB 리드전압들이 사용된다. 이니셜 MSB 리드전압들을 사용하여 선택된 페이지의 MSB 리드 동작을 수행한다.
- [0062] ECC 동작을 수행하는 단계(S14)
- [0063] MSB 리드 리트라이 동작을 수행하여 MSB 데이터가 리드되면(S13), 에러 정정 회로(122)는 LSB 데이터에 포함된 에러를 검출하고, 검출된 에러의 개수를 토대로 에러 정정이 가능한지 또는 불가능한지를 판단하여 에러 제어 회로(123)에 가능신호 또는 불가능신호를 전송한다. 만약, 에러 정정이 가능한 것으로 판단되면, 선택된 페이지의 리드 동작은 종료된다.
- [0064] 다음 리드 리트라이 테이블 인덱스를 선택하는 단계(S15)
- [0065] 에러 정정이 불가능한 것으로 판단되어, 불가능신호가 에러 제어 회로(123)에 전달되면, 에러 제어 회로(123)는 리드 리트라이 테이블(121)의 인덱스를 선택한다.
- [0066] S15 단계가 처음 수행될 때에는, MSB 리드 리트라이 테이블의 첫번째 인덱스인 제0 인덱스가 선택되고, 선택된 인덱스에 대응되는 전압들을 사용하여 S13 단계를 수행하고 ECC 동작(S14)을 수행한다. 이러한 방식으로 S14 단계에서 에러 정정이 가능한 것으로 판단될 때까지 MSB 리드 리트라이 테이블의 인덱스를 순차적으로 선택하면서 에러 정정이 가능할 때까지 S13 내지 S15 단계들을 반복한다.
- [0067] 도 7은 본 발명의 실시예에 따른 반도체 장치를 포함하는 메모리 시스템을 설명하기 위한 블록도이다.
- [0068] 도 7을 참조하면, 메모리 시스템(1000)은 메모리 제어부(1100), 메모리 인터페이스(1200) 및 메모리 저장부(1300)를 포함할 수 있다.
- [0069] 메모리 제어부(1100)는 시스템 버스를 통해 입력된 외부 명령에 응답하여 다수의 핀들을 통해 메모리 인터페이스(1200)로 제어신호들(CONSIG)을 인가한다. 예를 들면, 메모리 제어부(1100)는 주소 핀들, 칩 인에이블 신호 핀, 선택 신호 핀, 출력 인에이블 신호 핀, 리셋 신호 핀, 쓰기 인에이블 신호 핀, 쓰기 금지 신호 핀, 클록 신호 핀, 어드레스 유효 입력 신호 핀을 통해 제어신호들(CONSIG)을 메모리 인터페이스(1200)에 인가할 수 있다. 또한, 메모리 제어부(1100)는 데이터 핀들을 통해 메모리 인터페이스(1200)와 데이터(DQ)를 주고받을 수 있다.
- [0070] 메모리 인터페이스(1200)는 제어신호들(CONSIG)에 응답하여 명령신호 및 어드레스를 포함한 인터페이스 신호들(IFSIG)을 메모리 저장부(1300)에 인가하며, 메모리 저장부(1300)와 데이터(DQ)를 주고 받을 수 있다.
- [0071] 메모리 저장부(1300)는 데이터가 저장되는 반도체 장치(100)를 포함할 수 있다. 반도체 장치(100)는 인터페이스 신호들(IFSIG)에 응답하여 프로그램, 리드 및 소거 동작을 수행한다. 특히, 반도체 장치(100)는 리드 동작 시, 선택된 페이지의 LSB 리드 리트라이 동작에서 에러 정정이 가능한 인덱스를 저장한 후, 동일 페이지의 MSB 리드 리트라이 동작에서 리드전압으로 사용하도록 함으로써, 리드 동작 시간을 단축할 수 있다. 따라서, 리드 동작 시간이 단축된 반도체 장치(100)를 포함하는 메모리 저장부(1300)의 동작 시간 또한 단축될 수 있으며, 메모리 저장부(1300)를 포함하는 메모리 시스템의 동작 시간 또한 단축될 수 있다.
- [0072] 상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시 예에서 구체적으로 기술되었으나, 상기한 실시 예는

그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시 예가 가능함을 이해할 수 있을 것이다.

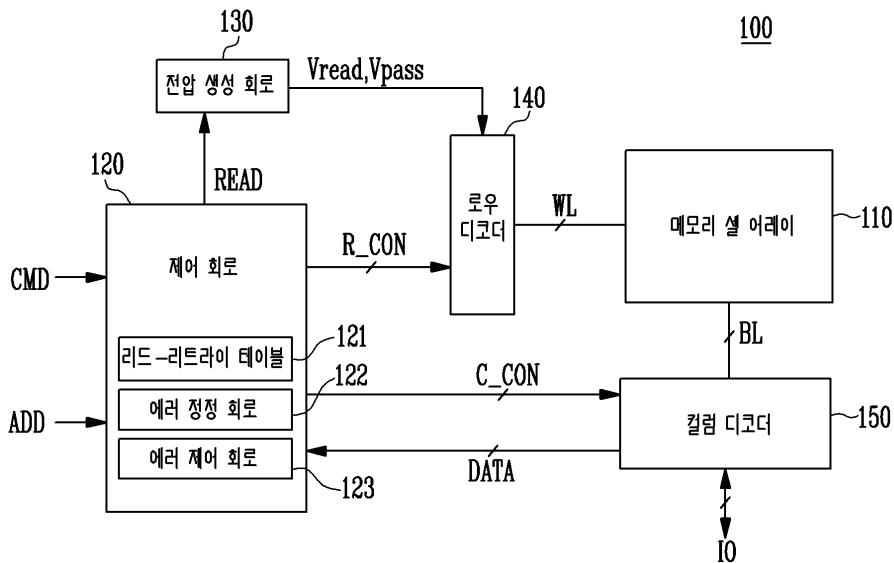
부호의 설명

[0073]

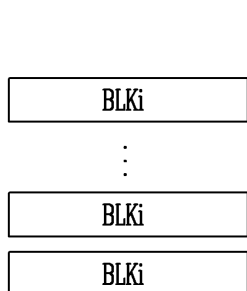
- | | |
|---------------|------------------|
| 100: 반도체 장치 | 110: 메모리 셀 어레이 |
| 120: 제어회로 | 121: 리드-리트라이 테이블 |
| 122: 에러 정정 회로 | 123: 에러 정정 회로 |
| 130: 전압 생성 회로 | 140: 로우 디코더 |
| 150: 컬럼 디코더 | 1000: 메모리 시스템 |
| 1100: 메모리 제어부 | 1200: 메모리 인터페이스부 |
| 1300: 메모리 저장부 | |

도면

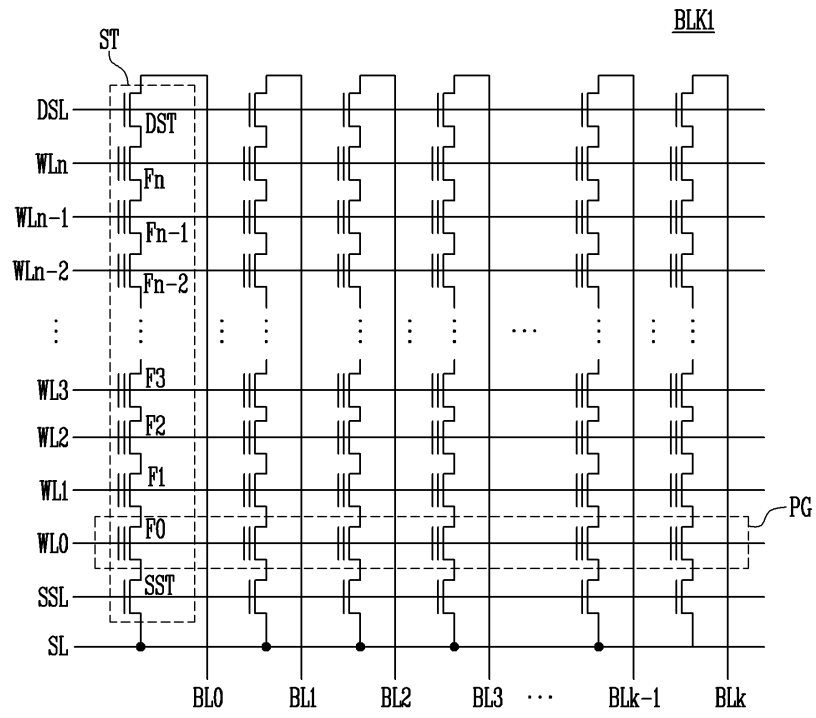
도면1



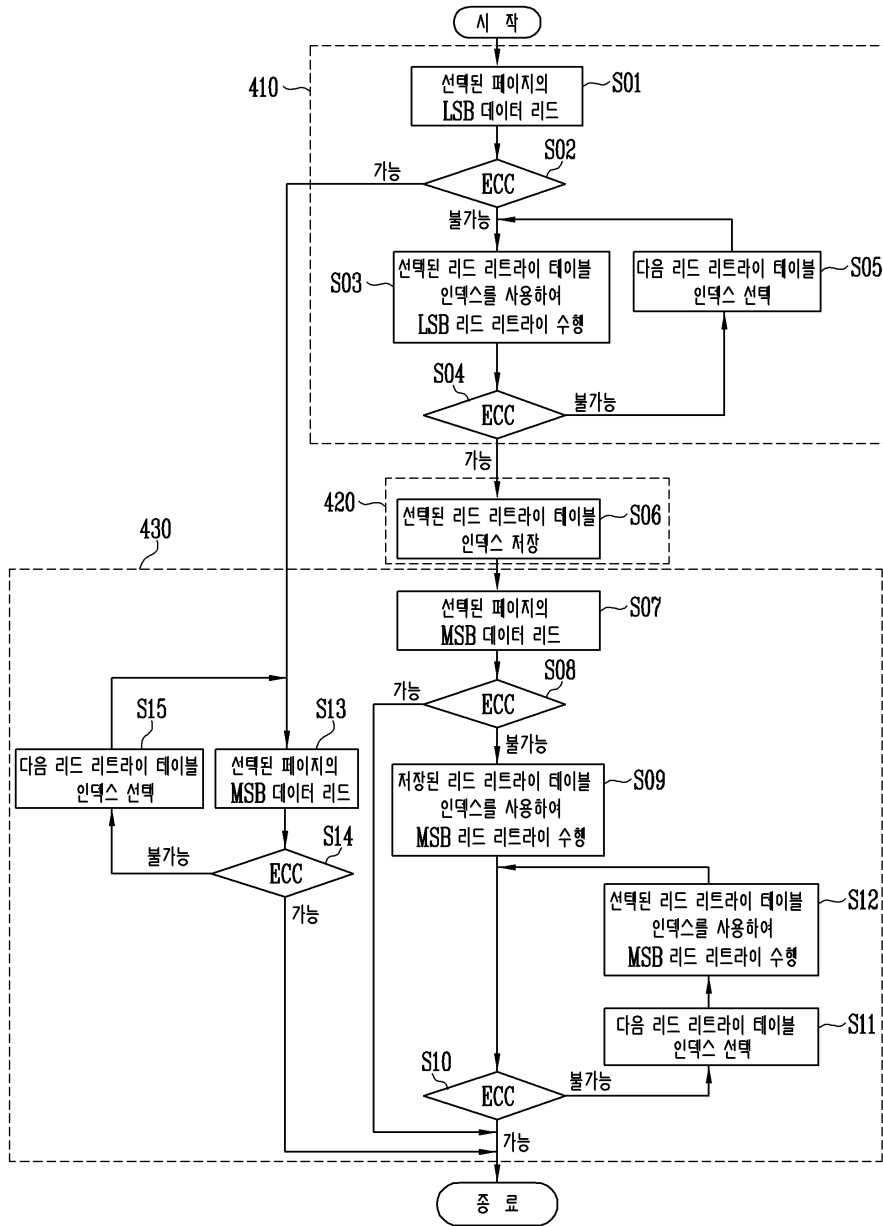
도면2



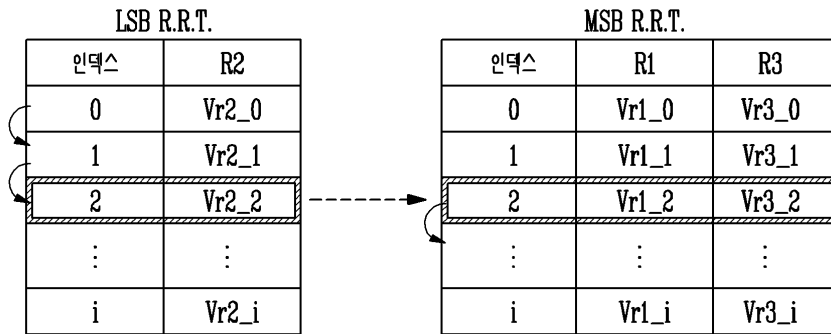
도면3



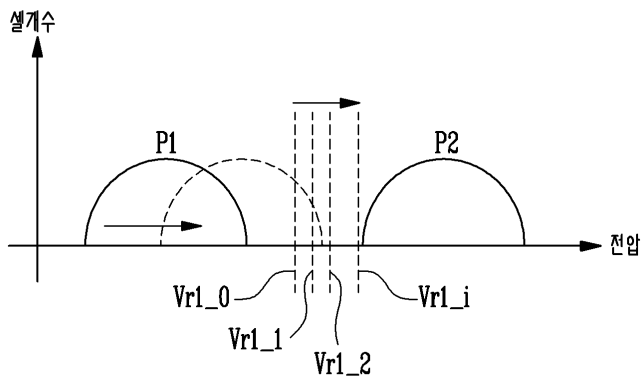
도면4



도면5



도면6



도면7

