



[12] 发明专利说明书

专利号 ZL 200310119558.3

[45] 授权公告日 2006 年 9 月 20 日

[11] 授权公告号 CN 1276362C

[22] 申请日 2003.12.4

[21] 申请号 200310119558.3

[30] 优先权

[32] 2002.12.17 [33] US [31] 10/322,127

[71] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 迈克尔·N·戴

查尔斯·R·约翰斯

詹姆斯·A·卡尔 刘培军

戴维·希比 尚·Q·张

审查员 张 妍

[74] 专利代理机构 中国国际贸易促进委员会专利

商标事务所

代理人 李德山

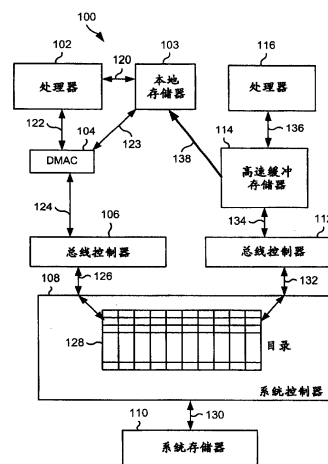
权利要求书 4 页 说明书 5 页 附图 2 页

[54] 发明名称

用于多处理器系统中的片上数据传输的方法和系统

[57] 摘要

为了改善计算机系统性能，在不同处理器间提供直接数据发送的系统和方法。系统包含第一和第二处理器。第一处理器需要数据。系统还包含与第一处理器通信的目录，目录接收要求数据的数据请求，并且包含关于数据存储位置的信息。高速缓冲存储器连接到第二处理器。连接于第一处理器和高速缓冲存储器之间的内部总线，当发现数据存储在高速缓冲存储器中时，从高速缓冲存储器传输数据到第一处理器。



1. 一种计算机系统，包括：
需要数据的第一处理器；
第二处理器；
与第一处理器通信的目录，该目录接收针对数据的数据请求，并且包括关于数据存储位置的信息；
连接到第二处理器的高速缓冲存储器；和
连接于第一处理器和高速缓冲存储器之间的内部总线，用于当发现数据存储在高速缓冲存储器中时，从高速缓冲存储器传输数据到第一处理器。
2. 如权利要求 1 所述的计算机系统，还包括用于存储目录的系统控制器。
3. 如权利要求 2 所述的计算机系统，其中高速缓冲存储器是第二级（L2）高速缓冲存储器。
4. 如权利要求 3 所述的计算机系统，其中系统控制器包括用于存储目录的第三级（L3）高速缓冲存储器。
5. 如权利要求 1 所述的计算机系统，还包括连接到目录的系统存储器。
6. 如权利要求 1 所述的计算机系统，还包括连接到第一处理器的直接存储器存取控制器（DMAC），用于代表第一处理器发出数据请求。
7. 如权利要求 6 所述的计算机系统，还包括：
连接在 DMAC 和目录之间的第一总线控制器，用于从 DMAC 发送数据请求到目录；和
连接在高速缓冲存储器和目录之间的第二总线控制器，用于当发现数据存储在高速缓冲存储器中时，从目录发送数据到高速缓冲存储器。
8. 如权利要求 2 所述的计算机系统，还包括连接到第一处理器

的直接存储器存取控制器 (DMAC)，用于代表第一处理器发出数据请求。

9. 如权利要求 8 所述的计算机系统，还包括：

连接在 DMAC 和系统控制器之间的第一总线控制器，用于从 DMAC 发送数据请求到目录；和

连接在高速缓冲存储器和系统控制器之间的第二总线控制器，用于当发现数据存储在高速缓冲存储器中时，从目录发送数据请求到高速缓冲存储器。

10. 如权利要求 1 所述的计算机系统，还包括连接到第一处理器的本地存储器，本地存储器经由内部总线连接到高速缓冲存储器。

11. 如权利要求 5 所述的计算机系统，其中当发现数据存储在系统存储器中时，发送数据请求到系统存储器。

12. 如权利要求 11 所述的计算机系统，其中数据从系统存储器 (110) 发送到第一处理器。

13. 一种通过在不同处理器间提供直接数据传送而改善计算机系统的性能的方法，此方法包括步骤：

为第一处理器发出针对数据的数据请求；

发送数据请求到目录；

确定数据是否存储在第二处理器的高速缓冲存储器中；

在确定数据存储在第二处理器的高速缓冲存储器中时，发送数据请求到高速缓冲存储器；和

经由内部总线，直接从高速缓冲存储器发送数据到第一处理器。

14. 如权利要求 13 所述的方法，还包括步骤：

在确定数据没有存储在第二处理器的高速缓冲存储器中时，发送数据请求到系统存储器；和

从系统存储器发送数据到第一处理器。

15. 如权利要求 13 所述的方法，其中发送数据请求到目录的步骤包括步骤：

从直接存储器存取控制器 (DMAC) 为第一处理器发送数据请求到第一总线控制器; 和

从第一总线控制器发送数据请求到目录。

16. 如权利要求 13 所述的方法, 其中, 发送数据请求到高速缓冲存储器的步骤包括步骤:

从目录发送数据请求到第二总线控制器; 和

从第二总线控制器发送数据请求到高速缓冲存储器。

17. 一种通过在不同处理器间提供直接数据传送以改善计算机系统性能的计算机系统, 此计算机系统包括:

用于为第一处理器发出针对数据的数据请求的装置;

用于发送数据请求到目录的装置;

用于确定数据是否存储在第二处理器的高速缓冲存储器中的装置;

用于在确定数据存储的第二处理器的高速缓冲存储器中时, 发送数据请求到高速缓冲存储器的装置; 和

用于经由内部总线, 直接从高速缓冲存储器发送数据到第一处理器的装置。

18. 如权利要求 17 所述的计算机系统, 还包括:

用于在确定数据没有存储在第二处理器的高速缓冲存储器中时, 发送数据请求到系统存储器的装置; 和

用于从系统存储器发送数据到第一处理器的装置。

19. 如权利要求 17 所述的计算机系统, 其中用于发送数据请求到目录的装置包括:

用于从直接存储器存取控制器 (DMAC) 为第一处理器发送数据请求到第一总线控制器的装置; 和

用于从第一总线控制器发送数据请求到目录的装置。

20. 如权利要求 17 所述的计算机系统, 其中用于发送数据请求到高速缓冲存储器的装置包括:

用于从目录发送数据请求到第二总线控制器的装置；和
用于从第二总线控制器发送数据请求到高速缓冲存储器的装
置。

用于多处理器系统中的 片上数据传输的方法和系统

技术领域

本发明通常涉及内存管理方案，尤其涉及经由片上内部总线，使用高速缓冲存储器传送数据。

背景技术

在大型配置计算机系统中，应用数据从系统内存传送到处理器，然后，在相同组的运算数据能被其他处理器重用之前，运算数据将被往复地传送到系统内存。往复传输数据到系统存储器所消费的时间成为系统性能的大问题。如果系统设计没有很好优化，处理器将花费大多数时间等待可用数据。

在大型系统配置中，存储器有不同的层次，例如第一级（L1）高速缓冲存储器，第二级（L2）高速缓冲存储器，第三级（L3）高速缓冲存储器和系统存储器。L1 高速缓冲存储器距离处理器最近，并且在多处理器系统中，通常不被其他处理器共享。典型的，L1 高速缓冲存储器居于处理器内部，而 L2 高速缓冲存储器位于处理器外部。两个或更多个处理器可以共享 L2 高速缓冲存储器；然而，通常 L2 高速缓冲存储器连接到不同处理器。L3 高速缓冲存储器比 L2 高速缓冲存储器距离处理器更远，而与系统存储器相比，距离处理器更近一些。这些高速缓冲存储器将数据存放在处理器附近，将会以更好的响应延迟重用数据。

然而，在多处理器系统中，当不直接连接到高速缓冲存储器的处理器请求数据时，高速缓冲存储器可能包括该数据。例如，第一处理器可能请求存储在与第二处理器相连，而不直接与第一处理器相连的 L2 高速缓冲存储器中的数据。在此例中，L2 高速缓冲存储器中的请求数据不能直接传送到第一处理器。首先，此请求数据必须传送

到系统存储器（或 L3 高速缓冲存储器），然后传送到第一处理器。这必定影响多处理器系统的性能，因为第一处理器必须等待请求的数据首先从高速缓冲存储器传送到系统存储器（或 L3 高速缓冲存储器），然后从系统存储器传送到第一处理器。

因此，需要一种为了改善计算机系统的性能，通过从高速缓冲存储器直接传送数据到任何一个请求数据的处理器的系统和方法。

发明内容

本发明提供了通过在不同处理器间提供直接数据传送，以改善计算机系统性能的系统。此计算机系统包括包括：需要数据的第一处理器；第二处理器；与第一处理器通信的目录，该目录接收针对数据的数据请求，并且包括关于数据存储位置的信息；连接到第二处理器的高速缓冲存储器；和连接于第一处理器和高速缓冲存储器之间的内部总线，用于当发现数据存储在高速公路缓冲存储器中时，从高速公路缓冲存储器传输数据到第一处理器。

本发明还提供了一种通过在不同处理器间提供直接数据传送而改善计算机系统的性能的方法，此方法包括步骤：为第一处理器发出针对数据的数据请求；发送数据请求到目录；确定数据是否存储在第二处理器的高速缓冲存储器中；在确定数据存储在第一处理器的高速缓冲存储器中时，发送数据请求到高速公路缓冲存储器；和经由内部总线，直接从高速公路缓冲存储器发送数据到第一处理器。

本发明还提供了一种通过在不同处理器间提供直接数据传送以改善计算机系统性能的计算机系统，此计算机系统包括：用于为第一处理器发出针对数据的数据请求的装置；用于发送数据请求到目录的装置；用于确定数据是否存储在第二处理器的高速缓冲存储器中的装置；用于在确定数据存储在第一处理器的高速缓冲存储器中时，发送数据请求到高速公路缓冲存储器的装置；和用于经由内部总线，直接从高速公路缓冲存储器发送数据到第一处理器的装置。

附图说明

为了更完整地理解本发明及其优点，现在参照结合附图所进行的描述，其中：

图 1 的模块图说明了具有内部总线的计算机系统，所述总线用于在第一处理器和与第二处理器相连的高速缓冲存储器之间传送数据；

图 2 的流程图说明了图 1 的计算机系统的操作。

具体实施方式

在以下讨论中，提出多个特定的具体细节以提供对本发明的完整理解。然而，对于本领域的技术人员，即使没有这些特定的具体细节，本发明显然也可以实施。在其他实例中，为了不因不必要的细节而使本发明模糊，熟知的部分以示意图或模块图的形式示出。

还注意到，除非另外指出，这里说明的全部功能可以通过硬件或软件之一，或者它们的某种结合来执行。然而，在优选实施例中，除非另外指出，通过诸如计算机或电子数据处理器、基于例如计算机

程序代码、软件的代码的处理器，和/或被编码以执行这些功能的集成电路来执行所述功能。

参考图 1，通常用数字 100 指示计算机系统。计算机系统 100 包括第一处理器 102，本地存储器 103，直接存储器存取控制器 (DMAC) 104，第一总线控制器 106，系统控制器 108，系统存储器 110，第二总线控制器 112，高速缓冲存储器 114，以及第二处理器 116。

第一处理器 102 经由连接 120 连接到本地存储器 103。第一处理器 102 还经由连接 122 连接到 DMAC 104。DMAC 104 经由连接 123 连接到本地存储器 103。DMAC 104 还经由连接 124 连接到第一总线控制器 106。第一总线控制器 106 经由连接 126 连接到系统控制器 108。系统控制器 108 存储目录 128。系统控制器 108 经由连接 130 连接到系统存储器 110。系统控制器 108 还经由连接 132 连接到第二总线控制器 112。第二总线控制器 112 经由连接 134 连接到高速缓冲存储器 114。高速缓冲存储器 114 经由连接 136 连接到第二处理器 116。高速缓冲存储器 114 还经由连接 138 连接到本地存储器 103。优选地，连接 138 包括片上内部总线。

第一处理器 102 建立从系统存储器 110 到本地存储器 103 的直接存储器存取 (DMA) 读取传送。DMAC 104 发出针对数据的数据请求。经由连接 124，DMAC 104 传输数据请求到第一总线控制器 106。然后，经由连接 126，第一总线控制器 106 发送数据请求到系统控制器 108。目录 128 包括关于数据存储位置的信息。

如果发现数据存储的高速缓冲存储器 114 中，那么经由连接 132，系统控制器 108 传送数据请求到第二总线控制器 112。之后，经由连接 134，第二总线控制器 112 发送数据请求到高速缓冲存储器 114。从高速缓冲存储器 114 中取得数据并经由连接 138 直接传送到本地存储器 103。优选地，高速缓冲存储器 114 中可以包括高速缓冲存储器控制器 (没有示出)，以从高速缓冲存储器 114 中取得数据，并发送数据请求到本地存储器 103。可选的，第一处理器 102 可以包

括本地存储器 103，或者用第一处理器 102 中的高速缓冲存储器（没有示出）替代本地存储器 103，使得经由连接 138，高速缓冲存储器 114 直接连接到第一处理器 102。

如果发现数据存储在系统存储器 110 中，从系统存储器 110 中取得存储在系统存储器 110 中的数据，并经由连接 130 传送到系统控制器 108。然后，经由连接 126 从系统控制器 108 传送数据到第一总线控制器 106。之后，经由连接 124，第一总线控制器 106 传送数据到 DMAC 104。之后，经由连接 123，DMAC 104 传送数据到本地存储器 103。

优选地，第二处理器 116 包括第一级（L1）高速缓冲存储器（没有示出）。在此情况下，高速缓冲存储器 114 是第二级（L2）高速缓冲存储器，而目录 128 存储在第三级（L3）高速缓冲存储器（没有示出）中。

优选地，第一处理器 102 是特殊的处理器，而第二处理器 116 是通用处理器。同样，计算机系统 100 可以被概括为具有多个通用处理器。在此情况下，以类似于第二处理器 116 和系统控制器 108 之间的连接的方式，在每个附加处理器（没有示出）和系统控制器 108 之间，可以连接附加的高速缓冲存储器（没有示出）和附加的总线控制器（没有示出）。

在图 2 中，流程图 200 图解了图 1 的计算机系统 100 的操作。在步骤 202，针对第一处理器发出要求数据的数据请求。优选地，DMAC 104 为第一处理器 102 发出数据请求。

在步骤 204 中，传送数据请求到目录。优选地，DMAC 104 通过第一总线控制器 106 传送数据请求到系统控制器 108。在此情况下，传送数据请求到居于系统控制器 108 中的目录 128。

在步骤 206 中，确定请求的数据是否存储在第二处理器的高速缓冲存储器中。优选地，目录 128 确定请求的数据是否存储在第二处理器 116 的高速缓冲存储器 114 中。

如果在步骤 206 中确定请求的数据存储在第二处理器的高速缓

冲存储器中，在步骤 208 中，传送数据请求到高速缓冲存储器。优选地，通过第二总线控制器 112，目录 128 传送数据请求到高速缓冲存储器 114。在步骤 210 中，经由内部总线，请求的数据直接从高速缓冲存储器传送到第一处理器。优选地，经由连接 138，高速缓冲存储器 114 传送请求的数据到第一处理器 102 的本地存储器 103。

如果在步骤 206 中确定请求的数据没有存储在第二处理器的高速缓冲存储器中，在步骤 212 中，传送数据请求到系统存储器。然后，在步骤 214 中，从系统存储器传送请求的数据到第一处理器。优选地，经由系统控制器 108，第一总线控制器 106 以及 DMAC 104，从系统存储器 110 传送请求的数据到第一处理器 102。

从前述的说明将理解，在不违背本发明的真正精髓的前提下，可以在本发明的选优实施例中做不同的修改和变化。本说明书仅用作说明目的，并且不应被理解为限制性的。本发明的范围应该受限于下述权利要求。

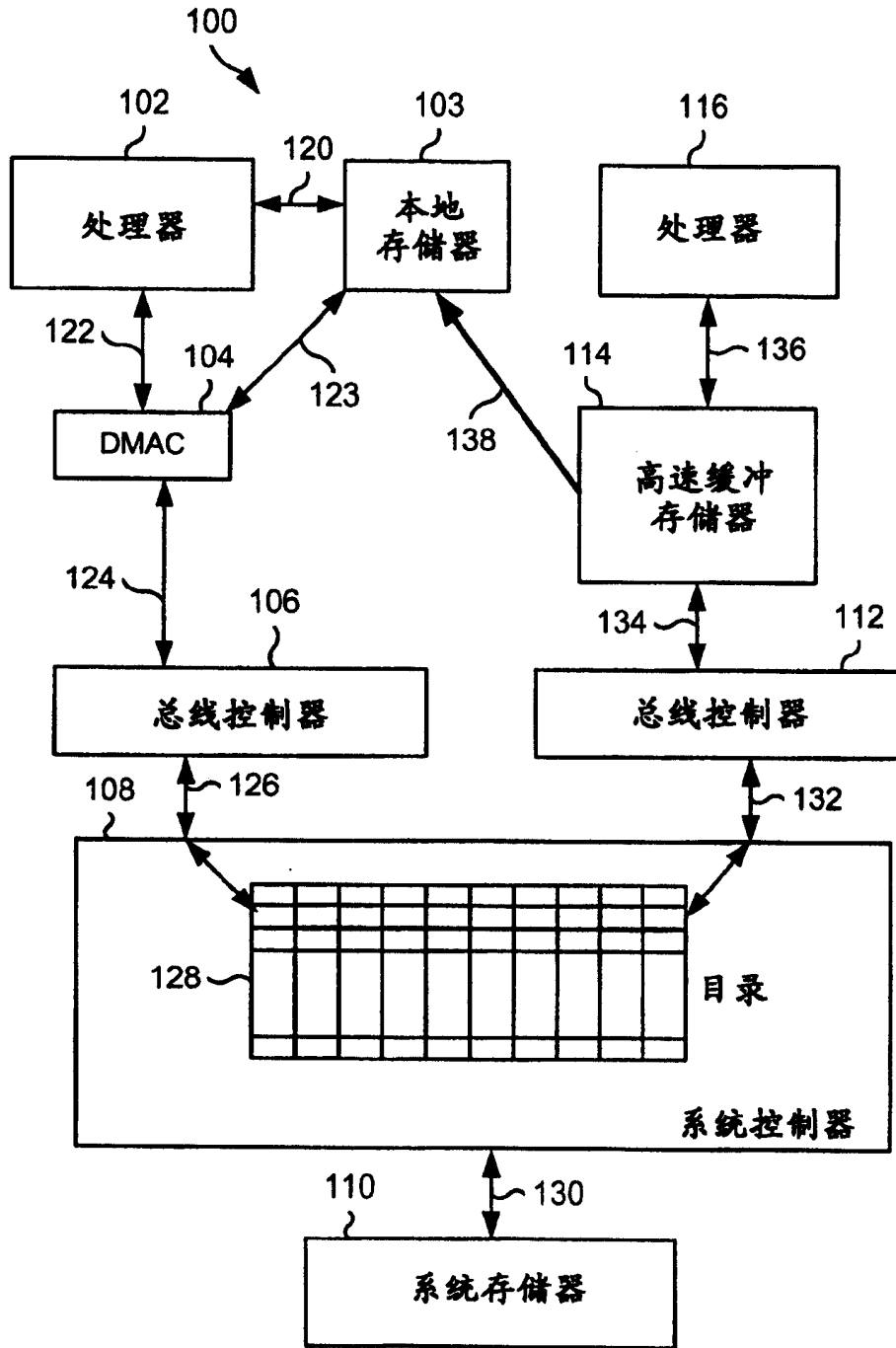


图1

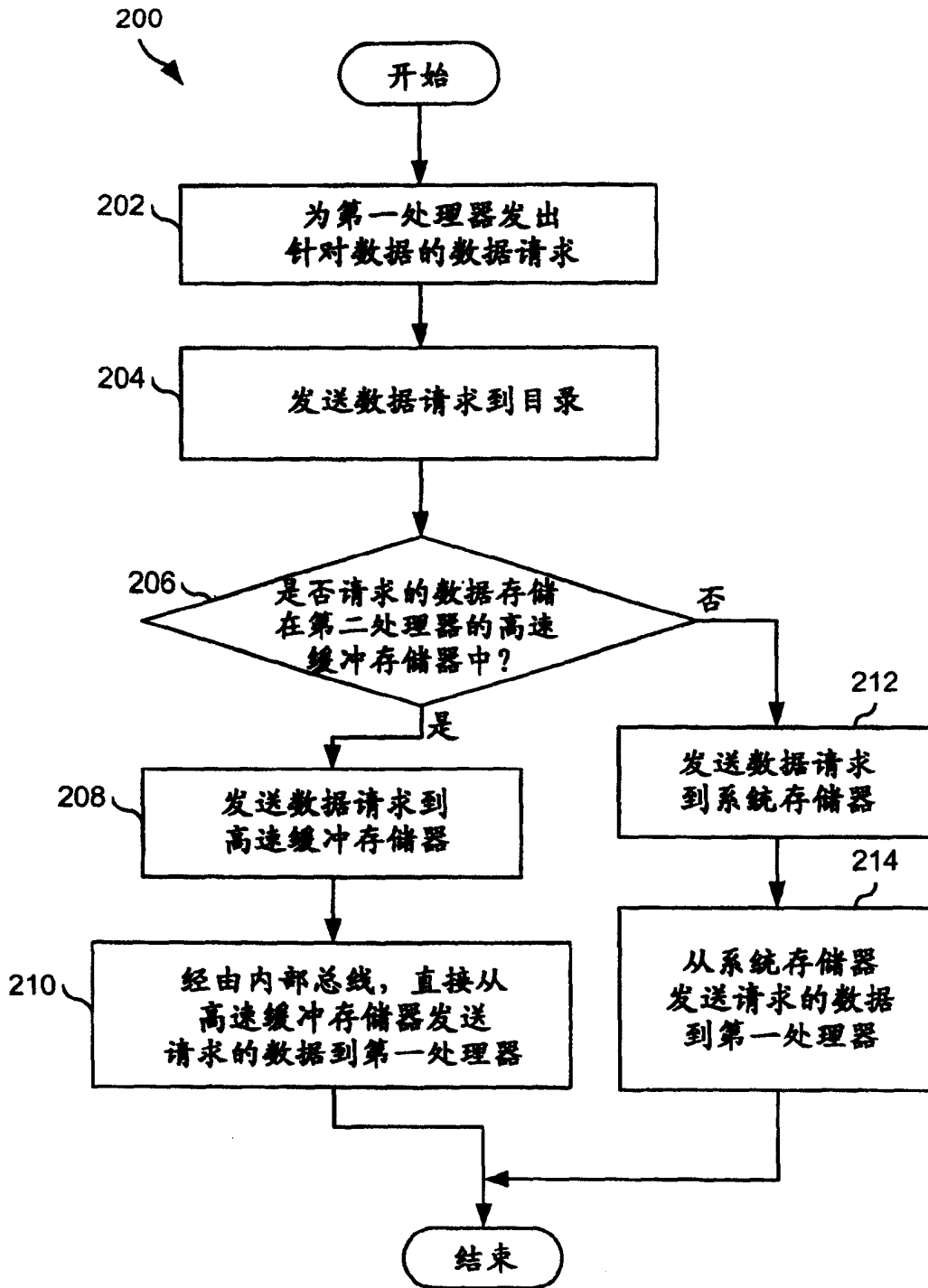


图2