

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/105 (2006.01)

H01L 27/108 (2006.01)

H01L 27/11 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200510080674.8

[43] 公开日 2006年1月18日

[11] 公开号 CN 1722441A

[22] 申请日 2005.7.6

[21] 申请号 200510080674.8

[30] 优先权

[32] 2004.7.6 [33] US [31] 10/886,215

[71] 申请人 台湾积体电路制造股份有限公司

地址 台湾新竹科学工业园区新竹市力行六路八号

[72] 发明人 廖忠志

[74] 专利代理机构 北京林达刘知识产权代理事务所
代理人 刘新宇

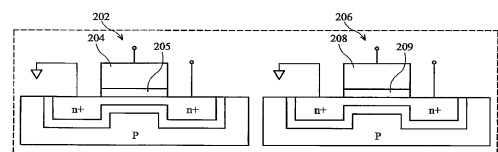
权利要求书 4 页 说明书 12 页 附图 5 页

[54] 发明名称

存储器电路,动态及静态随机存取存储器电路模块

[57] 摘要

本发明提供一种存储器电路,动态及静态随机存取存储器电路模块,其为一种集成电路,其具有一或多个装置,该等装置具有实质上相等的物理栅极介电质厚度,而具有不同的电性栅极介电质厚度,以可符合不同的操作需要。以一或多个装置使用多掺杂制程而以相同屏蔽组来制造一或多个装置,进而产生实质上相同的物理栅极介电质厚度,而产生相异的电性栅极介电质厚度。经过多掺杂制程的装置具有相异掺杂物浓度,借此提供不同电性特性,例如门坎电压。本发明有效地产生两或多种有效核心栅极掺杂物浓度,而不需附加的屏蔽,降低制作成本,且减少了通栅装置漏电流或电容漏电流,在较低操作电压下,可改善 β 比及静态噪声边限。



1、一种存储器电路，具有一或多个装置，该装置具有实质上相同的物理栅极介电质厚度及实质上相异的电性栅极介电质厚度，该存储器电路包括：

一第一装置，包括：

5 一第一栅极介电质层，形成于一基底，且具有一第一物理栅极介电质厚度；以及

一第一栅极，形成该第一栅极介电质层上，且具有一第一掺杂物浓度；以及

一第二装置，包括：

10 一第二栅极介电质层，形成于该基底，且具有一第二物理栅极介电质厚度；以及

一第二栅极，形成该第二栅极介电质层上，且具有一第二掺杂物浓度；

15 其特征在于：该第一物理栅极介电质厚度实质上与该第二物理栅极介电质厚度相同；以及

其中，在该第一装置与该第二装置经过一先前掺杂步骤后，以至少一预设掺杂制程使该第一掺杂物浓度实质上大于该第二掺杂物浓度，使得该第一电性栅极介电质厚度小于该第二电性栅极介电质厚度至少 2 埃。

20 2、根据权利要求 1 所述的存储器电路，其特征在于：该第二电性栅极介电质厚度大于该第一电性栅极介电质厚度至少 5 埃。

3、根据权利要求 1 所述的存储器电路，其特征在于：该第一及第二物理栅极介电质厚度低于 20 埃。

25 4、根据权利要求 1 所述的存储器电路，其特征在于：该第一掺杂物浓度高于该第二掺杂物浓度至少 50%。

5、一种动态随机存取存储器电路模块，所述动态随机存取存储器电路模块包括：

一电容装置，用以储存数据；

一通栅装置，用以选择性地致能该电容装置，使该电容装置电性充电，该通栅装置包括：

5 一第一栅极介电质层，形成于一基底，且具有一第一物理栅极介电质厚度；以及

一第一栅极，形成该第一栅极介电质层上，且具有一第一掺杂物浓度；以及

一周边逻辑装置，用以与该通栅装置一起操作，该周边逻辑装置包括：

10 一第二栅极介电质层，形成于该基底，且具有一第二物理栅极介电质厚度；以及

一第二栅极，形成该第二栅极介电质层上，且具有一第二掺杂物浓度；

15 其特征在于：该第一物理栅极介电质厚度实质上与该第二物理栅极介电质厚度相同；以及

其中，在该周边逻辑装置经过一先前掺杂步骤后，以至少一预设掺杂制程使该第二掺杂物浓度实质上大于该第一掺杂物浓度。

20 6、根据权利要求 5 所述的动态随机存取存储器电路模块，其特征在于：该通栅装置及该周边逻辑装置分别具有一第一及第二电性栅极介电质厚度，且该第一电性栅极介电质厚度大于该第二电性栅极介电质厚度。

7、根据权利要求 5 所述的动态随机存取存储器电路模块，其特征在于：该第一及第二物理栅极介电质厚度低于 20 埃。

25 8、根据权利要求 7 所述的动态随机存取存储器电路模块，其特征在于：该第二掺杂物浓度高于该第一掺杂物浓度至少 50%。

9、一种静态随机存取存储器电路模块，所述静态随机存取存

存储器电路模块包括：

至少一下拉 NMOS 晶体管，形成于一第一栅极介电质层上，且具有一第一栅极，其中，该第一栅极介电质层具有一第一物理栅极介电质厚度，且该第一栅极具有一第一掺杂物浓度；

5 至少一上拉 PMOS 晶体管，形成于一第二栅极介电质层上，且具有一第二栅极，并与该下拉 NMOS 晶体管彼此耦接用以维持数据，其中，该第二栅极介电质层具有一第二物理栅极介电质厚度，且该第二栅极具有一第二掺杂物浓度；以及

一通栅装置，形成于一第三栅极介电质层上，且具有一第三
10 栅极，用以致能该上拉 PMOS 晶体管及该下拉 NMOS 晶体管电性充电，其中，该第三栅极介电质层具有一第三物理栅极介电质厚度，且该第三栅极具有一第三掺杂物浓度；

其特征在于：该第一，第二，及第三物理栅极介电质厚度实质上相同；

15 其中，通过经过一或多个额外掺杂制程，该第一掺杂物浓度实质上大于该第二及第三掺杂物浓度，使得该下拉 NMOS 晶体管的电性栅极介电质厚度与该上拉 PMOS 晶体管或该通栅装置的电性栅极介电质厚度比较起来有至少 2 埃的差异。

10、根据权利要求 9 所述的静态随机存取存储器电路模块，
20 其特征在于：该下拉 NMOS 晶体管，该上拉 PMOS 晶体管，及该通栅装置分别具有一第一，第二，及第三电性栅极介电质厚度，且该第一电性栅极介电质厚度实质上小于该第二及第三电性栅极介电质厚度。

11、根据权利要求 9 所述的静态随机存取存储器电路模块，
25 其特征在于：该第一掺杂物浓度高于该第二及第三掺杂物浓度至少 50%。

12、根据权利要求 9 所述的静态随机存取存储器电路模块，

其特征在于：更包括一周边逻辑装置，形成于一第四栅极介电质层上，且具有一第四栅极，用以与该通栅装置一起操作，其中，该第四栅极介电质层具有一第四物理栅极介电质厚度，且该第四栅极具有一第四掺杂物浓度。

5 13、根据权利要求 12 所述的静态随机存取存储器电路模块，其特征在于：该第四物理栅极介电质厚度实质上等于该第一物理栅极介电质厚度，且该第四掺杂物浓度大于该第一掺杂物浓度。

14、根据权利要求 13 所述的静态随机存取存储器电路模块，其特征在于：该第四掺杂物浓度高于该第一掺杂物浓度至少 50%。

10 15、根据权利要求 9 所述的静态随机存取存储器电路模块，其特征在于：该第二及第三物理栅极介电质厚度低于 15 埃。

存储器电路，动态及静态随机存取存储器电路模块

技术领域

本发明是有关于一种集成电路，特别是有关于一种逻辑存储
5 器电路，其利用多阶掺杂技术，以电性地调整金属氧化物半导体
场效应晶体管（MOSFET）的特性并减少其尺寸。

背景技术

随着金属氧化物半导体场效应晶体管（MOSFET）的尺寸持
10 续地减少，热预算、源/漏接面深度及掺杂物浓度降低以缓和短沟
道效应。然而，此降低的趋势具有限度。假使超过此限度，低多
栅极掺杂剖面图（lower poly gate doping profile）将会改变，而
诱发在栅电极与栅极介电质层间的非期望空乏区。假使栅极掺杂
物浓度不够饱和，其将增加电性栅极介电质厚度并降低 MOSFET
15 饱和电流。电性栅极介电质厚度是在某电性情况下栅极介电质层
的等效厚度。具有相同物理栅极介电质厚度的两 MOSFET 可能具
有相异的电性栅极介电质厚度。举例来说，操作在不同电性情况
下，例如在不同的栅极掺杂物浓度下的这两个 MOSFET 可具有明
显不匹配的电性栅极介电质厚度。一般而言，在多个 MOSFET 中，
20 假使一 MOSFET 具有较大的栅极掺杂物浓度，则其电性栅极介电
质厚度较其它 MOSFET 薄。因此，不足的掺杂栅电极通常造成
非期望的较厚电性栅极介电质厚度。

一般而言，在集成电路（integrated circuit, IC）的制作中，
例如在静态随机存取存储器（SRAM）及动态随机存取存储器
25 （DRAM）的制作中，逻辑装置与存储单元的栅极结构，只有执
行单阶（one-stage）掺杂。例如，在 SRAM 存储单元设计中，
为了获得大的 β 比例与静态噪声边限（static noise margin,

SNM), 通栅装置 (pass gate device) 与下拉 (pull-down) 装置比较起来, 通常需要较窄的沟道宽度以及较长的沟道长度。然而, 在低电压操作下, 此设计将造成反窄宽度效应以及降低 β 比例。长沟道长度的设计会特别导致存储器尺寸的增加。SRAM 电路的理想设计与下拉装置比较起来, 应包含具有较高门坎电压与较低饱和电流的通栅装置。因此, 通栅装置与下拉装置的电性特性相异。

一个 DRAM 存储单元通常包括耦接电容器的一通栅装置。在 DRAM 存储单元设计中, 通栅装置漏电流及电容器栅极漏电流是主要的问题之一。对于较佳的数据维持、可靠度、以及备用漏电流而言, 低栅极漏电流与低次门坎电为较理想。为了达到这些目的, 通栅装置比周边逻辑装置还需要较厚的栅极介电质层。不同的栅极介电质层的厚度则复杂化了制作程序。

图 1 是表示现有 P 型 MOSFET 100 的物理结构示意图。MOSFET 100 建立在 P 型基底, 此 P 型基底的两侧具有 n+ 掺杂区分别作为源极及漏极。在两 n+ 掺杂区间的距离 102 为沟道长度。源极与漏极彼此相同, 且根据所施加的电压而可交换。以先进技术处理的装置具有小于 1 微米的沟道长度, 且此装置归于次微米装置或纳米装置。在此例子中, 由连接电压 V_{ss} 的电极 (源极) 所产生的电流, 经由栅极电压 V_{gs} 所决定的沟道 104, 而流至连接电压 V_{ds} 的电极 (漏极)。假使栅极电压 V_{gs} 等于零, 则没有电流自源极流至漏极。栅极包括耦接栅极电压 V_{gs} 的多晶硅电极 110, 且栅极介电质层 106 分离多晶硅电极 110 与沟道 104。此分离在多晶硅电极 110 与沟道 104 形成了寄生电容。由于在 IC 制造期间所形成的空乏区 108, 在沟道 104 与 P 型基底之间也形成电容。

在逻辑与存储器装置技术领域, 期望一种新的 MOSFET,

其具有电性调整的栅极架构，以减小存储单元尺寸，而新的MOSFET仍符合或超过电流电性性能参数。

发明内容

5 有鉴于此，为了解决上述问题，本发明主要目的在于提供一种集成电路，其具有一或多个装置，该等装置具有实质上相等的物理栅极介电质厚度，而具有不同的电性栅极介电质厚度，以可符合不同的操作需要。以一或多个装置使用多掺杂制程而以相同屏蔽组来制造一或多个装置，进而产生实质上相同的物理栅极介电质厚度，而产生相异的电性栅极介电质厚度。经过多掺杂制程的装置具有相异掺杂物浓度，借此提供不同电性特性，例如门坎电压。

本发明是这样实现的：

15 本发明提供一种存储器电路，具有一或多个装置，该等装置具有实质上相同的物理栅极介电质厚度及实质上相异的电性栅极介电质厚度，该存储器电路包括：

一第一装置，包括：一第一栅极介电质层，形成于一基底，且具有一第一物理栅极介电质厚度；以及一第一栅极，形成该第一栅极介电质层上，且具有一第一掺杂物浓度；以及

20 一第二装置，包括：一第二栅极介电质层，形成于该基底，且具有一第二物理栅极介电质厚度；以及一第二栅极，形成该第二栅极介电质层上，且具有一第二掺杂物浓度；

其中，该第一物理栅极介电质厚度实质上与该第二物理栅极介电质厚度大致相同；以及其中，在该第一装置与该第二装置经过一先前掺杂步骤后，以至少一预设掺杂制程使该第一掺杂物浓度实质上大于该第二掺杂物浓度，使得该第一电性栅极介电质厚度小于该第二电性栅极介电质厚度至少2埃。

本发明所述的存储器电路，该第二电性栅极介电质厚度大于该第一电性栅极介电质厚度至少 5 埃。

本发明所述的存储器电路，该第一及第二物理栅极介电质厚度大约低于 20 埃。

5 本发明所述的存储器电路，该第一掺杂物浓度高于该第二掺杂物浓度至少 50%。

本发明另提供一种动态随机存取存储器电路模块，所述动态随机存取存储器电路模块包括：

一电容装置，用以储存数据；

10 一通栅装置，用以选择性地致能该电容装置，使该电容装置电性充电，该通栅装置包括：一第一栅极介电质层，形成于一基底，且具有一第一物理栅极介电质厚度；以及一第一栅极，形成该第一栅极介电质层上，且具有一第一掺杂物浓度；以及

一周边逻辑装置，用以与该通栅装置一起操作，该周边逻辑
15 装置包括：一第二栅极介电质层，形成于该基底，且具有一第二物理栅极介电质厚度；以及一第二栅极，形成该第二栅极介电质层上，且具有一第二掺杂物浓度；

其中，该第一物理栅极介电质厚度实质上与该第二物理栅极介电质厚度相同；以及其中，在该周边逻辑装置经过一先前掺杂物
20 步骤后，以至少一预设掺杂物制程使该第二掺杂物浓度实质上大于该第一掺杂物浓度。

本发明所述的动态随机存取存储器电路模块，该通栅装置及该周边逻辑装置分别具有一第一及第二电性栅极介电质厚度，且该第一电性栅极介电质厚度大于该第二电性栅极介电质厚度。

25 本发明所述的动态随机存取存储器电路模块，该第一及第二物理栅极介电质厚度大约低于 20 埃。

本发明所述的动态随机存取存储器电路模块，该第二掺杂物

浓度高于该第一掺杂物浓度至少 50%。

本发明还提供一种静态随机存取存储器电路模块，所述静态随机存取存储器电路模块包括：至少一下拉 (pull-down) NMOS 晶体管，形成于一第一栅极介电质层上，且具有一第一栅极，其中，该第一栅极介电质层具有一第一物理栅极介电质厚度，且该第一栅极具有一第一掺杂物浓度；至少一上拉 (pull-up) PMOS 晶体管，形成于一第二栅极介电质层上，且具有一第二栅极，并与该下拉 (pull-down) NMOS 晶体管彼此耦接用以维持数据，其中，该第二栅极介电质层具有一第二物理栅极介电质厚度，且该第二栅极具有一第二掺杂物浓度；以及一通栅装置，形成于一第三栅极介电质层上，且具有一第三栅极，用以致能该上拉 (pull-up) PMOS 晶体管及该下拉 (pull-down) NMOS 晶体管电性充电，其中，该第三栅极介电质层具有一第三物理栅极介电质厚度，且该第三栅极具有一第三掺杂物浓度；其中，该第一，第二，及第三物理栅极介电质厚度实质上相同；其中，通过经过一或多个额外掺杂物制程，该第一掺杂物浓度实质上大于该第二及第三掺杂物浓度，使得该下拉 (pull-down) NMOS 晶体管的电性栅极介电质厚度与该上拉 (pull-up) PMOS 晶体管或该通栅装置的电性栅极介电质厚度比较起来有至少 2 埃的差异。

本发明所述的静态随机存取存储器电路模块，该下拉 (pull-down) NMOS 晶体管，该上拉 (pull-up) PMOS 晶体管，及该通栅装置分别具有一第一，第二，及第三电性栅极介电质厚度，且该第一电性栅极介电质厚度实质上小于该第二及第三电性栅极介电质厚度。

本发明所述的静态随机存取存储器电路模块，该第一掺杂物浓度高于该第二及第三掺杂物浓度至少 50%。

本发明所述的静态随机存取存储器电路模块，更包括一周边

逻辑装置，形成于一第四栅极介电质层上，且具有一第四栅极，用以与该通栅装置一起操作，其中，该第四栅极介电质层具有一第四物理栅极介电质厚度，且该第四栅极具有一第四掺杂物浓度。

本发明所述的静态随机存取存储器电路模块，该第四物理栅极介电质厚度实质上等于该第一物理栅极介电质厚度，且该第四掺杂物浓度大于该第一掺杂物浓度。

本发明所述的静态随机存取存储器电路模块，该第四掺杂物浓度高于该第一掺杂物浓度至少 50%。

本发明所述的静态随机存取存储器电路模块，该第二及第三物理栅极介电质厚度低于 15 埃。

本发明所述存储器电路，动态及静态随机存取存储器电路模块，有效地产生两或多种有效核心栅极掺杂物浓度，而不需附加的屏蔽，没有因为在正规制造程序流程中增加额外掺杂步骤而产生费用，且减少了通栅装置漏电流或电容漏电流，在较低操作电压下，可改善 B 比及静态噪声边限。

附图说明

图 1 表示现有 N 型 MOSFET 的物理结构；

图 2 表示本发明实施例的集成电路模块；

图 3 表示本发明实施例的 PMOS 晶体管的剖面图；

图 4 表示本发明实施例的 SRAM 存储单元的结构图；

图 5 表示本发明实施例的 DRAM 存储单元的结构图。

具体实施方式

为使本发明的上述目的、特征和优点能更明显易懂，下文特举一较佳实施例，并配合所附图式，作详细说明如下。

图 2 是表示本发明的集成电路模块，其至少两装置的栅极架

构电性调整以达成不同的电特性。NMOS 晶体管 202 及 206 作为例子以说明本实施例。NMOS 晶体管 202 利用单阶 (one-stage) 栅极掺杂方法，于第一栅极介电质层 205 的上方形成淡掺杂的第一栅极 204。NMOS 晶体管 206 利用双阶 (two-stage) 栅极掺杂方法，于第二栅极介电质层 209 的上方形成浓掺杂的第二栅极 208。

除了 NMOS 晶体管 202 及 206 的栅极掺杂物浓度外，其架构相同。当第一及第二栅极介电质层的物理厚度几乎相同时，栅极 204 及 208 的栅极掺杂物浓度实质上相异。第一栅极 204 的第一栅极掺杂物浓度将近低于第二栅极 208 的第二栅极掺杂物浓度 50%。一般而言，第一及第二栅极介电质层 205 及 209 的物理栅极介电质厚度大约低于 20 埃 (angstrom)。然而，第一及第二介电质层 205 及 209 的电性特性实质上相异，其导致因不同的栅极掺杂物浓度，而所产生在物理厚度上至少 2 埃的等效差异。在一些情况下，差异可超过 5 埃。可得知，电性栅极介电质厚度可就物理厚度来测量。

在只使用单阶掺杂方法的集成电路中，在此集成电路的所有 MOSFET 具有相同的栅极掺杂物浓度。在使用所提出的双阶掺杂方法的集成电路中，视理想集成电路装置效能以及降低装置尺寸的操作需求而定，其 MOSFET 可具有相异的栅极掺杂物浓度。

双阶掺杂方法的技术根本上是利用与传统 SRAM/DRAM 相同的光罩以及相同的制程步骤。然而，双阶掺杂的技术利用附加的栅极掺杂步骤以增加在所选择的装置上的掺杂物浓度。例如，栅极介电层首先利用化学气相沉积 (CVD) 以形成在栅极与漏极间的沟道上方。多晶硅层接着以一步骤，例如化学气相沉积及溅镀，形成在栅极介电层的上方。此多晶硅层以 N 型杂质掺杂以改善其传导性。之后，在选择的装置上执行双阶掺杂。双阶掺杂导

致在栅极结构中的掺杂物浓度高于掺杂于单阶掺杂制程的浓度。在图 2 的 NMOS 晶体管中，N 型杂质，例如 As、P31、及 Sb，使用于第一阶掺杂及第二阶掺杂。在双阶掺杂后，执行接续的制造程序，以完成单阶及双阶掺杂晶体管。

5 图 3 是表示 PMOS 晶体管 302 及 306 的剖面图。除了栅极掺杂物浓度外，PMOS 晶体管 302 及 306 是相同的。PMOS 晶体管 302 利用传统单阶栅极掺杂方法以形成淡掺杂的第一栅极 304，而 PMOS 晶体管 306 利用所提出的双阶栅极掺杂方法以形成浓掺杂的第二栅极 308。在图 3 的 PMOS 晶体管中，P 型杂质，例如，
10 B₁₁、BF₂、及 In，使用于第一阶掺杂及第二阶掺杂。值得注意的是，除了栅极掺杂物浓度外，两晶体管的构造相同。如图 2 的 NMOS 晶体管 202 及 206，第一栅极介电质层 305 及第二栅极介电质层 309 的物理厚度大约低于 20 埃。然而，第一栅极介电质层 305 及第二栅极介电质层 309 的效能不同，以致于其电性栅极介
15 电质厚度尚有等效 2 埃等效差。

本发明的另一实施例，可实施多于二阶的掺杂，在如存储单元及逻辑装置的装置中建立多栅极掺杂物浓度。此可电性调整装置特性以符合不同的操作需求。在第一及第二栅极掺杂制程完成后，为了形成更浓的掺杂栅极结构，在 IC 中所选择的装置上执行
20 更多次的栅极掺杂制程。

本发明的优点为，不需改变物理栅极介电质厚度，而可建立具有不同电性栅极介电质浓度的两装置。因此，不需附加的屏蔽而可在不同区域形成不同厚度的介电质层。淡掺杂栅极电极具有较高的门坎电压，而浓掺杂栅极电极具有较低的门坎电压。通过
25 选择不同掺杂物浓度的装置，其可适应于不同操作需求。举例来说，一个存储单元，例如 SRAM 存储单元及 DRAM 存储单元，常常具有需要不同门坎电压的装置。

图 4 是表示本发明应用于六 - 晶体管 SRAM 存储单元 400 的例子, SRAM 存储单元 400 包含单阶掺杂装置以及所提出的双阶掺杂装置。SRAM 存储单元 400 包括交叉耦合 (cross - coupled) 反相器 402 以及两通栅装置 (pass gate device) 404 及 406。这里需了解的是, 这里有在 IC 内部作为接口的附加周边逻辑装置 (未显示), 且为了 SRAM 存储单元 400 读/写操作, 周边逻辑装置控制通栅装置 404 及 406。交叉耦合反相器 402 包括两反相器电路。第一反相器包括上拉 (pull - down) PMOS 晶体管 408 及下拉 (pull - down) NMOS 晶体管 410; 第二反相器包括上拉 (pull - down) PMOS 晶体管 412 及下拉 (pull - down) NMOS 晶体管 414。相异于 DRAM, SRAM 存储单元 400 不需要周期性地更新。通过只接收电压的交叉耦合反相器 402 的状态, SRAM 存储单元 400 保留数据位元作为其存储。NMOS 通栅装置 404 及 406 被对应的字符线 WL 导通以允许将电压由位元线 BL 与 BLB 写入至 SRAM 存储单元 400 或是将电压由 SRAM 存储单元 400 读出至位元线 BL 与 BLB, 而写入或读出是由控制位元线 BL 与 BLB 的周边逻辑装置所决定。

此双阶掺杂栅极结构可借将双阶栅极掺杂制程应用于所选择的装置上, 而实施于 SRAM 存储单元 400; 其它装置可利用单阶栅极掺杂方法。在此实施例中, 由于其低栅极漏电流的需求, 通栅装置 404 及 406 及上拉 PMOS 晶体管 408 及 412 仍是单阶掺杂装置。下拉 NMOS 晶体管 410 及 414、其它周边逻辑装置, 例如译码器电路、NAND 装置、NOR 装置、反相器装置、选择器电路、感测放大电路等等、以及其它高效能装置 (未显示), 例如译码器电路、NAND 装置、NOR 装置、反相器装置等等, 利用双阶掺杂制程以减少其栅极沟道长度, 借此减少装置物理尺寸。一般而言, 通栅装置 404 及 406、上拉 PMOS 晶体管 408 及 412、

下拉 NMOS 晶体管 410 及 414、以及周边逻辑装置的栅极介电质层的厚度小于 15 埃。这些装置的物理栅极介电质厚度实质上皆相等,且下拉 NMOS 晶体管 410 及 414 的栅极掺杂物浓度实质上大于上拉 PMOS 晶体管 408 及 412 以及通栅装置 404 及 406 的栅极掺杂物浓度。此外,周边逻辑装置以及高效能装置的栅极掺杂物浓度,实质上大于下拉 NMOS 晶体管 410 及 414 的栅极掺杂物浓度。较高的栅极掺杂物浓度大约高于较低的栅极掺杂物浓度 50%。此导致下拉 NMOS 晶体管 410 及 414 的电性栅极介电质厚度,实质上小于上拉 PMOS 晶体管 408 及 412 以及通栅装置 404 及 406 的电性栅极介电质厚度。周边逻辑装置及高效能装置的电性栅极介电质厚度,实质上小于下拉 NMOS 晶体管 410 及 414 的电性栅极介电质厚度。

双阶栅极掺杂制程可减少这些浓掺杂装置的电性栅极介电质厚度;且在这些装置上,使用单阶掺杂方法来制造上拉 PMOS 晶体管 408 及 412 以及通栅装置 404 及 406。在下拉 NMOS 晶体管以及周边逻辑装置使用双阶栅极掺杂制程的优点,导致较高的 β 比、在较低操作电压的高 SNM、较高的门坎电压、以及最重要地较小的装置物理尺寸。这些优点可因此获得,而不需要因为实施不同厚度的栅极介电质层而招致的附加屏蔽及成本。

图 5 是表示在 IC 内作为本发明另一例子的一般 DRAM 存储器电路 416,其包括的传统单阶及所提出的双阶栅极掺杂方法。简化的 DRAM 存储器电路 416 包括通栅装置 418、位元储存电容器 420、以及周边逻辑装置(未显示)。电容器 420 作为存储装置,用以维持电荷(数据值“1”)或是没有储存电荷(数据值“0”)。根据字符线 WL 及位元线 BL 状态的控制,通栅装置 418 允许电容器 420 的读取、写入或更新。在 DRAM 装置中,通栅装置 418 与电容器 420 具有较少漏电流以增加数据维持时间是不可或缺

的。因此，通栅装置 418 及电容器 420 应利用单阶掺杂栅极的掺杂方法。然而，在 IC 内的周边逻辑装置及高效能装置可利用双接方法以降低其物理尺寸，而仍可符合电性效能需求。栅极掺杂物浓度与栅极介电质厚度的关系与上述相同。如同本发明实施例的 SRAM 电路 400，利用多阶栅极掺杂方法以制造 SRAM 装置，且更减少装置物理尺寸而不需舍弃效能。

这里需注意的是，本发明不需任何附加屏蔽来实施额外掺杂制程以形成不同栅极掺杂物浓度。换句话说，在不同晶体管中，于其各自的 Si 与栅极介电质层间的接口上，可产生多掺杂物浓度（multiple - dopant - concentration）栅极结构。就其本身而论，此制程有效地产生两或多种有效核心栅极掺杂物浓度，而不需附加的屏蔽。因为附加屏蔽大大地增加制程的费用，本发明可提供在制造上具有经济效益的解决方法。此外，由于使用相同屏蔽，只有用来改变电性特性而所增加的附加程序为额外制程，因此没有因为在正规制造程序流程中增加额外掺杂步骤而产生费用。再者，因为使用不同掺杂物浓度而获得的不同电性厚度，减少了通栅装置漏电流或电容漏电流。在较低操作电压下，可改善 β 比及静态噪声边限（static noise margin）。

以上所述仅为本发明较佳实施例，然其并非用以限定本发明的范围，任何熟悉本项技术的人员，在不脱离本发明的精神和范围内，可在此基础上做进一步的改进和变化，因此本发明的保护范围当以本申请的权利要求书所界定的范围为准。

附图中符号的简单说明如下：

- 100: MOSFET
- 102: 沟道长度
- 104: 沟道
- 106: 栅极介电质层

-
- 108: 空乏区
- 110: 多晶硅电极
- 202、206: NMOS 晶体管
- 204: 第一栅极
- 5 205: 第一栅极介电质层
- 208: 第二栅极
- 209: 第二栅极介电质层
- 302、306: PMOS 晶体管
- 304: 第一栅极
- 10 305: 第一栅极介电质层
- 308: 第二栅极
- 309: 第二栅极介电质层
- 400: SRAM 存储单元
- 402: 交叉耦合反相器
- 15 404、406: 通栅装置
- 408、412: 上拉 PMOS 晶体管
- 410、414: 下拉 NMOS 晶体管
- BL、BLB: 位元线
- WL: 字符线
- 20 416: DRAM 存储器电路
- 418: 通栅装置
- 420: 位元储存电容器

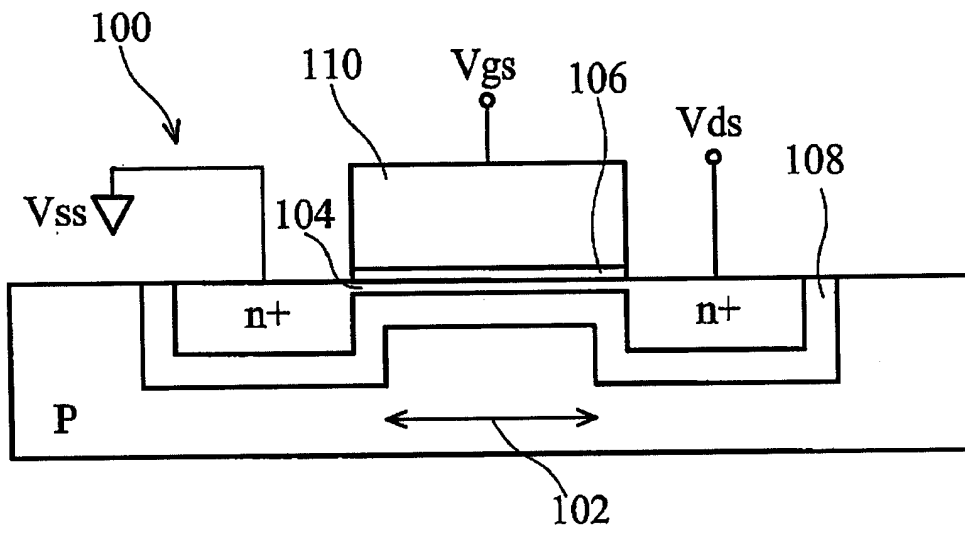


图 1

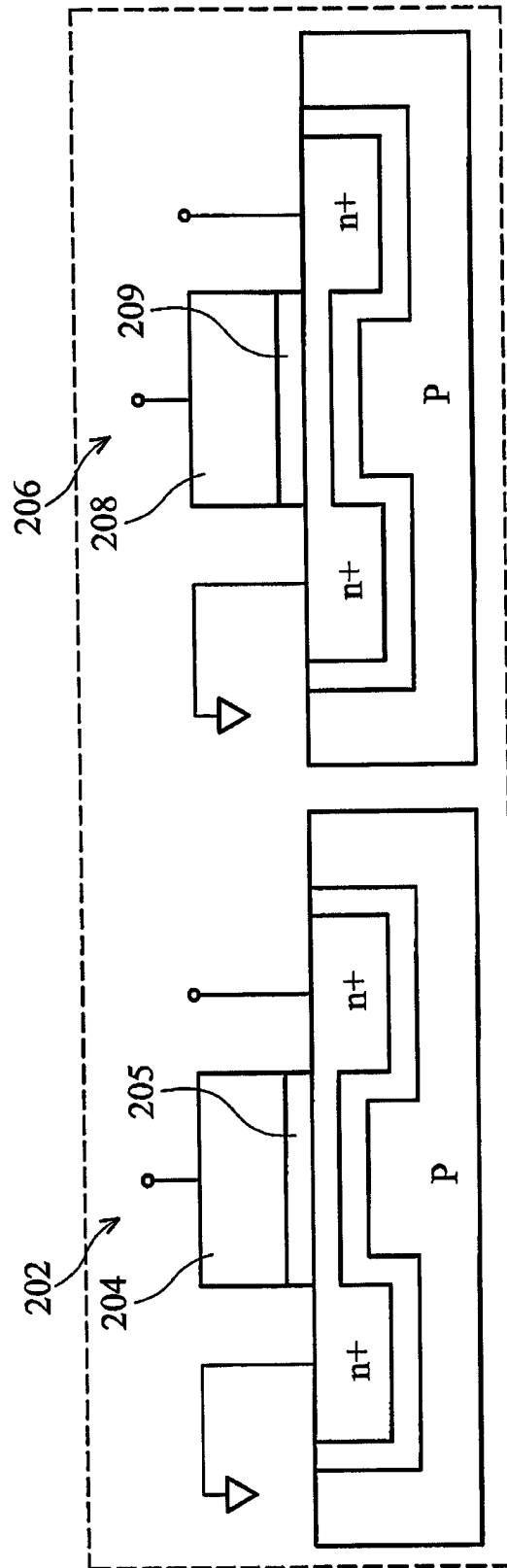


图 2

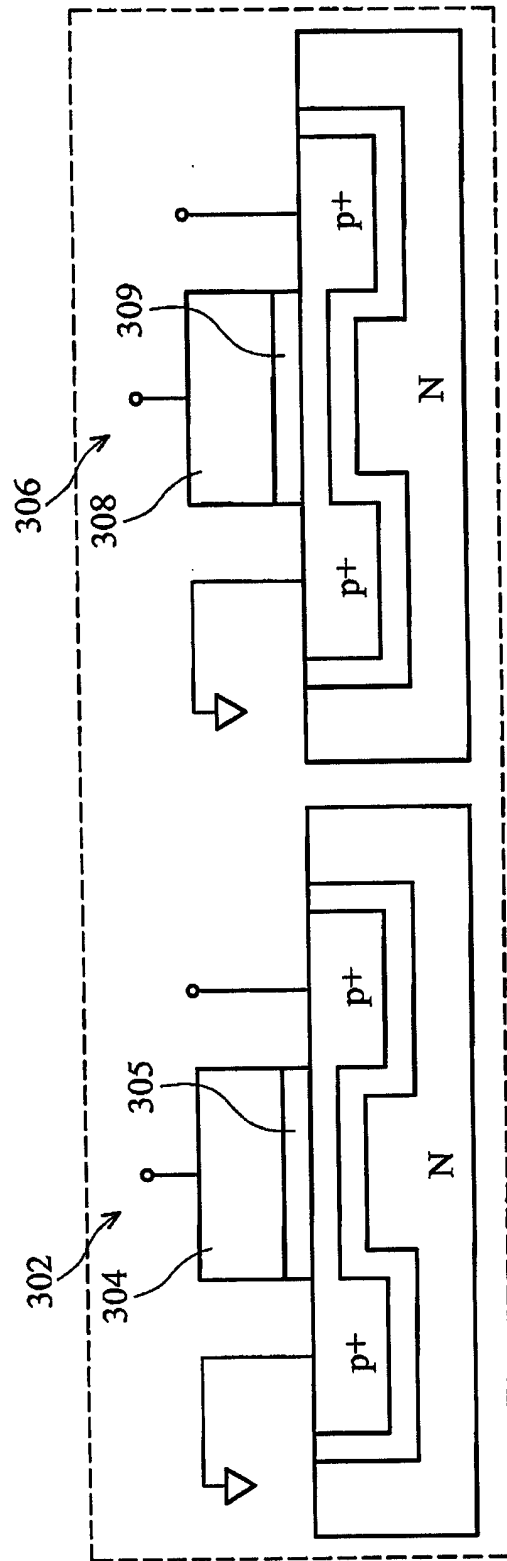


图 3

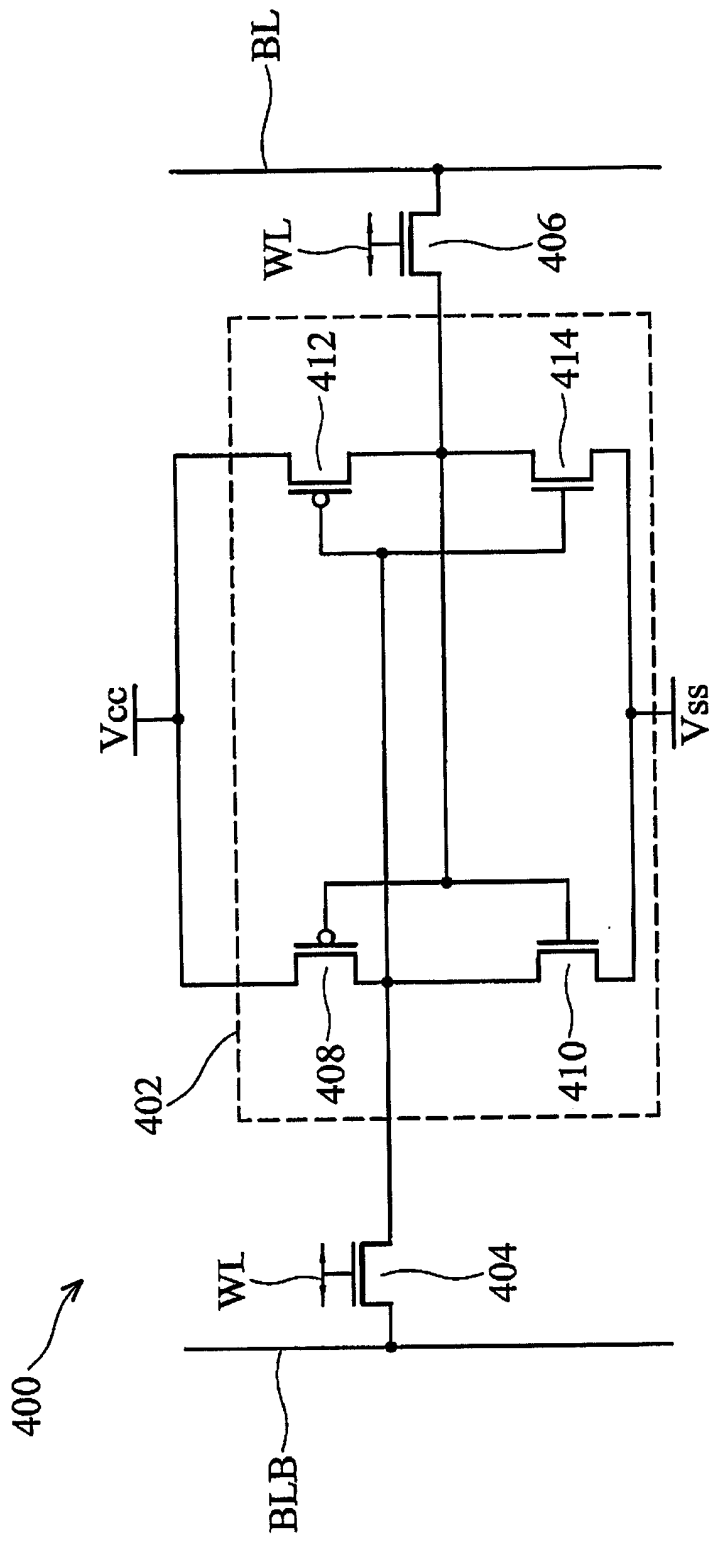


图 4

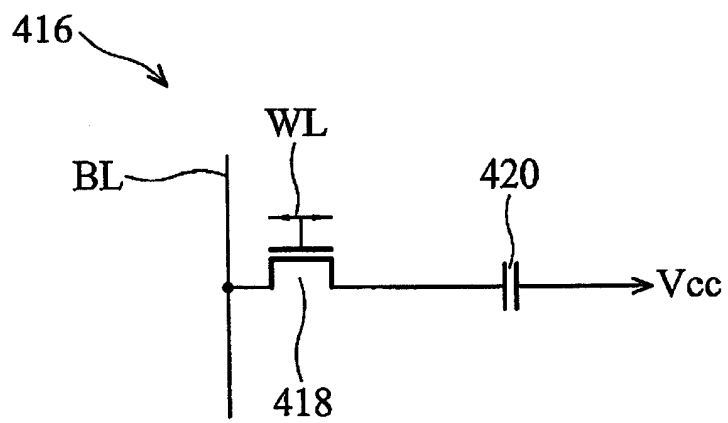


图 5