



(12) 发明专利

(10) 授权公告号 CN 102270660 B

(45) 授权公告日 2014. 03. 05

(21) 申请号 201010552507. X

(22) 申请日 2010. 11. 17

(30) 优先权数据

12/792, 025 2010. 06. 02 US

(73) 专利权人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

(72) 发明人 亚历山大·卡尼斯基 段孝勤

吴国铭 黄伟宗

(74) 专利代理机构 隆天国际知识产权代理有限

公司 72003

代理人 姜燕 陈晨

(51) Int. Cl.

H01L 29/78 (2006. 01)

H01L 21/336 (2006. 01)

(56) 对比文件

US 2010/0127324 A1, 2010. 05. 27, 说明书第 29-47 段及附图 1、5-9B.

CN 101677103 A, 2010. 03. 24, 说明书第 8 页第 2 段 - 第 9 页第 3 段及附图 1D-1I.

US 2005/0167742 A1, 2005. 08. 04, 说明书第 108-114 段及附图 1、2A.

审查员 张思秘

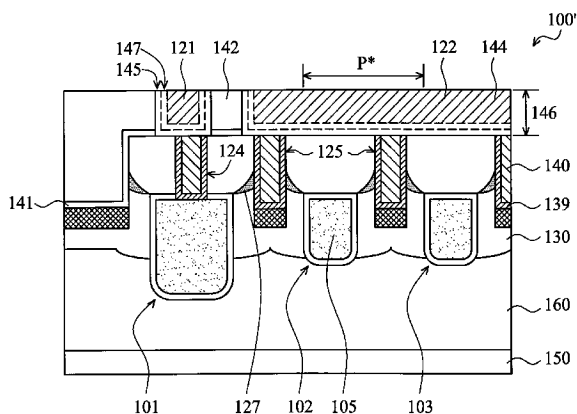
权利要求书1页 说明书7页 附图12页

(54) 发明名称

沟槽型金属氧化物半导体场效应晶体管形成方法

(57) 摘要

本发明提供了一种位于基板上的沟槽型金属氧化物半导体场效应晶体管结构及其形成方法, 其采用自对准接触物因而可降低沟槽型金属氧化物半导体场效应晶体管的间距尺寸。该晶体管结构包括: 第一沟槽与第二沟槽, 位于基板上, 第一沟槽与第二沟槽衬覆有栅极介电层并为栅极多晶硅所填满; 自对准源极接触物, 位于第一沟槽与第二沟槽之间, 自对准源极接触物连接于源极金属; 栅极接触物, 位于沟槽之上, 沟槽接触物连接于栅极金属与位于第一沟槽内的栅极多晶硅; 源极区, 环绕自对准源极接触物, 其中源极区具有凸出形态。上述自对准接触物借由蚀刻露出的硅区域而形成, 无须使用光刻光掩模与对准情形。因而可免除对准容忍度并可降低间距尺寸。



1. 一种位于基板上的沟槽型金属氧化物半导体场效应晶体管结构的形成方法,包括:
 - 蚀刻该基板以形成具有一硬掩模层的多个沟槽;
 - 于所述多个沟槽内衬覆一栅极氧化物层;
 - 于所述多个沟槽内填满经掺杂多晶硅;
 - 回蚀刻位于所述多个沟槽内的该经掺杂多晶硅至低于所述多个沟槽的顶面;
 - 于经过回蚀刻该经掺杂多晶硅后,沉积一介电层于该基板之上,其中该介电层于所述多个沟槽内的多个侧壁上具有一最小沉积;
 - 施行一湿氧化物蚀刻以移除位于所述多个沟槽的所述多个侧壁上的该介电层,以露出所述多个沟槽的所述多个侧壁上的硅;
 - 施行一各向同性硅蚀刻,以底切位于该硬掩模层下方的硅,其中形成了高于所述多个沟槽的多个空间以及该硬掩模层下方借由该各向同性硅蚀刻的硅底切而形成的多个区域形成了多个碗状区域;
 - 移除该硬掩模层;
 - 于该基板上施行源极掺质注入,以位于露出硅之上形成具有面对该基板的表面的一凸出表面的多个源极区,其中具有面对该基板的表面的该凸出表面的所述多个源极区具有接连于所述多个碗状区域的表面;
 - 于所述多个碗状区域内填满一介电层;
 - 施行一硅蚀刻,以形成多个自对准源极接触物开口;以及
 - 于所述多个自对准源极接触物开口内填入接触金属以形成多个自对准接触物。
2. 如权利要求 1 所述的位于基板上的沟槽型金属氧化物半导体场效应晶体管结构的形成方法,其中该源极区是经过相对垂直于该基板的一表面的一轴的非 0 度角的一注入。
3. 如权利要求 1 所述的位于基板上的沟槽型金属氧化物半导体场效应晶体管结构的形成方法,其中该衬覆所述多个沟槽一栅极氧化物层的操作还包括:
 - 于衬覆所述多个沟槽该栅极氧化物层之前沉积一牺牲氧化物层;以及于衬覆所述多个沟槽该栅极氧化物层之前移除该牺牲氧化物层。

沟槽型金属氧化物半导体场效应晶体管形成方法

技术领域

[0001] 本发明涉及沟槽型金属氧化物半导体场效应晶体管 (trench MOSFET) 结构及其形成方法, 尤其涉及具有自对准接触物 (self-aligned contacts) 的沟槽型金属氧化物半导体场效应晶体管。

背景技术

[0002] 半导体集成电路工业已经历了快速成长。随着集成电路材料及设计等技术的演进, 目前已制作出了数个世代的集成电路, 而每一世代均较前一代具有更小且更为复杂的电路。如此的演进增加了集成电路的制作与工艺的困难度与挑战。

[0003] 垂直型传导沟槽型金属氧化物半导体场效应晶体管 (vertically-conducting MOSFETs) 可用于电源电子学中 (power electronics)。当一沟槽型金属氧化物半导体场效应晶体管于开启状态 (on state) 时经偏压, 电流垂直地流经了源极区与基板。金属氧化物半导体场效应晶体管间的胞距 (cell pitch) 的降低对于降低元件尺寸以及增加于一半导体晶片上的有源装置数量极为有效。此外, 胞距也影响了元件表现, 如当元件于开启时介于源极与漏极之间的电阻值 (R_{dson})。元件间距的降低受限于工艺技术, 例如为光刻机台对于最小临界尺寸以及不同图案膜层间的对准的处理能力。将借由下文加以解说上述限制。

发明内容

[0004] 为了解决现有技术的问题, 本发明提供了位于基板上的沟槽型金属氧化物半导体场效应晶体管结构及其形成方法。

[0005] 于一实施例中, 本发明提供了一种位于基板上的沟槽型金属氧化物半导体场效应晶体管结构, 包括:

[0006] 一第一沟槽与一第二沟槽, 位于该基板上, 其中该第一沟槽与该第二沟槽衬覆有一栅极介电层并为一栅极多晶硅所填满; 一自对准源极接触物, 位于该第一沟槽与该第二沟槽之间, 其中该自对准源极接触物连接于一源极金属; 一栅极接触物, 位于该沟槽之上, 其中该沟槽接触物连接于一栅极金属与位于该第一沟槽内的该栅极多晶硅; 以及一源极区, 环绕该自对准源极接触物, 其中该源极区具有一凸出形态。

[0007] 于另一实施例中, 本发明提供了一种位于基板上的沟槽型金属氧化物半导体场效应晶体管结构, 包括:

[0008] 位于该基板上的一第一沟槽、一第二沟槽与一第三沟槽, 其中该第一沟槽、该第二沟槽与该第三沟槽衬覆有一栅极介电层并为一栅极多晶硅所填满; 一第一自对准源极接触物, 位于该第一沟槽与该第二沟槽之间, 以及一第二自对准源极接触物, 位于该第二沟槽与该第三沟槽之间, 其中该第一自对准源极接触物与该第二自对准源极接触物均连接于一源极金属; 一栅极接触物, 位于该第一沟槽之上, 其中该栅极接触物连接于一栅极金属以及位于该第一沟槽内的该栅极多晶硅; 以及一第一源极区环绕该第一自对准源极接触物以及一第二源极区环绕该第二自对准源极接触物, 其中该第一源极区与该第二源极区具有一凸出

形态。

[0009] 于又一实施例中,本发明提供了一种位于基板上的沟槽型金属氧化物半导体场效应晶体管结构的形成方法,包括:

[0010] 蚀刻该基板以形成具有一硬掩模层的多个沟槽;于所述多个沟槽内衬覆一栅极氧化物层;于所述多个沟槽内填满经掺杂多晶硅;回蚀刻位于所述多个沟槽内的该经掺杂多晶硅至低于所述多个沟槽的顶面;于经过回蚀刻该经掺杂多晶硅后,沉积一介电层于该基板之上,其中该介电层于所述多个沟槽内的所述多个侧壁上具有一最小沉积;施行一湿氧化物蚀刻以移除位于所述多个沟槽的所述多个侧壁上的该介电层,以露出所述多个沟槽的所述多个侧壁上的硅;施行一各向同性硅蚀刻,以底切位于该硬掩模层下方的硅,其中形成了高于所述多个沟槽的所述多个空间以及该硬掩模层下方借由该各向同性硅蚀刻的硅底切而形成的所述多个区域形成了数个碗状区域;移除该硬掩模层;于该基板上施行源极掺杂注入,以位于露出硅之上形成凸状形态的多个源极区,其中凸状形态的所述多个源极区具有接连于所述多个碗状区域的表面;于所述多个碗状区域内填满一介电层;施行一硅蚀刻,以形成多个自对准源极接触物开口;以及于所述多个自对准源极接触物开口内填入接触金属以形成多个自对准接触物。

[0011] 本发明可免除对准容忍度并可降低间距尺寸。

[0012] 为了让本发明的上述目的、特征及优点能更明显易懂,下文特举一优选实施例,并配合所附的附图,作详细说明如下:

附图说明

[0013] 图 1 显示了依据本发明的多个实施例的沟槽型金属氧化物半导体场效应晶体管的剖面情形;

[0014] 图 2A- 图 2J 显示了依据本发明的多个实施例的于制作具有自对准接触物的一沟槽型金属氧化物半导体场效应晶体管时的多个中间阶段与结构;

[0015] 图 3 显示了依据本发明的一实施例的采用沟槽型金属氧化物半导体场效应晶体管的一电源元件。

[0016] 其中,附图标记说明如下:

[0017] 100、100' ~ 沟槽型金属氧化物半导体场效应晶体管;

[0018] 101、102、103 ~ 沟槽;

[0019] 104 ~ 栅极氧化物;

[0020] 105 ~ 栅极多晶硅;

[0021] 108 ~ 薄氧化物层;

[0022] 109 ~ 硅区域;

[0023] 110 ~ 介电硬掩模层;

[0024] 114 ~ 表面;

[0025] 115 ~ 源极区;

[0026] 117 ~ 侧壁;

[0027] 121 ~ 栅极金属;

[0028] 122 ~ 源极金属;

- [0029] 123 ~粘着层 / 阻碍层 ;
- [0030] 124、125 ~接触物 ;
- [0031] 126 ~牺牲氧化物层 ;
- [0032] 127 ~源极区 ;
- [0033] 130 ~ P 型掺杂区 ;
- [0034] 131 ~介电层 ;
- [0035] 132 ~硅表面 ;
- [0036] 133、134 ~硅区域 ;
- [0037] 135、136 ~接触开口 ;
- [0038] 139 ~粘着层 ;
- [0039] 140 ~接触金属层 ;
- [0040] 141 ~介电蚀刻停止层 ;
- [0041] 142 ~层间介电氧化物层 ;
- [0042] 144 ~金属层 ;
- [0043] 145 ~铜扩散阻碍层 ;
- [0044] 146 ~最终厚度 ;
- [0045] 147 ~铜晶种层 ;
- [0046] 150 ~漏极区 /N+ 基板 ;
- [0047] 101 ~末端沟槽 ;
- [0048] 160 ~ N 型外延层 ;
- [0049] 165 ~一 P 型掺杂区 ;
- [0050] 300 ~电源元件 ;
- [0051] P、P* ~胞距 ;
- [0052] D ~距离 ;
- [0053] W ~硅宽度 ;
- [0054] α ~角度 ;
- [0055] m、n ~沟槽。

具体实施方式

[0056] 图 1 显示了依据部分实施例的一沟槽型金属氧化物半导体场效应晶体管 (trench MOSFET) 100 的剖面图。于部分实施例中,沟槽型金属氧化物半导体场效应晶体管 100 为电源元件 (power device) 的一部,而上述电源元件于介于 1.8-600 伏特的电压区间操作。沟槽型金属氧化物半导体场效应晶体管 100 具有沟槽 101、102、103,上述沟槽具有栅极氧化物 (gate oxide) 104 成长于沟槽的侧壁上且上述沟槽为栅极多晶硅 (gate polysilicon) 105 所填满。沟槽型金属氧化物半导体场效应晶体管可为 N 型沟槽型金属氧化物半导体场效应晶体管或 P 型沟槽型金属氧化物半导体场效应晶体管。基于简化的目的,下文中实施例中的沟槽型金属氧化物半导体场效应晶体管以 N 型沟槽型金属氧化物半导体场效应晶体管为例。然而,相似结构与其制法也适用于 P 型沟槽型金属氧化物半导体场效应晶体管。此外,用于设置沟槽型金属氧化物半导体场效应晶体管 100 的基板也可为

其他的装置结构。

[0057] 沟槽型金属氧化物半导体场效应晶体管 100 形成于一基板区 150 之上,于该处掺杂有 N 型杂质(或为一 N⁺ 基板)。此 N⁺(或为经高度 N 型杂质掺杂)掺杂基板也作为沟槽型金属氧化物半导体场效应晶体管 100 的漏极。于基板区 150 之上则形成有一 N 型外延层 160。沟槽 101、102 与 103 的部分则为一 P 型掺杂区 165 所环绕。位于沟槽 101 内的栅极多晶硅 105 通过接触物 124(栅极接触物)而连接于一栅极金属(gate metal)121。源极区 115 则通过了接触物 125(源极接触物)而连接于源极金属(source metal)122。接触物 124、125、栅极金属 121 以及源极金属 122 衬覆有一粘着层/阻挡层 123。沟槽型金属氧化物半导体场效应晶体管 100 可包括为栅极多晶硅 105 所填满的更多沟槽,其可相似于沟槽 102 与 103。于如图 1 所示的实施例中,仅显示了两个沟槽 102 与 103。于部分实施例中,于源极金属 122 下方可形成有两个以上的沟槽。于其他实施例中,则仅于源极金属 122 下设置单一沟槽 102(沟槽 103 不存在)。沟槽型金属氧化物半导体场效应晶体管 110 包括了位于沟槽 101、102 与 103 间的数个源极区 115。当沟槽型金属氧化物半导体场效应晶体管 100 于开启状态下经偏压时,电流将垂直地流动于源极区 115 与漏极区 150 之间。

[0058] 如图 1 所示,沟槽型金属氧化物半导体场效应晶体管 100 的胞距(cellpitch)为“P”,其为介于两邻近沟槽 102 与 103 之间的一间距。为了降低胞距“P”以增加元件密度,需降低如沟槽 102 与 103 的沟槽的宽度、接触物 125 的宽度及沟槽 102 与 103 与接触物 125 的对准控制。当降低沟槽与接触物的宽度时,对于工艺与整合方面则形成问题。然而,当接触物 125 为自对准时,则可完全不考虑于接触物 125 与沟槽 102 与 103 之间的自对准控制容忍度。其结果为,自对准接触物的形成可更为降低沟槽型金属氧化物半导体场效应晶体管 110 的胞距。

[0059] 图 2A-图 2J 显示了依据本发明的多个实施例的用于制造具有自对准接触物的一沟槽型金属氧化物半导体场效应晶体管的结构以及位于工艺流程中的不同中间阶段。图 2A 显示了具有一 N 型外延层 160(掺杂有 N 型杂质的外延层)以及一介电硬掩模层 110 的一 N⁺ 基板 150(掺杂有 N 型杂质的基板)。介电硬掩模层 110 经过形成与图案化后可用于沟槽 101、102 与 103 的制作。介电硬掩模层 110 可由氧化物、氮化物、氮氧化物或其结合情形所形成。于部分实施例中,介电硬掩模层 110 由等离子体加强型化学气相沉积氧化物(PECVD oxide)所形成,其具有介于约 200-20000 埃的厚度。于介电硬掩模层 110 的沉积后,于基板上施行深沟槽蚀刻(为一硅蚀刻)以形成沟槽 101、102 与 103。于部分实施例中,用于沟槽 101 的沟槽开口较用于沟槽 102 与 103 的沟槽开口来的大,且沟槽 101 较沟槽 102 与 103 来的深。

[0060] 于部分实施例中,沟槽 101、102 与 103 的宽度约介于 0.1-10 微米。于部分实施例中,沟槽 101、102 与 103 的深度约介于 0.2-40 微米。沟槽的深宽比(aspect ratio, AR)定义为沟槽的深度比上沟槽的宽度。于部分实施例中,沟槽 101、102 与 103 的深宽比约介于 1-30。于部分实施例中,沟槽 101、102 与 103 的深宽比约介于 5-15。

[0061] 如图 2B 所示,于部分实施例中,于深沟槽蚀刻之后成长栅极氧化物 104。于部分实施例中,栅极氧化物 104 的厚度约介于 40-2000 埃。于部分实施例中,栅极氧化物 104 的成长是于高于 900℃ 的一温度下以及具有氧气、水蒸气或其组合的一环境施行。于部分实施例中,可先成长一牺牲氧化物层(未显示)以衬覆沟槽,并稍后于栅极氧化物 104 成长之前将

其移除。上述牺牲氧化物层的成长与移除用于调整沟槽的硅表面。

[0062] 于成长栅极氧化物 104 后,沉积栅极多晶硅 105 以填满沟槽 101、102 与 103。于部分实施例中,栅极多晶硅经过掺杂以增加其导电率。于部分实施例中,所使用的掺质例如为磷。也可使用其他类型的掺质。于部分实施例中,早于栅极多晶硅沉积之前,可沉积如介于数千埃至数微米的氧化物的一厚绝缘层于沟槽的底部之上。此厚绝缘层可降低栅极的电容量。

[0063] 于栅极多晶硅 105 沉积之后,位于沟槽外的过量多晶硅(包括沉积于介电层 110 上的多晶硅)可经过如蚀刻方式(即回蚀刻)的方法移除。于蚀刻过后,位于沟槽内的栅极多晶硅 105 低于外延层 160 的表面一距离“D”。于部分实施例中,此距离“D”约介于 0.1-2.0 微米。于部分实施例中,早于降低栅极多晶硅 105 至低于介电层 110 的表面一深度“D”的蚀刻工艺(或回蚀刻)施行前,首先借由化学机械研磨方式移除高于介电硬掩模层 110(于栅极多晶硅沉积之后)的栅极多晶硅 105。如图 2B 所示,早于回蚀刻的此化学机械研磨工艺使得位于沟槽 101、102 与 103 内的栅极多晶硅 105 的表面 114 变的滑顺。

[0064] 图 2C 显示了于某些实施例中覆盖于栅极多晶硅 105 的表面 114 与介电层 110 的一薄氧化物层 108,但其并不覆盖侧壁 117。此薄氧化物层 108 可首先沉积一厚氧化物层(未显示)于如图 2B 所示的基板上以覆盖基板表面。此厚氧化物层的用途在于覆盖栅极多晶硅 105 的硅表面 114 并于沟槽的侧壁上形成最少沉积情形。于部分实施例中,此厚氧化物层的厚度约介于 200-10000 埃。于某些实施例中,可使用高密度等离子体化学气相沉积(HDP CVD)工艺以使得于侧壁之上形成最少的氧化物沉积。于厚氧化物层沉积之后,可施行如适用缓冲氧化物蚀刻剂(BOE)的湿氧化物将其蚀刻以移除位于沟槽 101、102 与 103 侧壁上的氧化物。于蚀刻工艺中,也可薄化(或蚀刻)高于栅极多晶硅 105 的氧化物层。于氧化物蚀刻后,露出了硅的侧壁 117 而一薄氧化物层 108 则覆盖了栅极多晶硅 105。于部分实施例中,于蚀刻之后覆盖栅极多晶硅 105 的薄氧化物层 108 的厚度大于 100 埃以保护多晶硅栅极 105 免于后续基板工艺的毁损。

[0065] 如图 2D 所示,于部分实施例中,于前述的侧壁氧化物移除之后,施行一各向同性硅蚀刻以形成位于介电硬掩模层 110 下方的硅底切(silicon undercut)情形。此各向同性硅蚀刻经过时间控制以于沟槽 101 与 102 之间以及于沟槽 102 与 103 之间形成期望的硅宽度“W”。具有宽度“W”的硅区域 109 于后续操作中定义了用于形成自对准接触物的区域。

[0066] 接着,如图 2E 所示,于部分实施例中,移除了介电硬掩模层 110 与保护氧化物层 108 并沉积一牺牲氧化物层 126。介电硬掩模层 110 与保护氧化物层 108 可借由不同工艺而移除,例如 BOE 湿蚀刻。于移除氧化物之后,可于具有硅或多晶硅的基板表面之上成长一牺牲氧化物层 126。于部分实施例中,牺牲氧化物层 126 的厚度约介于 100-1000 埃。于部分实施例中,牺牲氧化物层 126 的成长是于高于 900°C 的温度下以及于具有氧气、水蒸气或其结合情形的一环境下施行。于牺牲氧化物层 126 成长之后,利用 P 型掺质以施行一坦覆的基板注入。于部分实施例中,上述 P 型掺质为硼且使用的掺杂能量约介于 5-2000KeV。于部分实施例中,上述掺杂剂量约介于 $1E11-5E14$ 原子/每平方公分。经注入的掺质接着借由一热回火工艺(或一热驱入工艺)被驱入至基板内深处。于部分实施例中,上述热回火的温度约高于 900°C。热回火可为一炉管回火或一快速热回火。图 2E 显示了于依据本发明的部分实施例中,经过施行注入与回火后的 P 型掺杂区 130 的轮廓。

[0067] 如图 2F 所示,于部分实施例中,于 P 型注入之后,接着针对基板施行一 N+ 源极注入。于部分实施例中,注入掺质为砷或磷,而注入剂量约为 5-200KeV。于部分实施例中,注入剂量约为 $5E14-1E17$ 原子 / 每平方公分。N+ 掺质注入可于使得掺质主要地位于接近基板表面处的一角度下施行。于部分实施例中,上述注入可于约 $30^{\circ}-60^{\circ}$ 的一角度下进行。于部分实施例中,上述注入可于介于约 $40^{\circ}-50^{\circ}$ 的一角度“ α ”下施行。于布置时,基板经过旋转以确保掺质可均匀地分布于位于牺牲氧化物层 126 下方的顶面。图 2F 显示了经过注入而形成于区域 127 内 N+ 源极掺质,其为凸出形状(具有面对基板表面的凸出表面)。于部分实施例中,源极区 127 高于栅极多晶硅 105 的表面之上。

[0068] 如图 2G 所示,于部分实施例中,于源极注入之后,沉积一介电层 131 并平坦化的至硅表面 132。经平坦化的介电层 131 填满了位于沟槽 101、102 与 103 顶部的开口。如图 2H 所示,于部分实施例中,接着可施行坦覆的硅干蚀刻以形成自对准接触开口 135 与 136。图 2G 内介于沟槽 101 与 102 间的硅区域 133 以及介于沟槽 102 与 103 间的硅区域 134 经过蚀刻而分别形成有接触开口 135 与 136,如图 2H 所示。这些接触开口 135 与 136 是自我对准的。如图 2H 所示,接着施行一 P+ 接触注入。注入 P+ 掺质(或高浓度的 P 掺质)于露出的硅区域内。于部分实施例中,开口 135 与 136 的宽度约介于 0.1-20 微米。上述 P+ 接触注入使得源极接触物成为欧姆接触物(ohmiccontacts)。

[0069] 依据某些实施例,于形成接触开口之后,形成于基板之上光致抗蚀剂层(未显示)且将其图案化以形成一栅极接触开口(未显示)。可接着移除上述光致抗蚀剂层。于栅极接触开口形成之后,接触开口 135 与 136 以及栅极接触开口可为一粘着层 139 与一接触金属 140 所填入。于部分实施例中,粘着层 139 为 Ti/TiN(一双重膜层)所形成,而接触金属则由化学气相沉积的钨(CVDtungsten)所形成。如图 2I 所示,于部分实施例中,接着移除位于接触开口(或插拴)外的接触金属与粘着层。于部分实施例中,位于接触开口外的粘着层 139 与接触金属层 140 可经过一回蚀刻工艺或一化学机械研磨而移除。

[0070] 于部分实施例中,如图 2J 所示,于形成接触物 124 与 125 之后,可沉积介电蚀刻停止层 141。于部分实施例中,介电蚀刻停止层 141 由氮化物所形成且具有介于约 100-2000 埃的厚度。接着,沉积一层间介电氧化物层 142,并借由化学机械研磨而平坦化至高于接触物 124 与 125 的一最终厚度 146,也如图 2J 所示。于部分实施例中,层间介电氧化物层 142 可借由一化学气相沉积工艺所形成,且具有约介于 5000-25000 埃的一化学机械研磨前厚度。于部分实施例中,高于接触物 124 与 125 的最终厚度 146 约介于 2000-10000 埃。于层间介电氧化物层 142 的平坦化之后,接着使用一光致抗蚀剂层(未显示)以图案化层间介电氧化物层 142 并形成了用于金属沉积的数个金属开口。于此些金属开口形成之后,沉积一金属层 144 并将其平坦化,借以留下位于开口内的金属层 144。此金属层可借由具有低电阻率的导电金属所形成,例如铝、铜或一铜合金。金属层 144 可借由物理气相沉积、化学气相沉积、无电电镀或电化学电镀等方式沉积。位于沟槽 101(栅极沟槽)上的金属层 144 也标示为栅极金属 121,而位于沟槽 102 与 103(胞沟槽)上的金属层 144 则标示为源极金属 122。

[0071] 当使用铜或铜合金时,需使用一铜扩散阻障层 145 以阻挡铜扩散。适用于铜扩散阻障层 145 的材料包括了 Ti、TiN、Ta、TaN 或其组合,但并不以上述材料为限。当采用电化学电镀(ECP)沉积铜时,通常需要一铜晶种层 147。于部分实施例中,铜晶种层 146 是由物

理气相沉积而沉积形成。

[0072] 由于源极接触物 125 的形成无须光刻的图案化与对准,因而胞距“P*”可少于如图 1 所示的间距“P”。于部分实施例中,用于沟槽型金属氧化物半导体场效应晶体管 100' 的胞距约为 0.4-5 微米。

[0073] 图 3 显示了依据本发明的某些实施例的使用一沟槽型金属氧化物半导体场效应晶体管的电源元件 300 的俯视情形。前述的沟槽型金属氧化物半导体场效应晶体管 100' 也为电源元件 300 的一部。图 3 显示了栅极金属 121 与源极金属 122。图 3 也显示了胞沟槽 102 与 103。相邻于沟槽 102 与 103 为多个胞沟槽,如沟槽“m”与“n”等。环绕栅极金属的是为用于隔离电源元件与周遭区域的一末端沟槽 101。图 3 还显示了栅极沟槽 101 与栅极接触物 124。源极接触物 125 隐藏于源极金属 122 下方而并未显示。图 3 中也显示了胞距“P*”。由于存在有数个胞沟槽,如沟槽 102、103、m、n 等,因此需维持胞距“P*”需为小。采用自对准接触物作为源极接触物可使得上述间距维持较小,因而可消除了对准裕度的需求。

[0074] 如前述的用于形成沟槽型金属氧化物半导体场效应晶体管的结构与制造方法采用了自对准接触物,因而可降低沟槽型金属氧化物半导体场效应晶体管的间距尺寸。上述自对准接触物是借由蚀刻露出的硅区域而形成,并无须使用光刻光掩模与对准情形。因而可免除了对准容忍度的需求且可降低间距尺寸。

[0075] 虽然本发明已以优选实施例揭示如上,然其并非用以限定本发明,任何本领域技术人员,在不脱离本发明的精神和范围内,当可作更动与润饰,因此本发明的保护范围当视所附的权利要求所界定的范围为准。

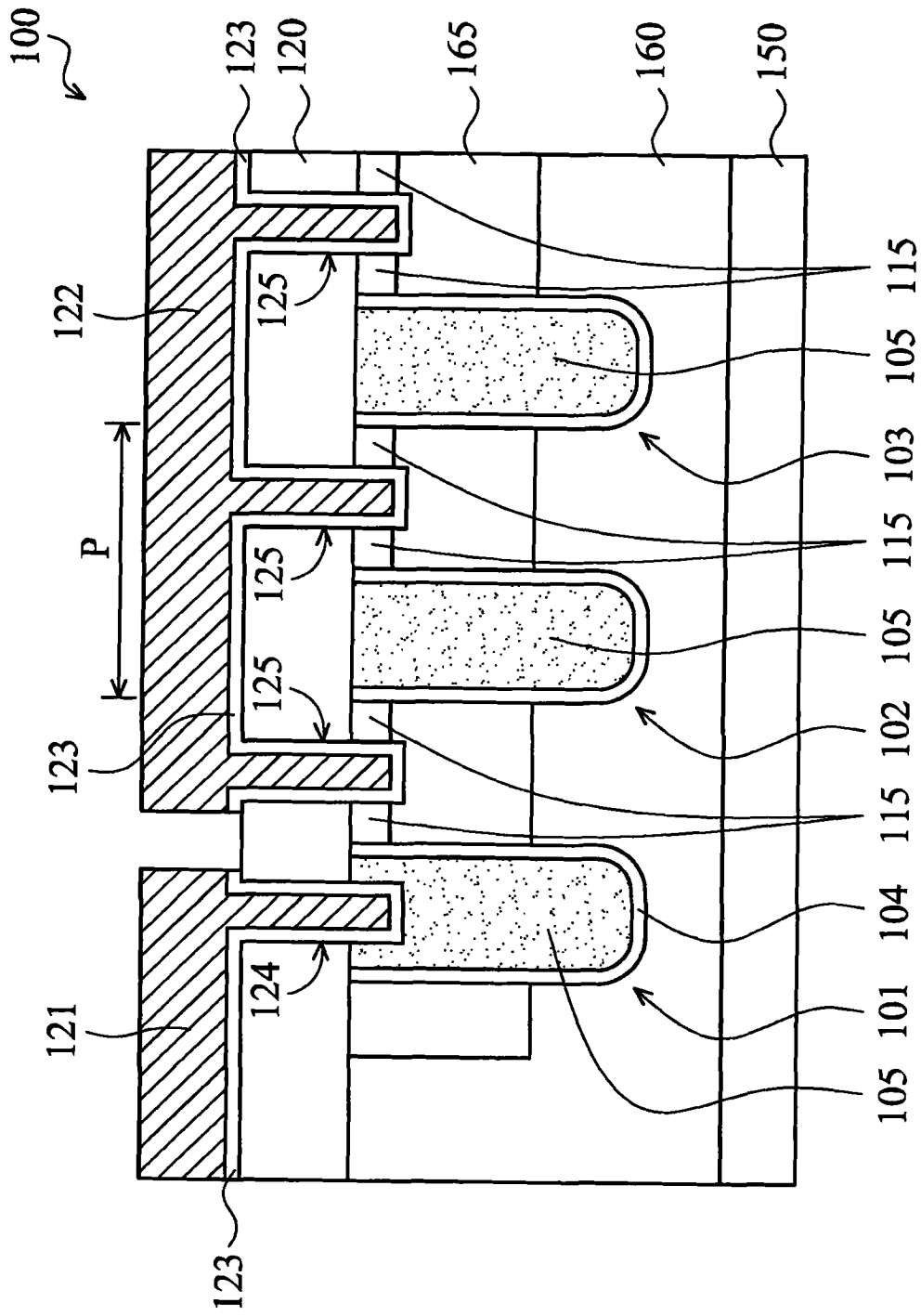


图 1

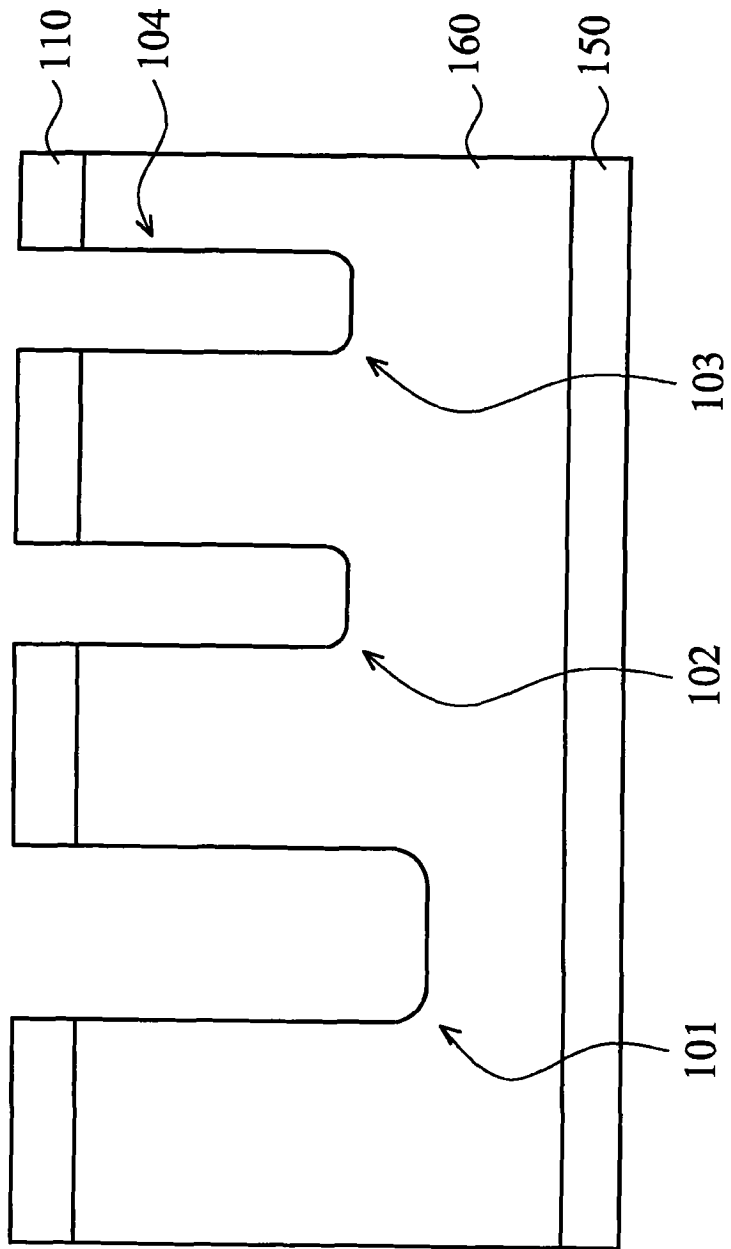


图 2A

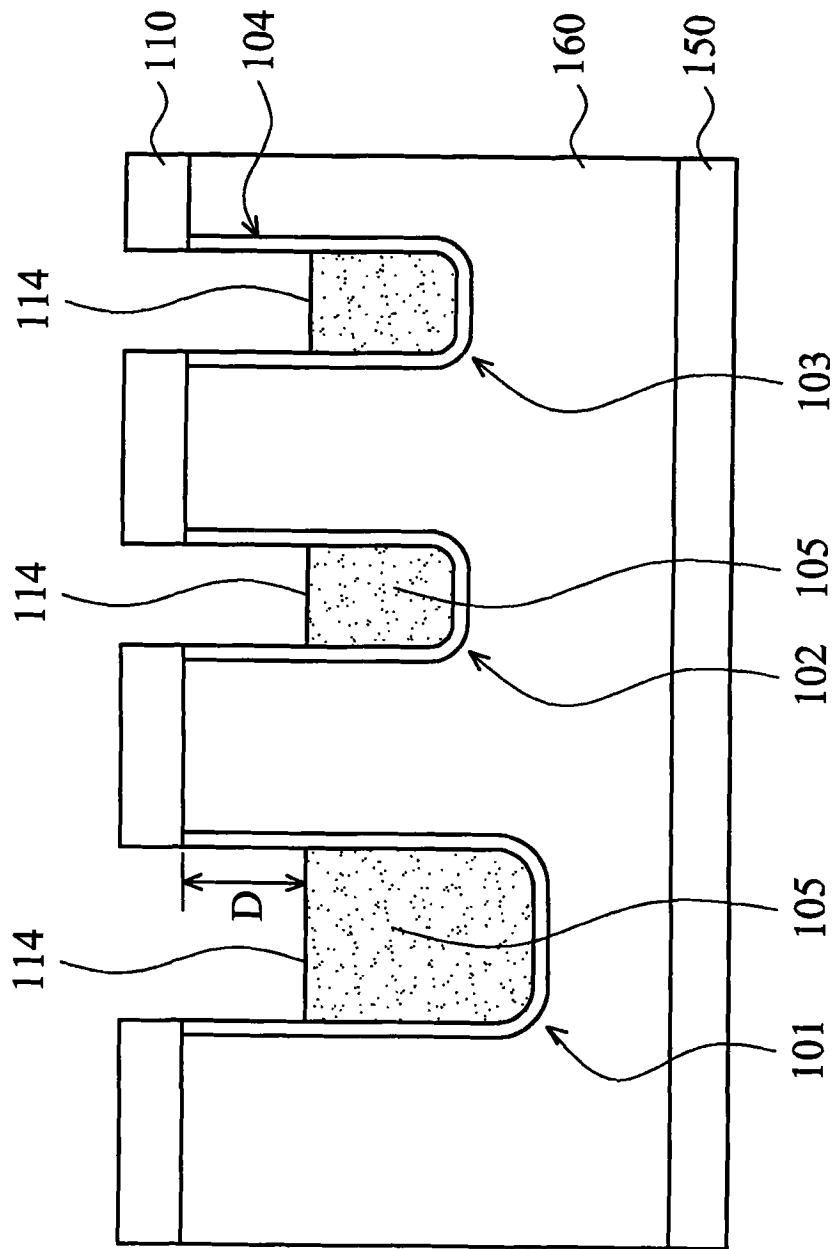


图 2B

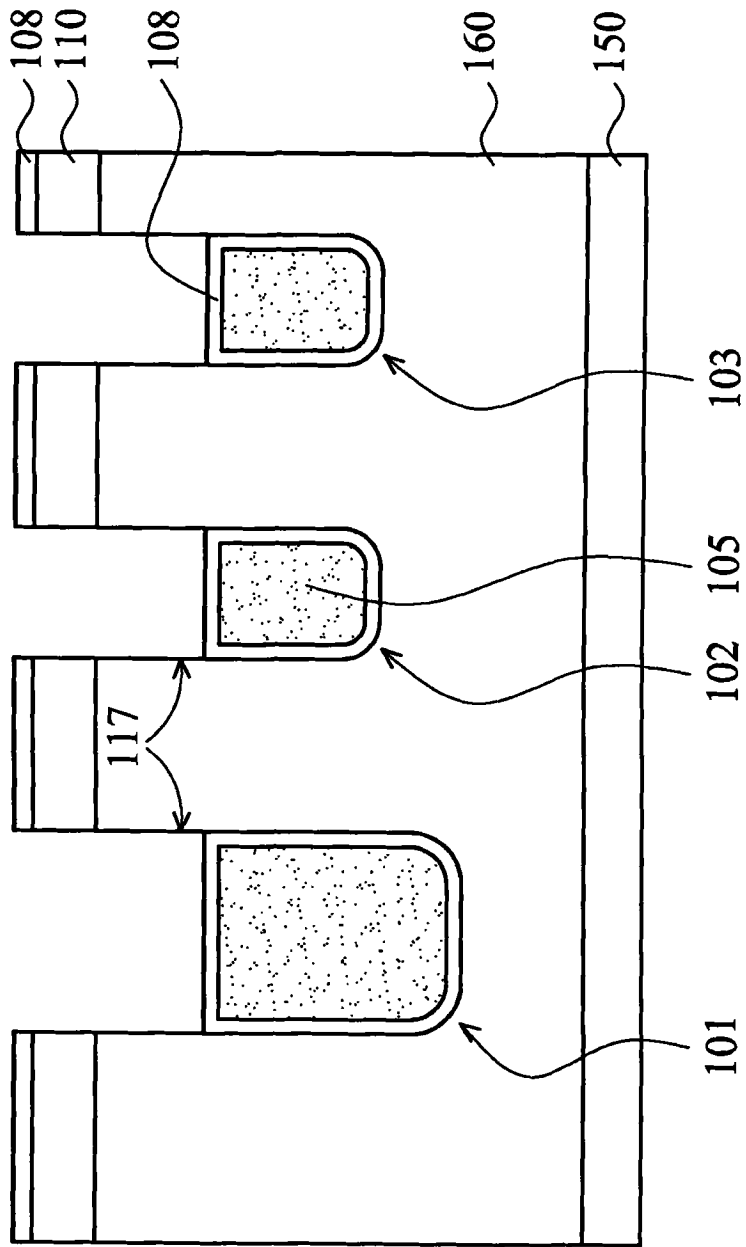


图 2C

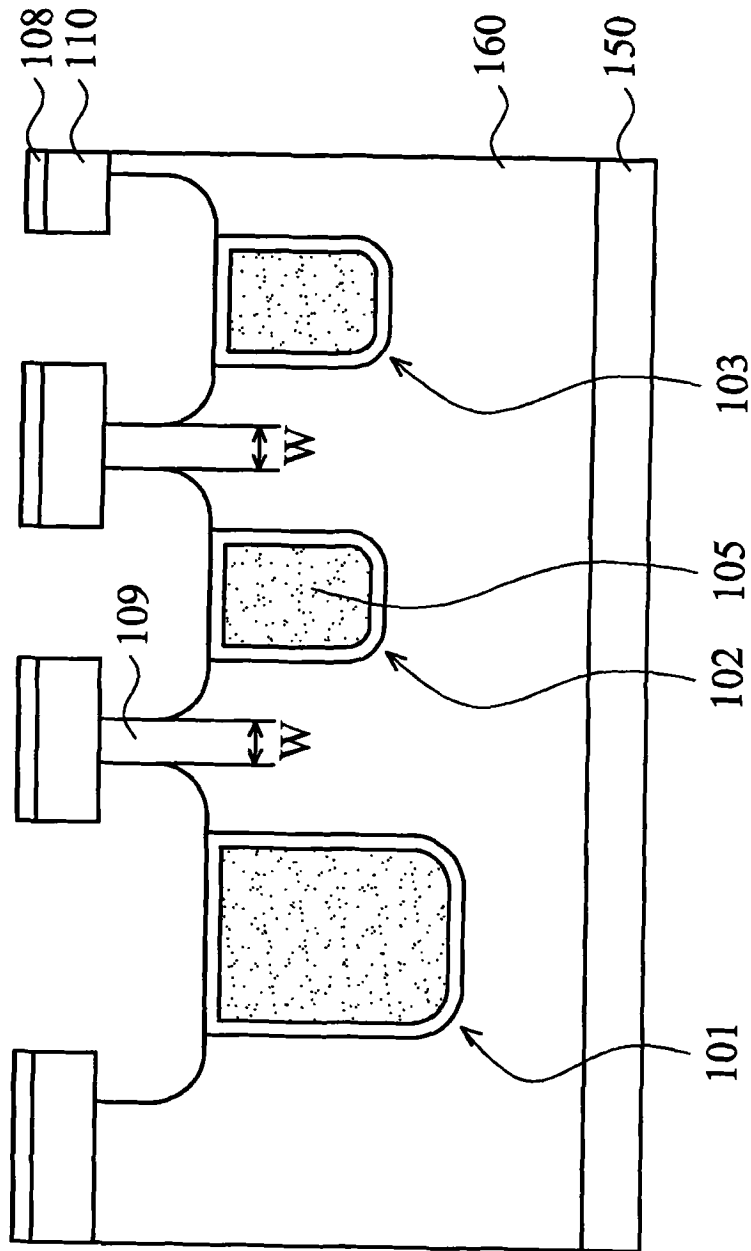


图 2D

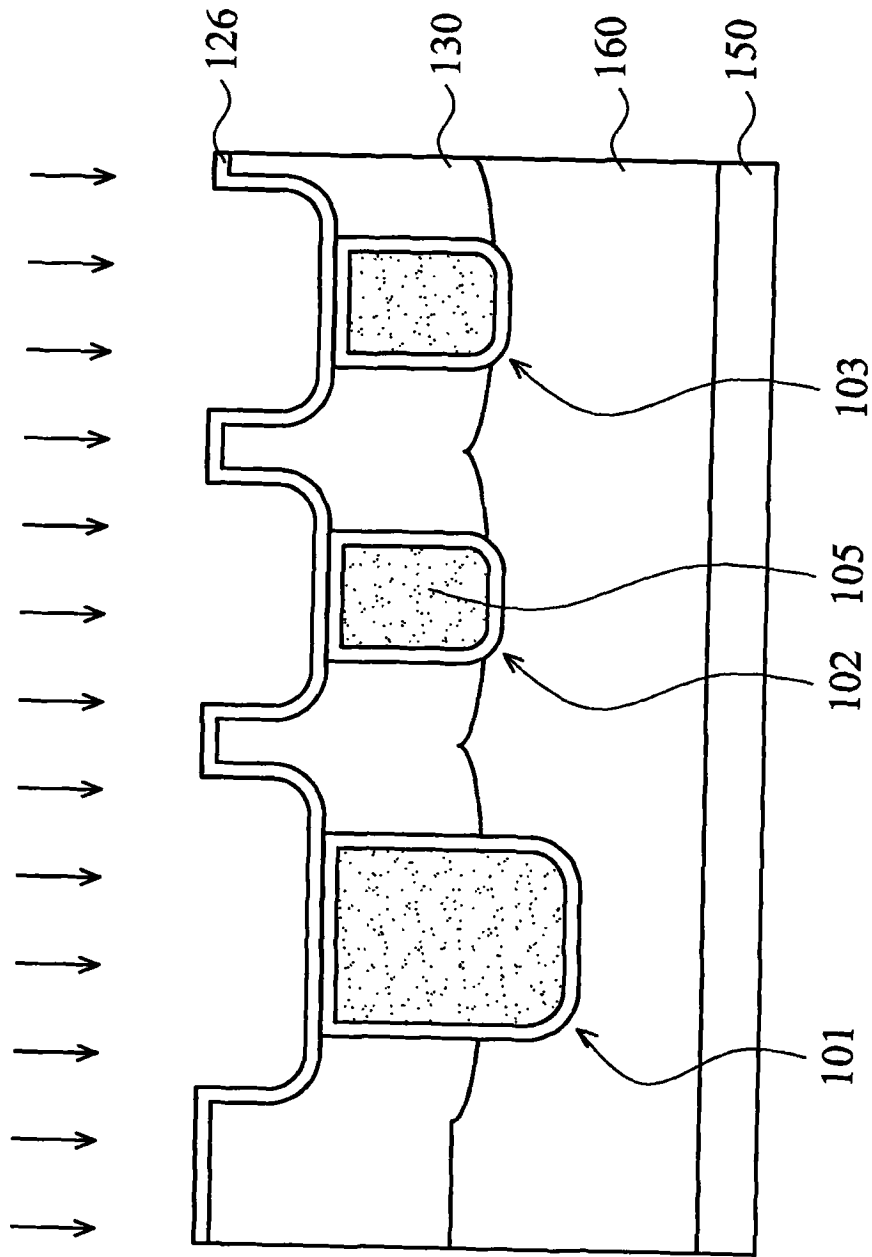


图 2E

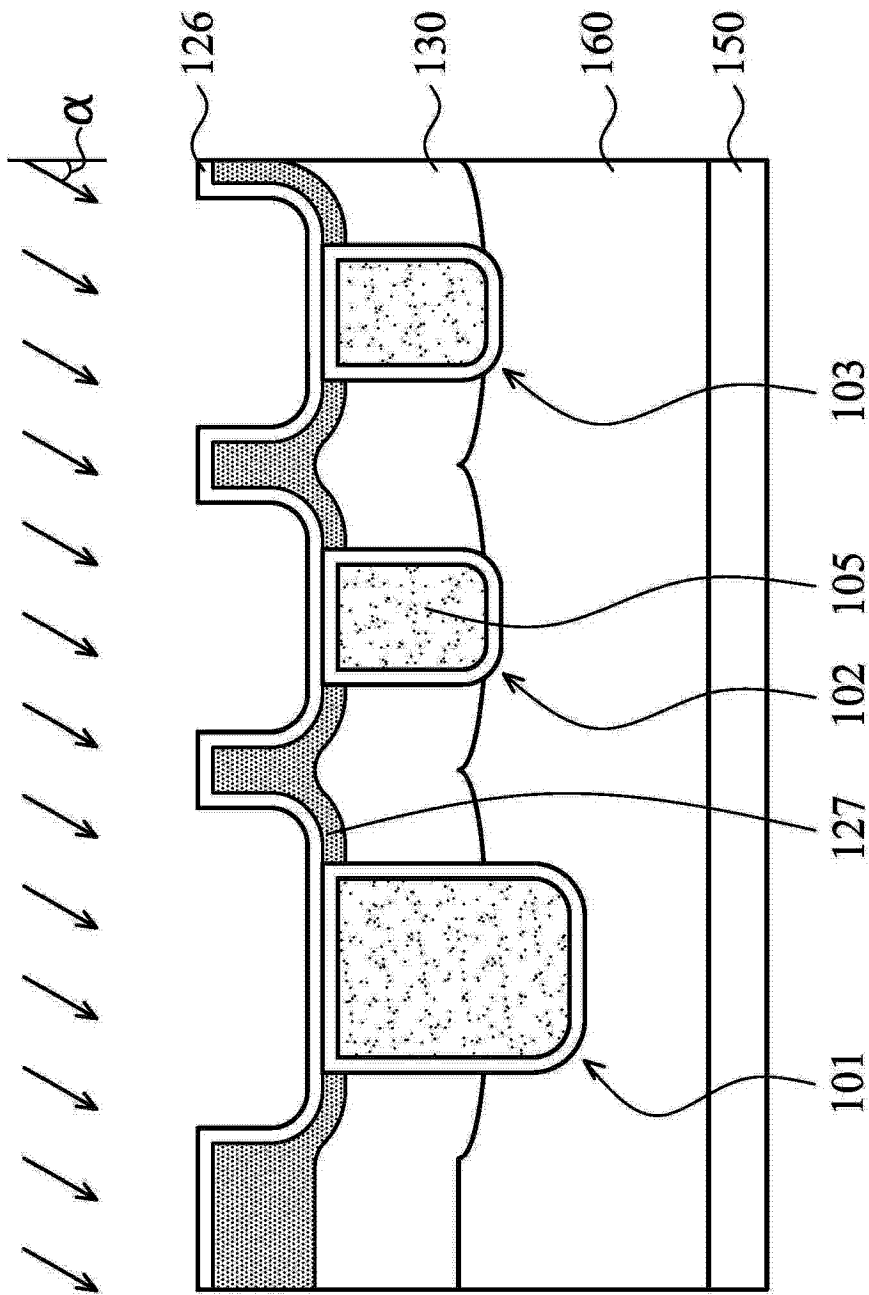


图 2F

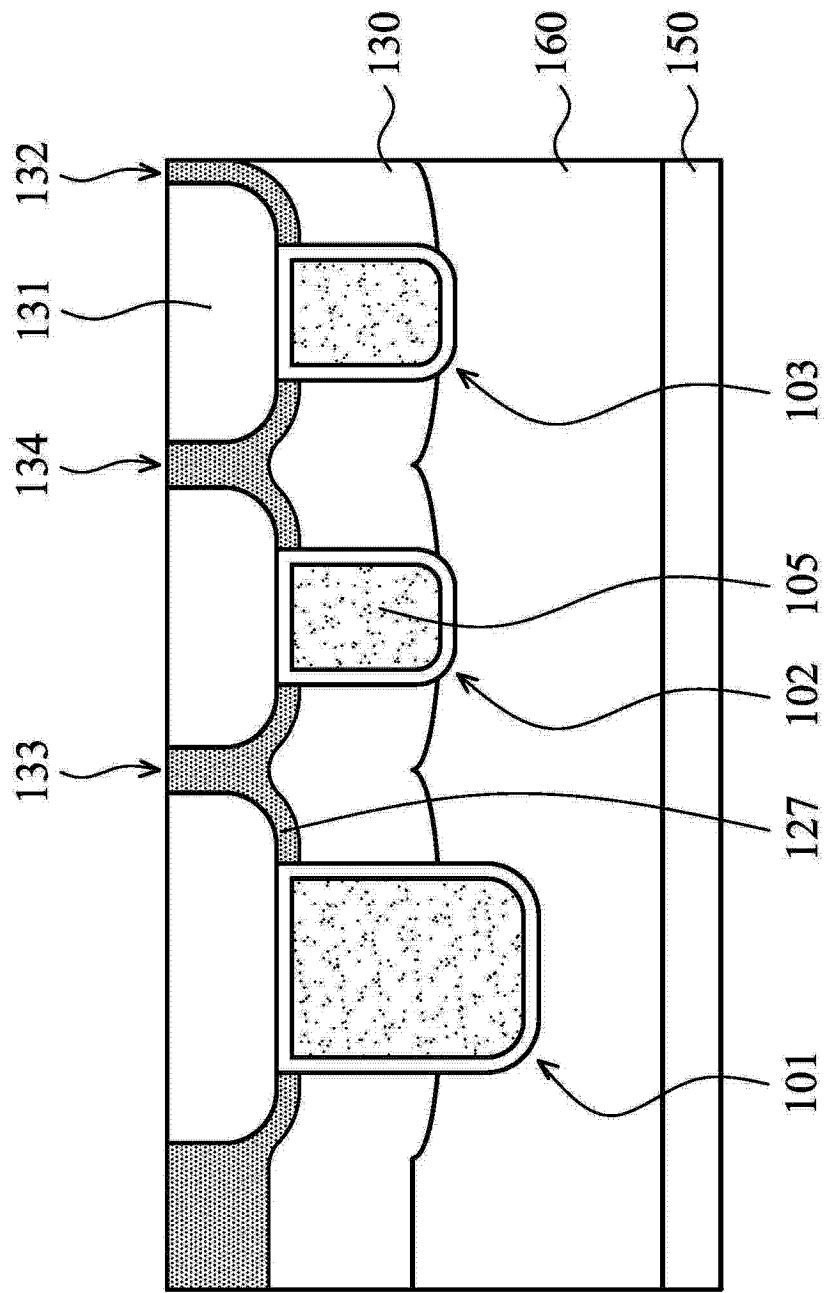


图 2G

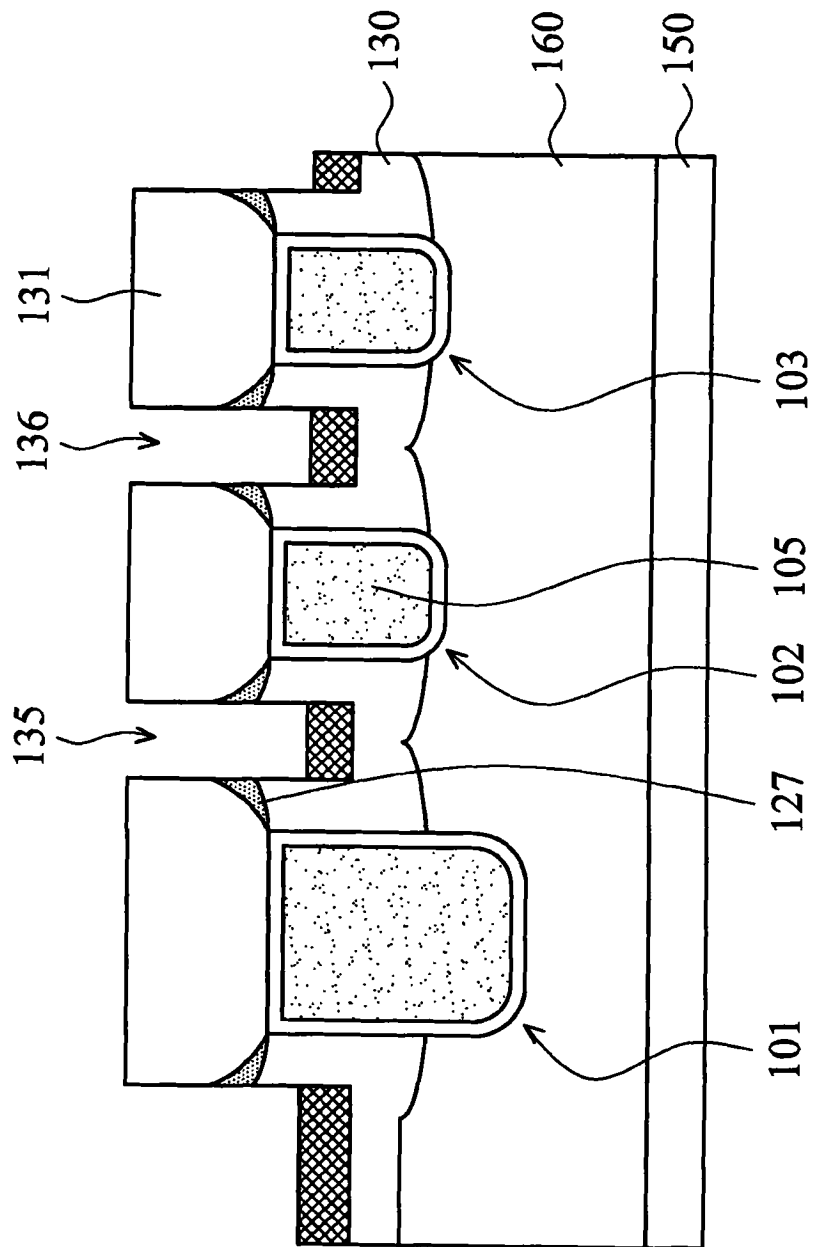


图 2H

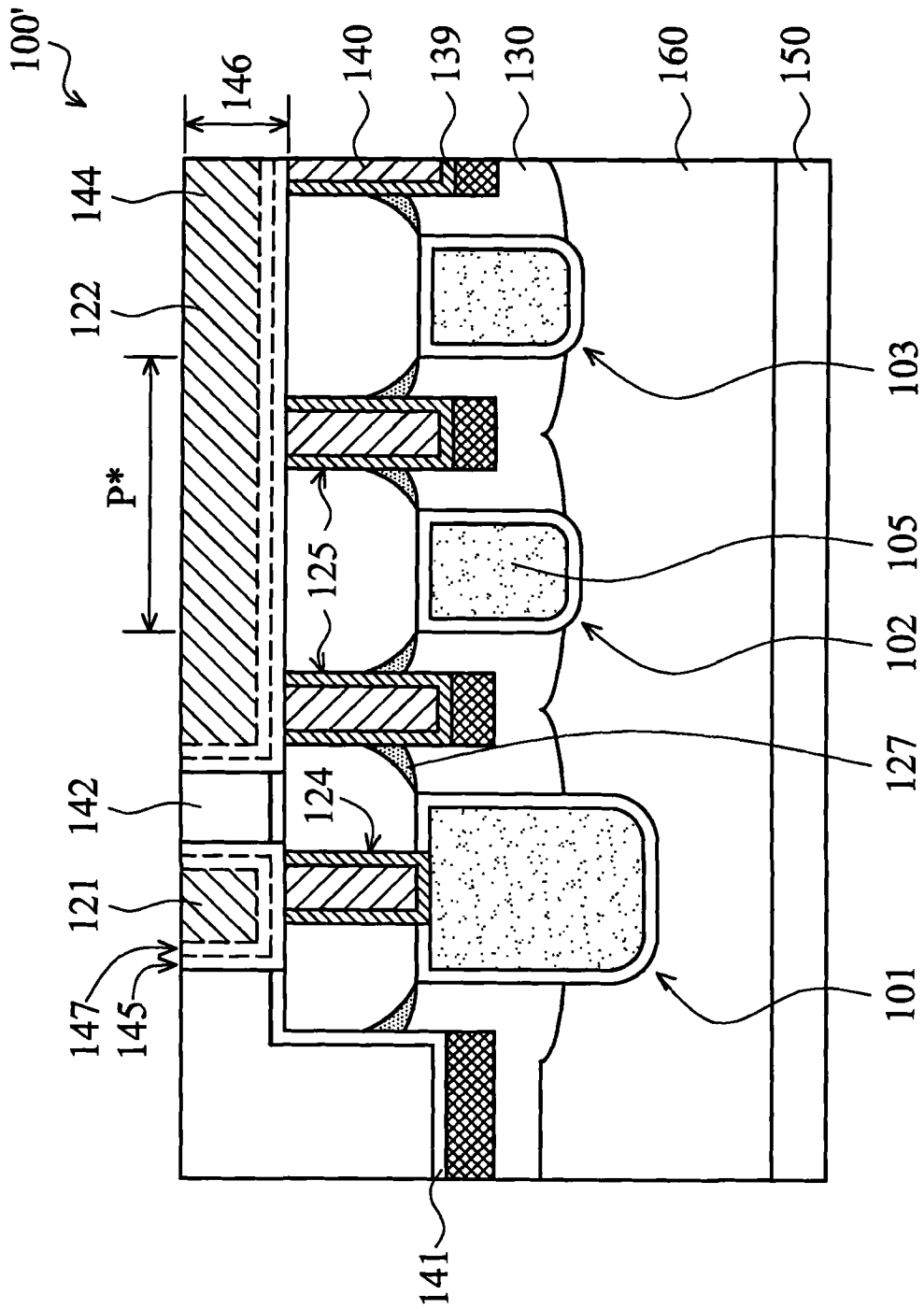


图 2J

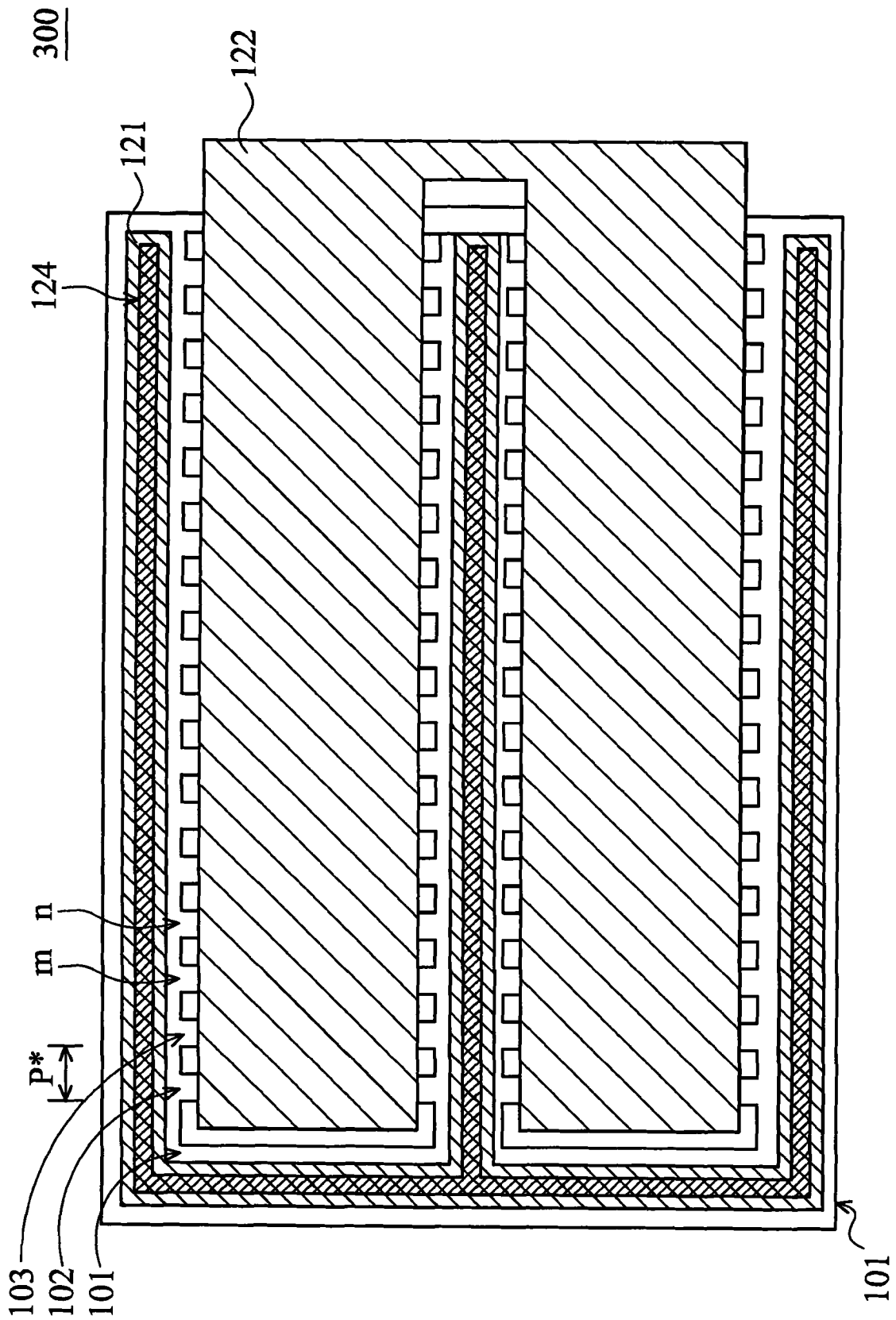


图 3