



(10) **DE 10 2017 125 803 B4** 2021.04.29

(12) **Patentschrift**

(21) Aktenzeichen: **10 2017 125 803.5**  
(22) Anmeldetag: **06.11.2017**  
(43) Offenlegungstag: **09.05.2019**  
(45) Veröffentlichungstag  
der Patenterteilung: **29.04.2021**

(51) Int Cl.: **H01L 29/778** (2006.01)  
**H01L 29/78** (2006.01)  
**H01L 29/20** (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:  
**Institut für Mikroelektronik Stuttgart, 70569  
Stuttgart, DE**

(74) Vertreter:  
**WITTE, WELLER & PARTNER Patentanwälte mbB,  
70173 Stuttgart, DE**

(72) Erfinder:  
**Burghartz, Joachim N., 70771 Leinfelden-  
Echterdingen, DE; Alomari, Mohammed, 70569  
Stuttgart, DE; Alshahed, Muhammad, 70567  
Stuttgart, DE**

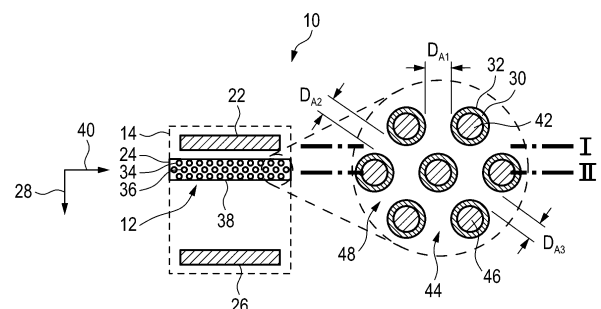
(56) Ermittelter Stand der Technik:

**DE 10 2015 103 017 A1**  
**US 2017 / 0 179 270 A1**

**Ohi, K. [u.a.]: Current Stability in Multi-Mesa-  
Channel AlGaIn/GaN HEMTs. In: IEEE Electron  
Devices, Vol. 60, 2013, No. 10, 2997 - 3004.**

(54) Bezeichnung: **Halbleiterbauelement mit einer Transistorstruktur vom Anreicherungstyp**

(57) Hauptanspruch: Halbleiterbauelement mit einer Transistorstruktur (12) vom Anreicherungstyp, wobei die Transistorstruktur (12) einen Schichtaufbau besitzt, der ein Basissubstrat (14), eine erste Halbleiterschicht (16) und eine zweite Halbleiterschicht (18) aufweist, die entlang einer ersten Richtung (20) übereinander angeordnet sind, wobei die Transistorstruktur (12) ferner eine Sourceelektrode (22), eine Gateelektrode (24) und eine Drainelektrode (26) besitzt, die entlang einer zweiten Richtung (28) voneinander beabstandet sind, wobei die erste Halbleiterschicht (16) durch ein erstes Gruppe-III-Nitridmaterial gebildet wird, das auf dem Basissubstrat (14) angeordnet ist, wobei die zweite Halbleiterschicht (18) durch ein zweites Gruppe-III-Nitridmaterial gebildet wird, das auf der ersten Schicht (16) angeordnet ist, wobei das erste und das zweite Gruppe-III-Nitridmaterial verschieden voneinander sind, sodass sich im Grenzbereich der ersten und zweiten Halbleiterschicht (16, 18) ein 2D-Elektronengas (19) bildet, wobei die erste Halbleiterschicht (16) und die zweite Halbleiterschicht (18) im Bereich der Gateelektrode (24) eine Vielzahl von Löchern (32) aufweisen, zwischen denen eine Vielzahl von Finnen (44) mit dem ersten und dem zweiten Gruppe-III-Nitridmaterial verbleiben, und wobei die Gateelektrode (24) eine Vielzahl von Gatefingern (42) besitzt, die in die Löcher (32) hineinreichen, dadurch gekennzeichnet, dass die Löcher (32) mit den Gatefingern (42) eine erste Lochreihe (34) ...



## Beschreibung

**[0001]** Die vorliegende Erfindung betrifft ein Halbleiterbauelement mit einer Transistorstruktur vom Anreicherungstyp, wobei die Transistorstruktur einen Schichtaufbau besitzt, der ein Basissubstrat, eine erste Halbleiterschicht und eine zweite Halbleiterschicht aufweist, die entlang einer ersten Richtung übereinander angeordnet sind, wobei die Transistorstruktur ferner eine Sourceelektrode, eine Gateelektrode und eine Drainelektrode besitzt, die entlang einer zweiten Richtung voneinander beabstandet sind, wobei die erste Halbleiterschicht durch ein erstes Gruppe-III-Nitridmaterial gebildet wird, das auf dem Basissubstrat angeordnet ist, wobei die zweite Halbleiterschicht durch ein zweites Gruppe-III-Nitridmaterial gebildet wird, das auf der ersten Schicht angeordnet ist, wobei das erste und das zweite Gruppe-III-Nitridmaterial verschieden voneinander sind, so dass sich im Grenzbereich der ersten und zweiten Schicht ein 2D-Elektronengas bildet, wobei die erste Halbleiterschicht und die zweite Halbleiterschicht im Bereich der Gateelektrode eine Vielzahl von Löchern aufweisen, zwischen denen eine Vielzahl von Finnen mit dem ersten und dem zweiten Gruppe-III-Nitridmaterial verbleiben, und wobei die Gateelektrode eine Vielzahl von Gatefingern besitzt, die in die Löcher hineinreichen.

**[0002]** Ein solches Halbleiterbauelement ist beispielsweise aus DE 10 2015 103 017 A1 bekannt.

**[0003]** Die Erfindung betrifft insbesondere einen sogenannten High Electron Mobility Transistor (HEMT), d.h. einen Transistor, der aufgrund seiner Bauform und der verwendeten Materialien eine hohe Elektronenbeweglichkeit besitzt und infolgedessen kurze Schaltzeiten ermöglicht. HEM-Transistoren sind eine spezielle Bauform von sogenannten Feldeffekttransistoren. Diese besitzen zwischen der Sourceelektrode und der Drainelektrode einen Kanal, in dem ein Strom von der Sourceelektrode zur Drainelektrode fließen kann. Mithilfe einer Spannung an der Gateelektrode kann der Stromfluss durch den Kanal beeinflusst werden, insbesondere unterdrückt oder überhaupt erst ermöglicht werden. Verwendet man im Bereich zwischen der Sourceelektrode und der Drainelektrode einen Schichtaufbau aus zwei Halbleitermaterialien mit unterschiedlichen Fermienergieebenen und unterschiedlich großen Bandlücken, kann sich im Grenzbereich dieser Materialien ein sogenanntes zweidimensionales Elektronengas (2DEG) bilden. Das 2D-Elektronengas kann als leitfähiger Kanal zwischen der Sourceelektrode und der Gateelektrode dienen. Die Elektronenbeweglichkeit in dem so gebildeten Kanal ist sehr hoch.

**[0004]** Häufig werden Aluminiumgalliumarsenid (AlGaAs) und Galliumarsenid (GaAs) als verschiedene Halbleitermaterialien für den Schichtaufbau ei-

nes HEM-Transistor verwendet. Das HEMT-Prinzip ist aber auch mit anderen Halbleiterschichten realisierbar und in der jüngeren Vergangenheit sind Materialkombinationen in den Fokus gerückt, die Galliumnitrid (GaN) und/oder andere Verbundhalbleiter mit Stickstoff und mindestens einem Element der Hauptgruppe III des Periodensystems aufweisen (nachfolgend allgemein als Gruppe-III-Nitridmaterialien bezeichnet). Galliumnitrid und andere Gruppe-III-Nitridmaterialien besitzen eine große Bandlücke zwischen dem Valenzband und dem Leitungsband und eignen sich daher sehr gut zum Schalten von hohen Spannungen. Aus diesem Grund sind GaN-HEM-Transistoren sowohl für Anwendungen in der Leistungselektronik als auch für Anwendungen in der Hochfrequenzelektronik hervorragend geeignet.

**[0005]** Man unterscheidet bei Feldeffekttransistoren einschließlich HEM-Transistoren zwischen zwei verschiedenen Grundtypen. Transistoren von Anreicherungstyp werden auch als Normally-off-Transistoren bezeichnet. Charakteristisch für diesen Transistortyp ist, dass sich der Kanal für einen Stromfluss zwischen der Sourceelektrode und der Drainelektrode erst bildet, wenn eine Spannung an die Gateelektrode angelegt wird. Umgekehrt wird bei Transistoren des Verarmungstyps (Normally-on) ein vorhandener Kanal zwischen Sourceelektrode und Drainelektrode durch Anlegen einer Gatespannung abgeschnürt.

**[0006]** Wie oben erwähnt, bildet sich an der Grenze von zwei Halbleitermaterialien mit stark unterschiedlicher Bandlücke ein 2D-Elektronengas, das als leitfähiger Kanal zwischen Sourceelektrode und Drainelektrode dienen kann. Aus diesem Grund ist es relativ einfach, einen HEM-Transistor vom Verarmungstyp herzustellen.

**[0007]** Die Herstellung eines HEM-Transistors vom Anreicherungstyp benötigt hingegen zusätzliche Schritte und zusätzlichen technologischen Aufwand, um das Entstehen des 2D-Elektronengases im Bereich der Gateelektrode ohne Gatepotential zu unterbinden. Ein Ansatz ist ein lokales Rückätzen bzw. Ausdünnen der zweiten Halbleiterschicht unterhalb des metallischen Gatekontakts. Beispiele für diesen Ansatz finden sich in DE 10 2011 000 911 A1, DE 10 2013 102 156 A1, US 8 114 726 B2, US 2010 / 0 219 452 A1 US 2011 / 0 073 912 A1, US 2013 / 0 237 021 A1 und US 2014 / 0 015 011 A1. Das lokale Rückätzen der ohnehin dünnen Halbleiterschicht ist allerdings schwierig und erfordert eine sehr exakte Kontrolle des Ätzprozesses.

**[0008]** Ein zweiter Ansatz, der aus heutiger Sicht favorisiert wird, verwendet eine zusätzliche p-dotierte und damit leitfähige Halbleiterschicht zwischen der metallischen Gateelektrode und dem Schichtaufbau, der zur Bildung des 2D-Elektronengases dient. Die p-dotierte Schicht führt zu einer Potentialverschiebung

und damit zu einer Unterdrückung des 2DEG-Kanals im Bereich der Gateelektrode. Nachteilig ist hierbei, dass die p-dotierte Schicht außerhalb des Gate-Gebietes vollständig durch Ätzen entfernt werden muss, wobei es aber nicht zur Beschädigung des 2DEG-Kanals dicht unterhalb des Gates durch Überätzen kommen darf. Beispiele für diesen Ansatz finden sich in US 7 728 356 B2, US 8 890 168 B2, US 8 890 206 B2, US 8 933 489 B2, US 2008 / 0 296 618 A1 oder WO 2008 / 151 138 A1

**[0009]** Ein dritter Ansatz verwendet die Implantation von Fluor in die Halbleiterschicht unter der Gateelektrode oder eine Sauerstoff-Plasmabehandlung dieser Schicht vor Aufbringen des Gatedielektrikums. Beispiele für diesen Ansatz finden sich in US 7 932 539 B2, US 2007 / 0 278 518 A1 und US 2012 / 0 098 599 A1. Nachteil dieses Ansatzes ist fehlende Langzeitstabilität.

**[0010]** Ein vierter Ansatz basiert darauf, die Halbleiterschichten im Bereich zwischen der Sourceelektrode und der Drainelektrode in Streifen zu unterteilen. Bei diesem Ansatz werden in die erste und zweite Halbleiterschicht Gräben geätzt. Zwischen den Gräben verbleiben „Höhenzüge“ bzw. Stege, die als Finnen bezeichnet werden. Der Kanal zwischen der Sourceelektrode und der Gateelektrode verläuft in den Finnen und das Gatepotential kann nun auch lateral auf den Kanal einwirken. Es ergeben sich auf diese Weise Potentialverhältnisse, die eine Transistorstruktur vom Anreicherungstyp ermöglichen. Das Ätzen der Gräben ist im Gegensatz zu dem Rückätzen beim erstgenannten Ansatz unkritisch in Bezug auf die Ätztiefe. Nachteilig ist, dass die Leitfähigkeit des Kanals durch die starke Strukturierung beeinträchtigt wird und der elektrische Widerstand im leitfähigen Zustand erhöht ist.

**[0011]** Beispielhaft für eine Transistorstruktur mit Finnen sei auf die Publikation Chandan Yadav et al. „Modeling of GaN-Based Normal-Off FinFET“, in IEEE Electron Device Letters, Vol. 35, Nr. 6, Juni 2014, auf die Publikation Ki-Sik Im et al. „Heterojunction-Free GaN Nanochannel FinFETs With High Performance“, IEEE Electron Device Letters, Vol. 34, Nr. 3, März 2013 und auf die Publikation Dong-Hyeok Son et al. „Fabrication of high performance AlGaIn/GaN FinFET by utilizing anisotropic wet etching in TMAH solution“, veröffentlicht anlässlich der Solid State Device Research Conference (ESSDERC) vom 14. bis 18. September 2015, Graz, Österreich verwiesen.

**[0012]** Die eingangs genannte DE 10 2015 103 017 A1 offenbart mehrere Ausführungsbeispiele einer Transistorstruktur vom Anreicherungstyp mit Finnen. In einigen Ausführungsbeispielen ist die Länge der Finnen und Gräben kürzer als der Abstand zwischen Sourceelektrode und

Drainelektrode. In einem Ausführungsbeispiel gibt es zusätzlich zu den Finnen im Bereich der Gateelektrode eine zweite Gruppe von Finnen, über denen sich die Metallisierung der Sourceelektrode erstreckt. In allen Ausführungsbeispielen ist zwischen der Gateelektrode und dem Schichtaufbau der Finnen ein p-dotiertes Material angeordnet. Somit kombiniert DE 10 2015 103 017 A1 den zweiten und vierten Ansatz.

**[0013]** Die Publikation Kota Ohi et al. „Current Stability in Multi-Mesa-Channel AlGaIn/GaN HEMTs“, in IEEE Electron Devices, Vol. 60, No. 10, October 2013 offenbart einen HEM-Transistor mit einer periodischen Graben- bzw. Löcherstruktur unter der Gateelektrode. Die Löcher sind mit dem Gateelektrodenmaterial gefüllt.

**[0014]** US 2017 / 0 179 270 A1 offenbart einen HEM-Transistor mit einem durch Finnen und Löcher strukturierten Kanalbereich. Die Löcher sind mit einem isolierenden Material gefüllt.

**[0015]** Vor diesem Hintergrund ist es eine Aufgabe der vorliegenden Erfindung, ein Halbleiterbauelement der eingangs genannten Art anzugeben, das die oben genannten Nachteile vermeidet oder zumindest reduziert. Es ist insbesondere eine Aufgabe der Erfindung, ein Halbleiterbauelement mit einer Transistorstruktur vom Anreicherungstyp anzugeben, welches mit reduziertem lithografischen Aufwand und/oder höherer Ausbeute und somit kostengünstiger hergestellt werden kann.

**[0016]** Gemäß einem Aspekt der vorliegenden Erfindung wird diese Aufgabe durch ein Halbleiterbauelement der eingangs genannten Art gelöst, wobei die Löcher mit den Gatefingern eine erste Lochreihe und - zumindest - eine zweite Lochreihe bilden, wobei die erste und die zweite Lochreihe jeweils quer zu der zweiten Richtung verlaufen und somit eine dritte Richtung definieren, und wobei die Löcher der zweiten Lochreihe in der zweiten Richtung und in der dritten Richtung relativ zu den Löchern der ersten Lochreihe versetzt sind.

**[0017]** Die neue Transistorstruktur verwendet einen Schichtaufbau, der im Bereich der Gateelektrode durch Löcher und Finnen strukturiert ist, um den durch den Schichtaufbau gebildeten 2DEG-Kanal zu unterdrücken und eine Transistorstruktur vom Anreicherungstyp zu erhalten. Da die Gatefinger der Gateelektrode in den Schichtaufbau hineingreifen, verändern sich die Potentialverhältnisse und es bildet sich eine Verarmungszone um die Gatefinger herum. Die Verarmungszone stört die Bildung des 2D-Elektrolytengases. In den bevorzugten Ausführungsbeispielen sind die Löcher mit den Gatefingern mit relativen Abständen voneinander angeordnet, die so gewählt sind, dass der Kanal zwischen Sourceelektrode und

Drainelektrode ohne angelegtes Gatepotential abgeschnürt ist.

**[0018]** Im Unterschied zu den Finnen-Transistoren aus dem Stand der Technik besitzt das neue Halbleiterbauelement zumindest zwei Lochreihen mit Gatefingern, wobei die Löcher der Lochreihen so gegeneinander versetzt sind, dass die verbleibenden Finnen in der zweiten Richtung nicht mehr geradlinig durchlaufen, sondern unterbrochen oder zumindest eingeschnürt/verengt sind. Zugleich bilden die versetzten Löcher der zweiten Lochreihe aber weitere Finnen, die relativ zu den Finnen der ersten Lochreihe versetzt sind. Diese Art der Strukturierung ermöglicht eine im Vergleich zum Stand der Technik geringere Löcher- oder Grabendichte und damit breitere Finnen. Die geringere Löcherdichte führt zu einem geringeren Aufwand bei der Strukturierung und ermöglicht eine kostengünstigere Realisierung. Die aufgrund der größeren Lochabstände breiteren Finnen ermöglichen zudem einen geringeren elektrischen Widerstand im leitenden bzw. angereicherten Zustand. Ein weiterer Vorteil liegt in der unkritischen Ätzung der Löcher durch das 2D-Elektronengas hindurch, womit sich eine verbesserte Reproduzierbarkeit und eine höhere Ausbeute in der Fertigung ergeben. Die oben genannte Aufgabe ist daher vollständig gelöst.

**[0019]** In einer bevorzugten Ausgestaltung verlaufen die erste und die zweite Lochreihe parallel zueinander.

**[0020]** Prinzipiell ist es möglich, dass die erste und die zweite Lochreihe schräg zueinander verlaufen und beispielsweise einen Winkel von  $10^\circ$  einschließen. Die bevorzugte Ausgestaltung besitzt demgegenüber den Vorteil, dass die Löcher mit den Gatefingern und die Finnen in einem möglichst kleinen Bereich unterhalb der Gateelektrode gleichmäßig voneinander beabstandet und angeordnet sind. Vorteilhaft können mit dieser Ausgestaltung homogene Kanaleigenschaften über die Kanalbreite in der dritten Richtung erreicht werden.

**[0021]** In einer weiteren Ausgestaltung bilden die Löcher eine dritte Lochreihe, wobei die Löcher der dritten Lochreihe in der zweiten Richtung und in der dritten Richtung relativ zu den Löchern der zweiten Lochreihe versetzt sind. Vorzugsweise sind die Löcher der ersten Lochreihe und der dritten Lochreihe in der zweiten Richtung zueinander ausgerichtet, so dass die Löcher der ersten Lochreihe und der dritten Lochreihe weitere Lochreihen in der zweiten Richtung bilden. Des Weiteren bilden die Löcher in bevorzugten Ausführungsbeispielen Lochreihen, die schräg zu der zweiten und der dritten Richtung verlaufen.

**[0022]** Diese Ausgestaltung ermöglicht eine besonders einfache Strukturierung der ersten und zweiten

Halbleiterschichten. Die relativen Abstände der Gatefinger voneinander können nochmals erhöht und die Lochdichte weiter reduziert werden.

**[0023]** In einer weiteren Ausgestaltung sind die Finnen zwischen den Löchern der ersten Lochreihe und die Finnen zwischen den Löchern der zweiten Lochreihe in der dritten Richtung jeweils um eine Distanz versetzt, die der Hälfte der Summe aus Lochdurchmesser und Lochabstand in der zweiten Richtung entspricht. In bevorzugten Ausführungsbeispielen sind der Lochdurchmesser und der Lochabstand in der zweiten Richtung zudem gleich.

**[0024]** In den bevorzugten Ausführungsbeispielen dieser Ausgestaltung sind die Löcher der zweiten Lochreihe in der dritten Richtung praktisch mittig zwischen jeweils zwei Löchern der ersten Lochreihe angeordnet. Diese Ausgestaltung trägt vorteilhaft zu einer Minimierung der Lochdichte und zu einer Reduzierung des Lithografieaufwandes bei. Außerdem ermöglicht diese Ausgestaltung eine sehr gleichmäßige Feldwirkung der Gateelektrode auf das 2D-Elektronengas. Generell besitzt diese Ausgestaltung den Vorteil, dass die Lochabstände benachbarter Löcher relativ groß gewählt werden können.

**[0025]** In einer weiteren vorteilhaften Ausgestaltung ist ein erster Lochabstand zwischen zwei benachbarten Löchern der ersten Lochreihe gleich einem zweiten Lochabstand zwischen zwei benachbarten Löchern der zweiten Lochreihe. Des Weiteren ist es bevorzugt, dass ein weiterer Lochabstand zwischen einem Loch der ersten Lochreihe und einem benachbarten Loch der zweiten Lochreihe gleich dem ersten Lochabstand zwischen zwei benachbarten Löchern der ersten Lochreihe ist.

**[0026]** Diese Ausgestaltungen tragen ebenfalls zu einer sehr gleichmäßigen Feldwirkung der Gateelektrode auf das 2D-Elektronengas bei, während sie die Strukturierung der ersten und zweiten Halbleiterschicht vereinfachen.

**[0027]** In einer weiteren Ausgestaltung liegt der Lochabstand zwischen benachbarten Löchern im Bereich von 50 nm bis 150 nm, vorzugsweise im Bereich bis 100 nm. Gemäß einer weiteren vorteilhaften Ausgestaltung besitzen die Löcher in der zweiten Richtung einen Lochdurchmesser, der im Bereich von 50 nm bis 150 nm liegt, vorzugsweise im Bereich bis 100 nm.

**[0028]** Lochabstände und Lochdurchmesser in dieser Größenordnung haben sich in Untersuchungen der neuen Transistorstruktur als vorteilhaft für eine besonders kostengünstige Realisierung eines HEM-Transistors vom Anreicherungstyp herausgestellt.

**[0029]** In einer weiteren Ausgestaltung bilden die Löcher im Bereich der Gateelektrode eine kumulierte Lochquerschnittsfläche und die Finnen bilden im Bereich der Gateelektrode eine kumulierte Finnenquerschnittsfläche, wobei die kumulierte Lochquerschnittsfläche und die kumulierte Finnenquerschnittsfläche in etwa gleich groß sind. „In etwa gleich groß“ bedeutet hier, dass die Finnenquerschnittsfläche zwischen 40 % und 60 % der Fläche unter der Gateelektrode einnimmt, und vorzugsweise im Bereich von etwa 50 % der Gesamtfläche unter der Gateelektrode beträgt.

**[0030]** Die kumulierte Lochquerschnittsfläche ist die Summe der Lochquerschnitte im Bereich der Gateelektrode. Die kumulierte Finnenquerschnittsfläche ist die Gesamtfläche der verbleibenden Finnen im Bereich der Gateelektrode. In der bevorzugten Ausgestaltung sind die Löcher groß genug, um das Metall der Gateelektrode und - in bevorzugten Ausführungsbeispielen - ein isolierendes Dielektrikum einzubringen. Andererseits sind die verbleibenden Finnen groß genug, um eine effektive Stromleitung im eingeschalteten (angereicherten) Zustand des Transistors zu ermöglichen.

**[0031]** In einer weiteren Ausgestaltung sind die Löcher mit einem elektrisch isolierendem Dielektrikum ausgekleidet. Vorzugsweise sind die Löcher vollständig mit dem isolierenden Dielektrikum ausgekleidet.

**[0032]** In dieser Ausgestaltung sind die metallischen Gatefinger der Gateelektrode durch das Dielektrikum von dem Gruppe-III-Nitridmaterial der ersten und zweiten Halbleiterschicht getrennt. Vorteilhaft verzichtet diese Ausgestaltung in bevorzugten Ausführungsbeispielen auf ein zusätzliches p-dotiertes Material, welches bei Transistorstrukturen nach dem Stand der Technik häufig eine leitfähige Verbindung zwischen der Gateelektrode und ausgewählten Abschnitten des Kanalmaterials bereitstellt. Die Ausgestaltung ermöglicht eine besonders kostengünstige Realisierung und eine Maximierung der Lochabstände. Sie trägt ferner dazu bei, hohe Durchbruchfeldstärken für Anwendungen in der Leistungselektronik zu ermöglichen.

**[0033]** In einer weiteren Ausgestaltung sind Finnen in der dritten Richtung jeweils von zwei isolierten Gatefingern seitlich begrenzt.

**[0034]** In dieser Ausgestaltung ist links und rechts von jeder Finne jeweils ein Gatefinger angeordnet. Alternativ hierzu ist es in anderen Ausgestaltungen möglich, ausgewählte Finnen seitlich mit einem p-dotierten oder n-dotierten Material zu begrenzen und/oder leitfähige Verbindungen zur Sourceelektrode oder Drainelektrode zu realisieren. Die bevorzugte Ausgestaltung trägt zu einer besonders einfachen

und kostengünstigen Realisierung des neuen Halbleiterbauelements bei.

**[0035]** In einer weiteren Ausgestaltung sind die Löcher - zumindest annähernd - kreisförmig.

**[0036]** Diese Ausgestaltung ist besonders vorteilhaft, wenn die Löcher mithilfe einer Elektronenstrahlolithografie erzeugt werden. Weitgehend kreisförmige (kreiszyklische) Löcher können in den bevorzugten geringen Abmessungen leichter hergestellt werden. In einigen Ausgestaltungen können die Lochreihen alternativ oder ergänzend mithilfe der sogenannten Nano-Imprint-Lithografie (NIL) erzeugt werden. Dabei wird ein strukturierter Stempel verwendet, um die Strukturierung des Fotolacks für den Lithografieprozess zu erzeugen. In einigen bevorzugten Ausführungsbeispielen mit dieser Variante sind verschiedene Lochquerschnitte einschließlich nicht-kreisförmiger Lochquerschnitte möglich.

**[0037]** In allen bevorzugten Ausgestaltungen besitzt das neue Halbleiterbauelement den Vorteil, dass das 2D-Elektronengas nur dort durch Gatefinger unterbrochen wird, wo die Feldwirkung der Gateelektrode effektiv benötigt wird. Dementsprechend besitzt das Halbleiterbauelement in bevorzugten Ausführungsbeispielen nur im Bereich der Gateelektrode Löcher, die sich durch die dichte Anordnung und die verbleibenden Materialstege wie Finnen auswirken, zugleich aber den Kanalwiderstand im eingeschalteten Zustand weniger stark erhöhen. Der verbleibende Kanalbereich zwischen der Sourceelektrode und der Gateelektrode ist in bevorzugten Ausführungsbeispielen „lochfrei“, also nicht in der beschriebene Weise strukturiert. In einigen Ausführungsbeispielen ist der nichtstrukturierte Kanalbereich in der zweiten Richtung mehr als doppelt so groß wie der durch Löcher und Finnen strukturierte Bereich.

**[0038]** Es versteht sich, dass die vorstehend genannten und die nachstehend noch zu erläuternden Merkmale nicht nur in der jeweils angegebenen Kombination, sondern auch in anderen Kombinationen oder in Alleinstellung verwendbar sind, ohne den Rahmen der vorliegenden Erfindung zu verlassen.

**[0039]** Ausführungsbeispiele der Erfindung sind in der Zeichnung dargestellt und werden in der nachfolgenden Beschreibung näher erläutert. Es zeigen:

**Fig. 1** eine vereinfachte Darstellung eines Ausführungsbeispiels des neuen Halbleiterbauelements in einer Ansicht von oben,

**Fig. 2** einen Schnitt durch das Halbleiterbauelement aus **Fig. 1** entlang der Linie I, und

**Fig. 3** einen Schnitt durch das Halbleiterbauelement aus **Fig. 1** entlang der Linie II.

**[0040]** In **Fig. 1** ist ein Ausführungsbeispiel des neuen Halbleiterbauelements in seiner Gesamtheit mit der Bezugsziffer **10** bezeichnet. Das Halbleiterbauelement beinhaltet eine Transistorstruktur **12**, die auf einem Basissubstrat **14** aufgebaut ist. Wie anhand **Fig. 2** schematisch dargestellt ist, ist auf dem Basissubstrat **14** ein Schichtaufbau mit einer ersten Halbleiterschicht **16** und einer zweiten Halbleiterschicht **18** angeordnet.

**[0041]** Die erste Halbleiterschicht **16** ist mit einem Gruppe-III-Nitridmaterial hergestellt und kann beispielsweise eine GaN-Schicht sein, die epitaktisch auf das Basissubstrat **14** angewachsen ist. Die zweite Halbleiterschicht **18** ist ein Gruppe-III-Nitridmaterial, das sich von dem Gruppe-III-Nitridmaterial der ersten Halbleiterschicht **16** unterscheidet. Beispielsweise ist die zweite Halbleiterschicht **18** mit einem AlGaN-Material hergestellt, das epitaktisch auf die erste Halbleiterschicht **16** angewachsen ist. Optional kann in einigen bevorzugten Ausführungsbeispielen eine dritte Schicht (hier nicht dargestellt) zwischen der zweiten Halbleiterschicht **18** und der ersten Halbleiterschicht **16** angeordnet sein, wobei die dritte Schicht vorteilhaft zur Anpassung der ersten und zweiten Halbleiterschicht dient bzw. den Übergang von der ersten zur zweiten Halbleiterschicht „glättet“. Beispielsweise kann die Anpassungsschicht für die oben genannte Materialkombination aus Aluminiumnitrid (AlN) hergestellt sein.

**[0042]** Wie bereits eingangs erwähnt, können prinzipiell auch andere Verbundhalbleiter mit Nitrid und einem Gruppe-III-Material verwendet werden. Das Gruppe-III-Nitridmaterial der ersten Halbleiterschicht **16** und das Gruppe-III-Nitridmaterial der zweiten Halbleiterschicht **18** besitzen unterschiedliche Fermi-niveaus bzw. unterschiedliche Bandlücken. Infolgedessen bildet sich im Grenzbereich der Halbleiterschichten **16, 18** ein 2D-Elektronengas **19**, d.h. eine Schicht mit einer Vielzahl von „freien“ Elektronen, die sich in dem Grenzbereich in zwei lateralen Dimensionen bewegen können. Wie in **Fig. 2** anhand des Pfeils **20** dargestellt, definiert der Schichtaufbau eine erste Richtung und die Beweglichkeit der Elektronen im Grenzbereich der Halbleiterschichten **16, 18** ist im Wesentlichen orthogonal zu der ersten Richtung **20**.

**[0043]** Bezug nehmend auf **Fig. 1** besitzt das Halbleiterbauelement eine Sourceelektrode **22**, eine Gateelektrode **24** und eine Drainelektrode **26**, die entlang einer zweiten Richtung **28** angeordnet und voneinander beabstandet sind. Typischerweise sind die Elektroden aus einem metallischen Material hergestellt, das auf dem Halbleiter-Schichtaufbau abgelagert wird. **Fig. 2** zeigt die Metallschicht der Gateelektrode **24** über einem isolierenden Dielektrikum **30**. Das Dielektrikum **30** kann beispielsweise eine Oxidschicht sein, die auf der zweiten Halbleiterschicht **18** gebildet ist.

**[0044]** Bezug nehmend auf die **Fig. 1** und **Fig. 3** sind im Bereich der Gateelektrode **24** eine Vielzahl von Löchern **32** geätzt. Die Löcher **32** erstrecken sich entlang der ersten Richtung **20** in die Tiefe des Schichtaufbaus mit der ersten und der zweiten Halbleiterschicht **16, 18**. In den bevorzugten Ausführungsbeispielen sind die Löcher **32** durch lokales Rückätzen der Gruppe-III-Nitridmaterialien hergestellt. Die Tiefe der Löcher **32** ist bevorzugt größer als die Höhe des Schichtaufbaus mit den zwei Gruppe-III-Nitridmaterialien. In einigen Ausführungsbeispielen kann die Tiefe der Löcher **32** beispielsweise größer als 30 nm sein, während der Schichtaufbau mit den Gruppe-III-Nitridmaterialien eine Höhe von etwa 30 nm besitzt. Generell können die Löcher **32** somit in der Richtung **20** eine Tiefe aufweisen, die bis auf das Basissubstrat **14** oder sogar in das Basissubstrat **14** hinein reicht.

**[0045]** Wie man in **Fig. 1** erkennen kann, sind die Löcher **32** hier in zueinander parallelen Lochreihen **34, 36, 38** angeordnet, die sich in einer dritten Richtung **40** quer zu der zweiten Richtung **28** erstrecken. In bevorzugten Ausführungsbeispielen verlaufen die Lochreihen **34, 36, 38** orthogonal zu der zweiten Richtung **28** und bevorzugt orthogonal zu der ersten Richtung **20**.

**[0046]** Wie man in **Fig. 3** erkennen kann, sind die Löcher **32** hier jeweils mit dem isolierenden Dielektrikum **30** ausgekleidet. In den bevorzugten Ausführungsbeispielen wird das Dielektrikum **30** auf der zweiten Halbleiterschicht **18** gebildet, nachdem die Löcher **32** durch einen Ätzprozess hergestellt wurden. In einem späteren Schritt werden die Metallschichten der Elektroden **22, 24, 26** aufgebracht. Mit diesem späteren Schritt werden die Löcher **32** mit dem metallischen Material der Gateelektrode **24** gefüllt, so dass metallische Gatefinger **42** entstehen, die in die Löcher **32** hineinreichen. Bevorzugt füllen die Gatefinger **42** zusammen mit dem Dielektrikum **30** die Löcher **32** vollständig aus. Der zwischen den Löchern **32** verbleibende Schichtaufbau mit der ersten und zweiten Halbleiterschicht **16, 18** und dem 2D-Elektronengas **19** bildet Stege bzw. Finnen, in denen ein Stromfluss von der Sourceelektrode **22** zur Gateelektrode **26** möglich ist.

**[0047]** Im Unterschied zu Transistorstrukturen mit Finnen nach dem Stand der Technik laufen die Finnen **44** hier in der zweiten Richtung **28** nicht gerade zur Drainelektrode durch, weil die Löcher der zweiten Lochreihe **34** in der dritten Richtung **40** relativ zu den Löchern der ersten Lochreihe **34** und relativ zu den Löchern der dritten Lochreihe **38** versetzt sind, wie dies in **Fig. 1** dargestellt ist.

**[0048]** Die Löcher **32** sind in den bevorzugten Ausführungsbeispielen im Durchmesser gerade groß genug, um das relativ dünne Dielektrikum **30** und das

Metall der Gateelektrode **24** einbringen zu können. Da die Löcher **32** im leitenden (angereicherten) Zustand der Transistorstruktur **12** den Stromfluss von der Sourceelektrode **22** zur Drainelektrode **26** blockieren und somit den Widerstand  $R''$  erhöhen, ist es wünschenswert, die Löcher **32** möglichst klein machen. In den bevorzugten Ausführungsbeispielen hat sich ein Lochdurchmesser  $D_L$  als vorteilhaft erwiesen, der im Bereich von 50 nm bis 100 nm liegt. In den bevorzugten Ausführungsbeispielen liegt der Lochabstand  $L_{A1}$  zwischen zwei benachbarten Löchern einer Lochreihe ebenfalls zwischen 50 nm und 100 nm. Des Weiteren liegt auch der Lochabstand  $D_{A2}$  zwischen zwei benachbarten Löchern verschiedener Lochreihen in den bevorzugten Ausführungsbeispielen im Bereich zwischen 50 nm und 100 nm. In den bevorzugten Ausführungsbeispielen sind die Lochabstände  $D_{A1}$  und  $D_{A2}$  (im Rahmen der Fertigungstoleranzen) gleich.

**[0049]** In dem hier dargestellten Ausführungsbeispiel besitzen die Löcher **32** einen weitgehend kreisförmigen Querschnitt, wobei eine mathematisch exakte Kreisform aufgrund von Fertigungstoleranzen und Prozessinstabilitäten selten erreicht wird. In anderen Ausführungsbeispielen (hier nicht dargestellt) können die Löcher **32** einen anderen Querschnitt aufweisen, beispielsweise länglich oval, quadratisch, sechseckig, achteckig, rechteckig oder mit einer anderen Querschnittsform, die sogar unregelmäßig ausfallen kann. In den obengenannten Ausführungsbeispielen ist der Lochdurchmesser  $D_L$  vorzugsweise in der dritten Richtung **40** gemessen. In der zweiten Richtung **28** kann der Lochdurchmesser größer oder kleiner sein. Bevorzugt ist er in der zweiten Richtung **28** in etwa gleich wie in der dritten Richtung **40**.

**[0050]** Die Summe der Lochquerschnittsflächen im Bereich der Gateelektrode **24** ist in den bevorzugten Ausführungsbeispielen in etwa gleich der Summe der verbleibenden Finnenquerschnittsflächen **48**. Außerdem beschränkt sich die Strukturierung des Schichtaufbaus durch die Löcher **32** und Finnen **44** in den bevorzugten Ausführungsbeispielen auf den Bereich unterhalb der Gateelektrode **24**, wie dies in **Fig. 1** dargestellt ist. Abseits der Gateelektrode **24** ist der Kanalbereich zwischen der Sourceelektrode **22** und der Drainelektrode **26** vorzugsweise unstrukturiert, um einen weitgehend ungestörten Stromfluss zwischen Sourceelektrode **22** und Drainelektrode **26** zu begünstigen.

### Patentansprüche

1. Halbleiterbauelement mit einer Transistorstruktur (12) vom Anreicherungstyp, wobei die Transistorstruktur (12) einen Schichtaufbau besitzt, der ein Basissubstrat (14), eine erste Halbleiterschicht (16) und eine zweite Halbleiterschicht (18) aufweist, die entlang einer ersten Richtung (20) übereinander an-

geordnet sind, wobei die Transistorstruktur (12) ferner eine Sourceelektrode (22), eine Gateelektrode (24) und eine Drainelektrode (26) besitzt, die entlang einer zweiten Richtung (28) voneinander beabstandet sind, wobei die erste Halbleiterschicht (16) durch ein erstes Gruppe-III-Nitridmaterial gebildet wird, das auf dem Basissubstrat (14) angeordnet ist, wobei die zweite Halbleiterschicht (18) durch ein zweites Gruppe-III-Nitridmaterial gebildet wird, das auf der ersten Schicht (16) angeordnet ist, wobei das erste und das zweite Gruppe-III-Nitridmaterial verschieden voneinander sind, sodass sich im Grenzbereich der ersten und zweiten Halbleiterschicht (16, 18) ein 2D-Elektro-nengas (19) bildet, wobei die erste Halbleiterschicht (16) und die zweite Halbleiterschicht (18) im Bereich der Gateelektrode (24) eine Vielzahl von Löchern (32) aufweisen, zwischen denen eine Vielzahl von Finnen (44) mit dem ersten und dem zweiten Gruppe-III-Nitridmaterial verbleiben, und wobei die Gateelektrode (24) eine Vielzahl von Gatefingern (42) besitzt, die in die Löcher (32) hineinreichen, **dadurch gekennzeichnet**, dass die Löcher (32) mit den Gatefingern (42) eine erste Lochreihe (34) und eine zweite Lochreihe (36) bilden, wobei die erste und die zweite Lochreihe (34, 36) jeweils quer zu der zweiten Richtung (28) verlaufen und somit eine dritte Richtung (40) definieren, wobei die Löcher (32) der zweiten Lochreihe (36) in der zweiten Richtung (28) und in der dritten Richtung (40) relativ zu den Löchern (32) der ersten Lochreihe (34) versetzt sind.

2. Halbleiterbauelement nach Anspruch 1, **dadurch gekennzeichnet**, dass die erste und die zweite Lochreihe (34, 36) parallel zueinander verlaufen.

3. Halbleiterbauelement nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, dass die Löcher (32) eine dritte Lochreihe (38) bilden, wobei die Löcher (32) der dritten Lochreihe (38) in der zweiten Richtung (28) und in der dritten Richtung (40) relativ zu den Löchern (32) der zweiten Lochreihe (36) versetzt sind.

4. Halbleiterbauelement nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet**, dass die Finnen (44) zwischen den Löchern (32) der ersten Lochreihe (34) und die Finnen (44) zwischen den Löchern (32) der zweiten Lochreihe (36) in der dritten Richtung (40) jeweils um eine Distanz versetzt sind, die der Hälfte der Summe aus Lochdurchmesser ( $D_L$ ) und Lochabstand ( $D_{A1}$ ) in der zweiten Richtung entspricht.

5. Halbleiterbauelement nach einem der Ansprüche 1 bis 4, **dadurch gekennzeichnet**, dass ein erster Lochabstand ( $D_{A1}$ ) zwischen zwei benachbarten Löchern (32) der ersten Lochreihe (34) gleich einem zweiten Lochabstand zwischen zwei benachbarten Löchern (32) der zweiten Lochreihe (36) ist.

6. Halbleiterbauelement nach einem der Ansprüche 1 bis 5, **dadurch gekennzeichnet**, dass ein weiterer Lochabstand ( $D_{A2}$ ) zwischen einem Loch (32) der ersten Lochreihe (34) und einem benachbarten Loch (32) der zweiten Lochreihe (36) gleich dem ersten Lochabstand ( $D_{A1}$ ) zwischen zwei benachbarten Löchern (32) der ersten Lochreihe (34) ist.

7. Halbleiterbauelement nach einem der Ansprüche 1 bis 6, **dadurch gekennzeichnet**, dass der Lochabstand ( $D_{A1}$ ,  $D_{A2}$ ,  $D_{A3}$ ) zwischen benachbarten Löchern im Bereich von 50 nm bis 150 nm, vorzugsweise im Bereich bis 100nm liegt.

8. Halbleiterbauelement nach einem der Ansprüche 1 bis 7, **dadurch gekennzeichnet**, dass die Löcher (32) in der dritten Richtung einen Lochdurchmesser ( $D_L$ ) besitzen, der im Bereich von 50 nm bis 150 nm, vorzugsweise im Bereich bis 100nm liegt.

9. Halbleiterbauelement nach einem der Ansprüche 1 bis 8, **dadurch gekennzeichnet**, dass die Löcher (32) im Bereich der Gateelektrode (24) eine kumulierte Lochquerschnittsfläche (46) bilden und dass die Finnen (44) im Bereich der Gateelektrode (24) eine kumulierte Finnenquerschnittsfläche (48) bilden, wobei die kumulierte Lochquerschnittsfläche (46) und die kumulierte Finnenquerschnittsfläche (48) in etwa gleich groß sind.

10. Halbleiterbauelement nach einem der Ansprüche 1 bis 9, **dadurch gekennzeichnet**, dass die Löcher (32) mit einem elektrisch isolierenden Dielektrikum (30) ausgekleidet sind.

11. Halbleiterbauelement nach einem der Ansprüche 1 bis 10, **dadurch gekennzeichnet**, dass die Finnen (44) in der dritten Richtung jeweils von zwei isolierten Gatefingern (42) seitlich begrenzt werden.

12. Halbleiterbauelement nach einem der Ansprüche 1 bis 11, **dadurch gekennzeichnet**, dass die Löcher (32) kreisförmig sind.

Es folgt eine Seite Zeichnungen



Anhängende Zeichnungen

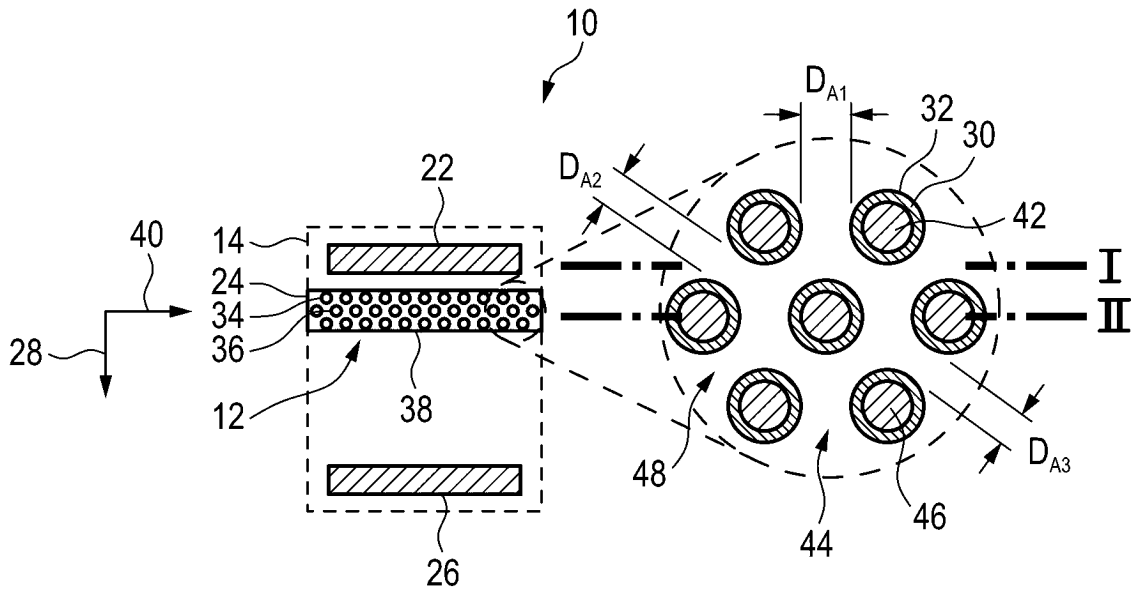


Fig. 1

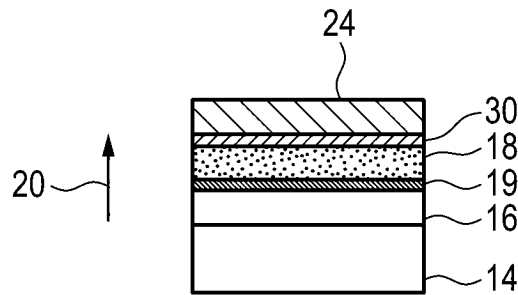


Fig. 2

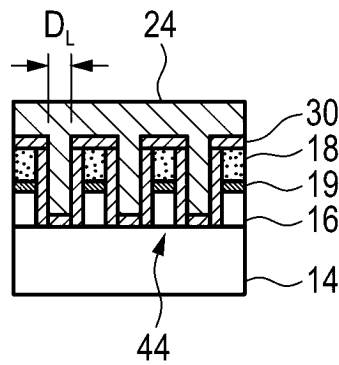


Fig. 3