



(10) **DE 10 2020 114 961 A1** 2021.11.25

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2020 114 961.1**

(22) Anmeldetag: **05.06.2020**

(43) Offenlegungstag: **25.11.2021**

(51) Int Cl.: **H01L 29/78** (2006.01)

H01L 21/336 (2006.01)

(30) Unionspriorität:

16/881,384 **22.05.2020** **US**

(71) Anmelder:

**Taiwan Semiconductor Manufacturing Co., Ltd.,
Hsinchu, TW**

(74) Vertreter:

**BOEHMERT & BOEHMERT Anwaltspartnerschaft
mbB - Patentanwälte Rechtsanwälte, 28209
Bremen, DE**

(72) Erfinder:

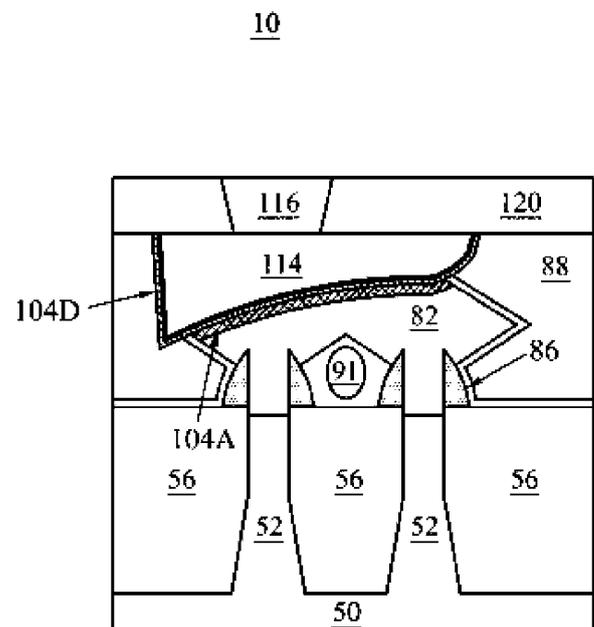
**Tzeng, Kai-Di, Hsinchu, TW; Lee, Chen-Ming,
Hsinchu, TW; Yang, Fu-Kai, Hsinchu, TW; Wang,
Mei-Yun, Hsinchu, TW**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **SILIZIDSTRUKTUREN IN TRANSISTOREN UND HERSTELLUNGSVERFAHREN**

(57) Zusammenfassung: Eine Vorrichtung weist einen Gatestapel; ein Gateabstandselement an einer Seitenwand des Gatestapels; eine Source/Drain-Region neben dem Gatestapel; ein Silizid; und einen Source/Drain-Kontakt auf, der durch das Silizid elektrisch mit der Source/Drain-Region verbunden ist. Das Silizid weist einen konformen ersten Abschnitt in der Source/Drain-Region auf, wobei der konforme erste Abschnitt ein Metall und Silizium aufweist; und einen konformen zweiten Abschnitt über dem konformen ersten Abschnitt, wobei der konforme zweite Abschnitt ferner an einer Seitenwand des Gateabstandselements angeordnet ist und der konforme zweite Abschnitt das Metall, Silizium und Stickstoff aufweist.



Beschreibung

ALLGEMEINER STAND DER TECHNIK

[0001] Halbleitervorrichtungen werden in einer Vielzahl von Elektronikanwendungen wie z. B. Personal-Computern, Mobiltelefonen, Digitalkameras und anderen elektronischen Betriebsmitteln verwendet. Halbleitervorrichtungen werden üblicherweise hergestellt, indem sequenziell isolierende Schichten oder Dielektrikumschichten, leitende Schichten und Halbleitermaterialschichten über einem Halbleitersubstrat abgeschieden werden, und indem die verschiedenen Materialschichten unter Verwendung von Lithografie strukturiert werden, um darauf Schaltungskomponenten und -elemente zu bilden.

[0002] Die Halbleiterindustrie verbessert weiterhin die Integrationsdichte verschiedener elektronischer Komponenten (z. B. Transistoren, Dioden, Widerstände, Kondensatoren usw.) durch kontinuierliche Reduzierungen der minimalen Strukturgröße, was es ermöglicht, mehr Komponenten in einem gegebenen Bereich zu integrieren. Da jedoch die minimalen Merkmalsgrößen reduziert werden, ergeben sich zusätzliche Probleme, die adressiert werden sollten.

Figurenliste

[0003] Aspekte der vorliegenden Offenbarung lassen sich am besten anhand der folgenden detaillierten Beschreibung in Verbindung mit den beiliegenden Zeichnungen verstehen. Es ist zu beachten, dass gemäß der branchenüblichen Praxis verschiedene Merkmale nicht maßstabsgetreu dargestellt sind. Tatsächlich können die Abmessungen der verschiedenen Merkmale zugunsten einer klaren Erläuterung willkürlich vergrößert oder verkleinert sein.

Fig. 1 veranschaulicht ein Beispiel eines FinFETs in einer dreidimensionalen Ansicht gemäß einigen Ausführungsformen.

Die **Fig. 2, Fig. 3, Fig. 4, Fig. 5, Fig. 6, Fig. 7, Fig. 8A, Fig. 8B, Fig. 9A, Fig. 9B, Fig. 10A, Fig. 10B, Fig. 10C, Fig. 10D, Fig. 11A, Fig. 11B, Fig. 12A, Fig. 12B, Fig. 13A, Fig. 13B, Fig. 14A, Fig. 14B, Fig. 14C, Fig. 15A, Fig. 15B, Fig. 16A, Fig. 16B, Fig. 17A, Fig. 17B, Fig. 18A, Fig. 18B, Fig. 19A, Fig. 19B, Fig. 20A, Fig. 20B, Fig. 21A, Fig. 21B, Fig. 22A, Fig. 22B** und **Fig. 22C** sind Schnittansichten von Zwischenstufen bei der Herstellung von FinFETs gemäß einigen Ausführungsformen.

Die **Fig. 17C** und **Fig. 18C** sind Schemazeichnungen eines Abscheidungsprozesses gemäß einigen Ausführungsformen.

Fig. 23 veranschaulicht eine Abscheidungskammer gemäß einigen Ausführungsformen.

Fig. 24 veranschaulicht Dicken einer Schicht, die gemäß einigen Ausführungsformen abge-schieden ist.

Die **Fig. 25A, Fig. 25B, Fig. 26A** und **Fig. 26B** sind Schnittansichten von Zwischenstufen bei der Herstellung von FinFETs gemäß einigen Ausführungsformen.

AUSFÜHRLICHE BESCHREIBUNG

[0004] Die folgende Offenbarung stellt viele unterschiedliche Ausführungsformen oder Beispiele zum Implementieren unterschiedlicher Merkmale der Erfindung bereit. Es werden nachfolgend spezielle Beispiele von Komponenten und Anordnungen beschrieben, um die vorliegende Offenbarung zu vereinfachen. Diese sind natürlich lediglich Beispiele und sollen nicht beschränken. Das Bilden eines ersten Merkmals über oder auf einem zweiten Merkmal in der folgenden Beschreibung kann beispielsweise Ausführungsformen umfassen, bei denen die ersten und die zweiten Merkmale in direktem Kontakt gebildet sind, und auch Ausführungsformen, bei denen zusätzliche Funktionen zwischen den ersten und den zweiten Merkmalen gebildet sein können, sodass die ersten und die zweiten Merkmale nicht in direktem Kontakt sein können. Außerdem kann die vorliegende Offenbarung Bezugsnummern und/oder -zeichen in den verschiedenen Beispielen wiederholen. Diese Wiederholung dient zum Zweck der Einfachheit und Klarheit und diktiert nicht an sich eine Beziehung zwischen den verschiedenen beschriebenen Ausführungsformen und/oder Konfigurationen.

[0005] Ferner können räumlich relative Begriffe, wie „darunter“, „unter“, „untere“, „über“, „obere“ und dergleichen zur Erleichterung der Erörterung hierin verwendet sein, um die Beziehung eines Elements oder Merkmals zu einem bzw. zu anderen Elementen oder Merkmalen wie veranschaulicht in den Figuren zu beschreiben. Die räumlich relativen Begriffe sollen zusätzlich zu der Ausrichtung, die in den Figuren gezeigt ist, verschiedene Ausrichtungen der Vorrichtung bei der Verwendung oder beim Betrieb der Vorrichtung umfassen. Die Vorrichtung kann anderweitig ausgerichtet sein (um 90 Grad gedreht oder in anderen Ausrichtungen) und die hierin verwendeten räumlichen relativen Beschreiber können desgleichen dementsprechend interpretiert werden.

[0006] Verschiedene Ausführungsformen weisen ein konformes Silizid in einer Source/Drain-Region auf. Verglichen mit nicht-konformen Siliziden (die z. B. unter Verwendung eines physikalischen Gasphasenabscheidungsprozesses (PVD-Prozesses) gebildet sind) kann das konforme Silizid einen reduzierten Source/Drain-Kontaktwiderstand (R_{csd}) ermöglichen. Es wurden beispielsweise R_{csd} -Reduzierungen von ungefähr 0,2 k Ω auf ungefähr 0,4 k Ω pro Finne eines FinFET-Transistors beobachtet, indem

konforme Silizide sowohl in NMOS- als auch in PMOS-FinFET-Transistoren aufgenommen wurden. Das konforme Silizid kann durch Abscheiden eines Metalls (z. B. Titan oder dergleichen) mittels eines konformen Abscheidungsprozesses, wie beispielsweise plasmaunterstützte chemische Gasphasenabscheidung (PECVD) oder dergleichen, gebildet werden. Aufgrund des konformen Abscheidungsprozesses kann der überschüssige Metallmaterialüberhang an den Seitenwänden der Source/Drain-Kontaktöffnungen gesteuert werden, was einen separaten Seitenwandreinigungsschritt zum Entfernen unerwünschter Metallüberhänge eliminiert. Das Metall kann auch bei einer ausreichenden Temperatur abgeschieden werden, sodass es sich mit einem kristallinen Material der Source/Drain-Region vermischt, was einen separaten Tempersschritt nach der Abscheidung eliminiert. Auf diese Weise können Ausführungsformen die Herstellungsschritte verringern, was die Herstellungseffizienz vorteilhaft erhöht und die Kosten senkt.

[0007] Fig. 1 veranschaulicht ein Beispiel eines FinFETs in einer dreidimensionalen Ansicht gemäß einigen Ausführungsformen. Der FinFET weist eine Finne 52 auf einem Substrat 50 (z. B. einem Halbleitersubstrat) auf. Die Isolierungsregionen 56 sind in dem Substrat 50 abgeschieden und die Finne 52 steht oberhalb und von zwischen benachbarten Isolierungsregionen 56 vor. Obwohl die Isolierungsregionen 56 als von dem Substrat 50 getrennt beschrieben/veranschaulicht sind, kann der Begriff „Substrat“, wie er hierin verwendet wird, verwendet werden, um nur das Halbleitersubstrat oder ein Halbleitersubstrat einschließlich Isolierungsregionen zu bezeichnen. Obwohl die Rippe 52 als ein einzelnes kontinuierliches Material wie das Substrat 50 veranschaulicht ist, kann die Rippe 52 und/oder das Substrat 50 ein einzelnes Material oder mehrere Materialien aufweisen. In diesem Zusammenhang bezieht sich die Rippe 52 auf den Abschnitt, der sich zwischen den benachbarten Isolierungsregionen 56 erstreckt.

[0008] Es befindet sich eine Gatedielektrikumschicht 92 entlang Seitenwänden und über einer oberen Fläche der Finne 52 und eine Gateelektrode 94 über der Gatedielektrikumschicht 92. Die Source/Drain-Regionen 82 sind an gegenüberliegenden Seiten der Finne 52 in Bezug auf die Gatedielektrikumschicht 92 und der Gateelektrode 94 angeordnet. Fig. 1 veranschaulicht ferner Bezugsschnitte, die in späteren Figuren verwendet werden. Der Schnitt A-A verläuft entlang einer Längsachse der Gateelektrode 94 und beispielsweise in einer Richtung senkrecht zu der Stromflussrichtung zwischen den Source/Drain-Regionen 82 des FinFET. Der Schnitt B-B verläuft senkrecht zu Schnitt A-A und entlang einer Längsachse der Finne 52 und in einer Richtung von beispielsweise einem Stromfluss zwischen den Source/Drain-Regionen 82 des FinFET. Der Schnitt C-C verläuft parallel zu Schnitt A-A und erstreckt sich durch eine Sour-

ce/Drain-Region des FinFET. Die anschließenden Figuren verweisen zur Übersichtlichkeit auf diese Bezugsquerschnitte.

[0009] Einige hierin beschriebene Ausführungsformen werden im Kontext von FinFETs beschrieben, die unter Verwendung eines Gate-Last-Prozesses gebildet werden. Bei anderen Ausführungsformen kann ein Gate-First-Prozess verwendet werden. Einige Ausführungsformen ziehen Aspekte in Betracht, die in planaren Vorrichtungen, wie planaren FETs verwendet werden.

[0010] Die Fig. 2 bis Fig. 16B sind Schnittdarstellungen von Zwischenstadien bei der Herstellung von FinFETs gemäß einigen Ausführungsformen. Die Fig. 2 bis Fig. 7 veranschaulichen den Bezugsschnitt A-A, der in Fig. 1 veranschaulicht ist, abgesehen von mehreren Finnen/FinFETs. Die Fig. 8A, Fig. 9A, Fig. 10A, Fig. 11A, Fig. 12A, Fig. 13A und Fig. 14A sind entlang des in Fig. 1 veranschaulichten Bezugsschnitts A-A veranschaulicht und die Fig. 8B, Fig. 9B, Fig. 10B, Fig. 11B, Fig. 12B, Fig. 13B, Fig. 14B, Fig. 14C, Fig. 15A, Fig. 16A, Fig. 17A, Fig. 18A, Fig. 19A, Fig. 20A, Fig. 21A und Fig. 22A sind entlang eines ähnlichen in Fig. 1 veranschaulichten Schnitts B-B veranschaulicht, mit Ausnahme von mehreren Finnen/FinFETs. Die Fig. 10C, Fig. 10D, Fig. 15B, Fig. 16B, Fig. 17B, Fig. 18B, Fig. 19B, Fig. 20B, Fig. 21B und Fig. 22B sind entlang des in Fig. 1 veranschaulichten Bezugsschnitts C-C veranschaulicht, mit Ausnahme von mehreren Finnen/FinFETs.

[0011] In Fig. 2 wird ein Substrat 50 vorgesehen. Das Substrat 50 kann ein Halbleitersubstrat wie ein Volumenhalbleiter, ein Halbleiter-auf-Isolator-Substrat (SOI-Substrat) oder dergleichen sein, das (z. B. mit einem p- oder einem n-Dotierstoff) dotiert oder undotiert sein kann. Im Allgemeinen ist ein SOI-Substrat eine Schicht aus einem Halbleitermaterial, die auf einer Isolatorschicht gebildet wird. Die Isolatorschicht kann beispielsweise eine vergrabene Oxid-Schicht (BOX-Schicht), eine Siliziumoxidschicht oder dergleichen sein. Die Isolatorschicht ist auf einem Substrat und typischerweise auf einem Silizium- oder Glassubstrat vorgesehen. Andere Substrate wie ein Mehrschicht- oder Gradientensubstrat können auch verwendet werden. Bei einigen Ausführungsformen kann das Halbleitermaterial des Substrats 50 Silizium; Germanium; einen Verbindungshalbleiter einschließlich Siliziumkarbid, Galliumarsenid, Galliumphosphid, Indiumphosphid, Indiumarsenid und/oder Indiumantimonid; einen Legierungshalbleiter einschließlich Siliziumgermanium, Galliumarsenidphosphid, Aluminiumindiumarsenid, Aluminiumgalliumarsenid, Galliumindiumarsenid, Galliumindiumphosphid und/oder Galliumindiumarsenidphosphid; oder Kombinationen davon aufweisen.

[0012] Das Substrat **50** kann Teil eines Wafers **10**, wie beispielsweise eines Siliziumwafers, sein. Auf dem Wafer **10** können beispielsweise verschiedene Strukturen für mehrere Chips zusammen gebildet werden. Anschließend kann ein Vereinzlungsprozess auf den Wafer **10** angewandt werden, um jeden Die von anderen Dies auf dem Wafer **10** zu trennen.

[0013] Das Substrat **50** weist eine Region **50N** und eine Region **50P** auf. Die Region **50N** kann zum Bilden von n-Vorrichtungen, wie beispielsweise NMOS-Transistoren, wie z. B. n-FinFETs, dienen. Die Region **50P** kann zum Bilden von p-Vorrichtungen, wie beispielsweise PMOS-Transistoren, wie z. B. p-FinFETs, dienen. Die Region **50N** kann physisch von der Region **50P** getrennt sein (wie veranschaulicht durch den Teiler **51**) und irgendeine Anzahl an Vorrichtungsmerkmalen (z. B. andere aktive Vorrichtungen, dotierte Regionen, Isolierungsstrukturen usw.) kann zwischen der Region **50N** und der Region **50P** angeordnet sein.

[0014] In Fig. 3 werden die Finnen **52** im Substrat **50** gebildet. Die Finnen **52** sind Halbleiterstreifen. Bei einigen Ausführungsformen können die Finnen **52** im Substrat **50** durch Ätzen von Gräben im Substrat **50** gebildet werden. Das Ätzen kann jeder akzeptable Ätzprozess sein wie ein reaktives Ionenätzen (RIE), Neutralstrahlätzen (NBE), dergleichen oder eine Kombination davon. Das Ätzen kann anisotrop sein.

[0015] Die Finnen können durch jedes geeignete Verfahren strukturiert werden. Beispielsweise können die Finnen unter Verwendung eines oder mehrerer Fotolithographieprozesse einschließlich Doppelstrukturierungs- oder Mehrstrukturierungsprozessen strukturiert werden. Generell kombinieren Doppelstrukturierungs- oder Mehrstrukturierungsprozesse Fotolithografie- und Selbstausrichtungsprozesse, was ermöglicht, Strukturen herzustellen, die beispielsweise Abstände aufweisen, die kleiner sind als das, was anderweitig unter Verwendung eines einzelnen direkten Fotolithographieprozesses erreichbar ist. Bei einer Ausführungsform wird beispielsweise eine Opferschicht über einem Substrat gebildet und unter Verwendung eines Fotolithographieprozesses strukturiert. Es werden Abstandselemente entlang der strukturierten Opferschicht unter Verwendung eines Selbstausrichtungsprozesses gebildet. Die Opferschicht wird dann entfernt und die verbleibenden Abstandselemente können dann verwendet werden, um die Finnen zu strukturieren. Bei einigen Ausführungsformen kann die Maske (oder eine andere Schicht) auf den Finnen **52** verbleiben.

[0016] In Fig. 4 wird ein Isoliermaterial **54** über dem Substrat **50** und zwischen benachbarten Finnen **52** gebildet. Das Isoliermaterial **54** kann ein Oxid wie Si-

liziumpulid, ein Nitrid, dergleichen oder eine Kombination davon sein und kann durch eine hochdichte chemische Plasma-Gasphasenabscheidung (HDP-CVD), eine fließfähige CVD (FCVD) (z. B. eine CVD-basierte Materialabscheidung in einem Remote-Plasmasystem und nachträgliches Aushärten, um es in ein anderes Material wie ein Oxid umzuwandeln), dergleichen oder eine Kombination davon gebildet werden. Andere mittels jedem akzeptablen Prozess gebildete Isoliermaterialien können verwendet werden. Bei der veranschaulichten Ausführungsform ist das Isoliermaterial **54** durch einen FCVD-Prozess gebildetes Siliziumoxid. Ein Ausheilprozess kann ausgeführt werden, sobald das Isoliermaterial gebildet ist. Bei einer Ausführungsform wird das Isoliermaterial **54** derart gebildet, dass überschüssiges Isoliermaterial **54** die Finnen **52** abdeckt. Obwohl das Isoliermaterial **54** als eine einzelne Schicht veranschaulicht ist, können bei einigen Ausführungsformen mehrere Schichten verwendet werden. Bei einigen Ausführungsformen kann beispielsweise zuerst eine Auskleidung (nicht gezeigt) entlang einer Fläche des Substrats **50** und der Finnen **52** gebildet werden. Danach kann ein Füllmaterial wie das vorstehend beschriebene über der Auskleidung gebildet werden.

[0017] In Fig. 5 wird ein Entfernungsprozess auf das Isoliermaterial **54** angewandt, um überschüssiges Isoliermaterial **54** über den Finnen **52** zu entfernen. Bei einigen Ausführungsformen kann ein Planarisierungsprozess, wie beispielsweise ein chemisch-mechanisches Polieren (CMP), ein Rückätzprozess, Kombinationen davon oder dergleichen verwendet werden. Der Planarisierungsprozess legt die Finnen **52** frei, sodass obere Flächen der Finnen **52** und des Isoliermaterials **54** nach Abschluss des Planarisierungsprozesses auf gleichem Niveau sind. Bei Ausführungsformen, bei denen eine Maske auf den Finnen **52** verbleibt, kann der Planarisierungsprozess die Maske freilegen oder die Maske entfernen, sodass entsprechend obere Flächen der Maske oder der Finnen **52** und das Isoliermaterial **54** nach Abschluss des Planarisierungsprozesses auf gleichem Niveau sind.

[0018] In Fig. 6 wird das Isoliermaterial **54** ausgespart, um flache Grabenisolationsregionen (STI-Regionen) **56** zu bilden. Das Isoliermaterial **54** wird derart ausgespart, dass obere Abschnitte der Finnen **52** in der Region **50N** und in der Region **50P** zwischen benachbarten STI-Regionen **56** vorstehen. Ferner können die oberen Flächen der STI-Regionen **56** wie veranschaulicht eine flache Oberfläche, eine konvexe Oberfläche, eine konkave Oberfläche (wie z. B. Hohlschliff) oder eine Kombination davon aufweisen. Die oberen Flächen der STI-Regionen **56** können durch ein geeignetes Ätzen flach, konvex und/oder konkav gebildet werden. Die STI-Regionen **56** können unter Verwendung eines akzeptablen Ätzprozesses, wie einem, der zu dem Material des Isoliermate-

rials **54** selektiv ist (z. B. das Material des Isoliermaterials **54** mit einer schnelleren Geschwindigkeit ätzt als das Material der Finnen **52**), ausgespart werden. Es kann beispielsweise eine Oxidentfernung unter Verwendung von beispielsweise verdünnter Flusssäure (dHF-Säure) verwendet werden.

[0019] Der unter Bezugnahme auf die **Fig. 2** bis **Fig. 6** beschriebene Prozess ist beispielsweise nur ein Beispiel dafür, wie die Finnen **52** gebildet werden können. Bei einigen Ausführungsformen können die Finnen durch einen Epitaxiewachstumsprozess gebildet werden. Es kann beispielsweise eine Dielektrikumschicht über einer oberen Fläche des Substrats **50** gebildet werden und es können Gräben durch die Dielektrikumschicht geätzt werden, um das darunterliegende Substrat **50** freizulegen. Homoepitaktische Strukturen können in den Gräben epitaktisch gewachsen werden und die Dielektrikumschicht kann derart ausgespart werden, dass die homoepitaktischen Strukturen von der Dielektrikumschicht vorstehen, um Finnen zu bilden. Zusätzlich können bei einigen Ausführungsformen heteroepitaxiale Strukturen für die Finnen **52** verwendet werden. Die Finnen **52** in **Fig. 5** können beispielsweise ausgespart werden und ein anderes Material als die Finnen **52** kann epitaktisch über den ausgesparten Finnen **52** gewachsen werden. Bei solchen Ausführungsformen weisen die Finnen **52** sowohl das ausgesparte Material als auch das epitaktisch gewachsene Material auf, das über dem ausgesparten Material angeordnet ist. Bei einer noch weiteren Ausführungsform kann eine Dielektrikumschicht über einer oberen Fläche des Substrats **50** gebildet werden und es können Gräben durch die Dielektrikumschicht geätzt werden. Es können dann heteroepitaktische Strukturen in den Gräben epitaktisch gewachsen werden, wobei ein anderes Material als das Substrat **50** verwendet wird, und die Dielektrikumschicht kann derart ausgespart werden, dass die heteroepitaktischen Strukturen von der Dielektrikumschicht vorstehen, um die Finnen **52** zu bilden. Bei einigen Ausführungsformen, bei denen Homoepitaxial- oder Heteroepitaxialstrukturen epitaktisch gewachsen werden, können die epitaktisch gewachsenen Materialien während des Wachstums in situ dotiert werden, was eine vorausgehende und anschließende Implantierung unnötig machen kann, obwohl In-situ- und Implantierungsdotierung zusammen verwendet werden können.

[0020] Ferner kann es vorteilhaft sein, ein Material in der Region **50N** (z. B. eine NMOS-Region) epitaktisch zu wachsen, das sich von dem Material in Region **50P** (z. B. eine PMOS-Region) unterscheidet. Bei verschiedenen Ausführungsformen können obere Abschnitte der Finnen **52** aus Siliziumgermanium ($\text{Si}_x\text{Ge}_{1-x}$, wobei x im Bereich von 0 bis 1 sein kann), Siliziumkarbid, reinem oder im Wesentlichen reinem Germanium, einem III-V-Verbindungshalbleiter, einem II-VI-Verbindungshalbleiter oder derglei-

chen gebildet werden. Die verfügbaren Materialien zum Bilden von III-V-Verbindungshalbleitern weisen beispielsweise, aber nicht ausschließlich, Indiumarsenid, Aluminiumarsenid, Galliumarsenid, Indiumphosphid, Galliumnitrid, Indiumgalliumarsenid, Indiumaluminiumarsenid, Galliumantimonid, Aluminiumantimonid, Aluminiumphosphid, Galliumphosphid und dergleichen auf.

[0021] Ferner können in **Fig. 6** geeignete Wannens (nicht gezeigt) in den Finnen **52** und/oder dem Substrat **50** gebildet werden. Bei einigen Ausführungsformen kann eine P-Wanne in der Region **50N** gebildet werden und eine N-Wanne in der Region **50P** gebildet werden. Bei einigen Ausführungsformen wird eine P-Wanne oder eine N-Wanne sowohl in der Region **50N** als auch in der Region **50P** gebildet.

[0022] Bei den Ausführungsformen mit unterschiedlichen Wannentypen können die unterschiedlichen Implantierungsschritte für die Region **50N** und die Region **50P** unter Verwendung eines Fotolacks oder anderer Masken (nicht gezeigt) erreicht werden. Es kann beispielsweise ein Fotolack über den Finnen **52** und den STI-Regionen **56** in der Region **50N** gebildet werden. Der Fotolack wird strukturiert, um die Region **50P** des Substrats **50**, wie beispielsweise eine PMOS-Region, freizulegen. Der Fotolack kann unter Verwendung einer Aufschleudertechnik gebildet werden und kann unter Verwendung von akzeptablen Fotolithografiertechniken strukturiert werden. Sobald der Fotolack strukturiert ist, wird eine n-Dotierstoff-Implantierung in der Region **50P** ausgeführt und der Fotolack kann als eine Maske agieren, um im Wesentlichen zu verhindern, dass n-Dotierstoffe in die Region **50N**, wie beispielsweise eine NMOS-Region, implantiert werden. Die n-Dotierstoffe können Phosphor, Arsen, Antimon oder dergleichen sein, die in der Region mit einer Konzentration von gleich oder kleiner als 10^{18} cm^{-3} , wie beispielsweise zwischen ungefähr 10^{16} cm^{-3} und ungefähr 10^{18} cm^{-3} , implantiert werden. Nach der Implantierung wird der Fotolack beispielsweise durch einen akzeptablen Veraschungsprozess entfernt.

[0023] Im Anschluss an das Implantieren der Region **50P** wird ein Fotolack über den Finnen **52** und den STI-Regionen **56** in der Region **50P** gebildet. Der Fotolack wird strukturiert, um die Region **50N** des Substrats **50**, wie beispielsweise eine NMOS-Region, freizulegen. Der Fotolack kann unter Verwendung einer Aufschleudertechnik gebildet werden und kann unter Verwendung von akzeptablen Fotolithografiertechniken strukturiert werden. Sobald der Fotolack strukturiert ist, kann eine p-Dotierstoffimplantierung in der Region **50N** ausgeführt werden und der Fotolack kann als eine Maske agieren, um im Wesentlichen zu verhindern, dass p-Dotierstoffe in die Region **50P** wie die PMOS-Region implantiert werden. Die p-Dotierstoffe können Bor, Borfluorid, Indium oder der-

gleichen sein, die in der zweiten Region mit einer Konzentration von gleich oder kleiner als 10^{18} cm⁻³, wie zwischen ungefähr 10^{16} cm⁻³ und ungefähr 10^{18} cm⁻³ implantiert werden. Nach der Implantierung kann der Fotolack beispielsweise durch einen akzeptablen Veraschungsprozess entfernt werden.

[0024] Nach den Implantierungen der Region **50N** und der Region **50P** kann ein Tempern erfolgen, um Implantierungsschäden zu reparieren und die n- und/oder p-Dotierstoffe, die implantiert wurden, zu aktivieren. Bei einigen Ausführungsformen können die gewachsenen Materialien von epitaktischen Finnen während des Wachsens in situ dotiert werden, was die Implantierungen unnötig machen kann, obwohl In-situ- und Implantierungsdotierung zusammen verwendet werden können.

[0025] In **Fig. 7** wird eine Dummydielektrikumschicht **60** auf den Finnen **52** gebildet. Die Dummydielektrikumschicht **60** kann beispielsweise Siliziumoxid, Siliziumnitrid, eine Kombination davon oder dergleichen sein und kann gemäß akzeptablen Techniken abgeschieden oder thermisch gewachsen werden. Eine Dummygateschicht **62** wird über der Dummydielektrikumschicht **60** gebildet und eine Maskenschicht **64** wird über der Dummygateschicht **62** gebildet. Die Dummygateschicht **62** kann über der Dummydielektrikumschicht **60** abgeschieden und dann beispielsweise durch einen CMP planarisiert werden. Die Maskenschicht **64** kann über der Dummygateschicht **62** abgeschieden werden. Die Dummygateschicht **62** kann ein leitendes oder nicht leitendes Material sein und kann aus einer Gruppe ausgewählt werden, die amorphes Silizium, polykristallines Silizium (Polysilizium), polykristallines Siliziumgermanium (Poly-Si-Ge), Metallnitride, Metallsilizide, Metalloxide und Metalle aufweist. Die Dummygateschicht **62** kann durch physikalische Gasphasenabscheidung (PVD), CVD, Sputterabscheidung oder andere Techniken, die auf dem Fachgebiet bekannt sind und für das Abscheiden des ausgewählten Materials verwendet werden, abgeschieden werden. Die Dummygateschicht **62** kann aus anderen Materialien hergestellt werden, die eine hohe Ätzselektivität vom Ätzen von Isolierungsregionen aufweisen. Die Maskenschicht **64** kann beispielsweise Siliziumnitrid, Siliziumoxynitrid oder dergleichen aufweisen. Bei diesem Beispiel werden eine einzelne Dummygateschicht **62** und eine einzelne Maskenschicht **64** über die Region **50N** und die Region **50P** hinweg gebildet. Es ist zu beachten, dass die Dummydielektrikumschicht **60** nur zur Veranschaulichung als nur die Finnen **52** abdeckend gezeigt ist. Bei einigen Ausführungsformen kann die Dummydielektrikumschicht **60** derart abgeschieden werden, dass die Dummydielektrikumschicht **60** die STI-Regionen **56** abdeckt und sich zwischen der Dummygateschicht **62** und den STI-Regionen **56** erstreckt.

[0026] Die **Fig. 8A** bis **Fig. 22B** veranschaulichen verschiedene zusätzliche Schritte bei der Herstellung von Ausführungsformvorrichtungen. Die **Fig. 8A** bis **Fig. 22B** veranschaulichen Merkmale in jeder der Region **50N** und der Region **50P**. Die Strukturen, die in den **Fig. 8A** bis **Fig. 16B** veranschaulicht sind, können beispielsweise sowohl auf die Region **50N** als auch die Region **50P** anwendbar sein. Differenzen (falls vorhanden) in den Strukturen der Region **50N** und der Region **50P** sind im Text beschrieben, der jede Figur begleitet.

[0027] In den **Fig. 8A** und **Fig. 8B** kann die Maskenschicht **64** (siehe **Fig. 7**) mit akzeptablen Fotolithografie- und Ätztechniken strukturiert werden, um die Masken **74** zu bilden. Die Struktur der Masken **74** kann dann auf die Dummygateschicht **62** übertragen werden. Bei einigen Ausführungsformen (nicht veranschaulicht) kann die Struktur der Masken **74** auch durch eine akzeptable Ätztechnik auf die Dummygateschicht **60** übertragen werden, um Dummygates **72** zu bilden. Die Dummygates **72** decken entsprechende Kanalregionen **58** der Finnen **52** ab. Die Struktur der Masken **74** kann verwendet werden, um jedes von den Dummygates **72** von benachbarten Dummygates physisch zu trennen. Die Dummygates **72** können auch eine Längsrichtung aufweisen, die im Wesentlichen senkrecht zur Längsrichtung der entsprechenden epitaktischen Finnen **52** ist.

[0028] Ferner können in den **Fig. 8A** und **Fig. 8B** Gateversiegelungsabstandselemente **80** auf freiliegenden Flächen der Dummygates **72**, den Masken **74** und/oder den Finnen **52** gebildet werden. Eine Thermooxidation oder eine Abscheidung gefolgt von einem anisotropen Ätzen kann die Gateversiegelungsabstandselemente **80** bilden. Die Gateversiegelungsabstandselemente **80** können aus Siliziumoxid, Siliziumnitrid, Siliziumoxynitrid oder dergleichen gebildet werden.

[0029] Nach der Bildung der Gateversiegelungsabstandselemente **80** können Implantierungen für schwach dotierte Source/Drain-Regionen (LDD-Regionen) (nicht explizit veranschaulicht) ausgeführt werden. Bei den Ausführungsformen mit unterschiedlichen Vorrichtungstypen, die den in **Fig. 6** vorstehend beschriebenen Implantierungen ähnlich sind, kann eine Maske wie ein Fotolack über der Region **50N** gebildet werden, während die Region **50P** freigelegt wird, und Dotierstoffe des geeigneten Typs (z. B. Typ p) können in die freigelegten Finnen **52** in der Region **50P** implantiert werden. Die Maske kann dann entfernt werden. Anschließend kann eine Maske, wie ein Fotolack über der Region **50P** gebildet werden, während die Region **50N** freigelegt wird, und Dotierstoffe des geeigneten Typs (z. B. Typ n) können in die freigelegten Finnen **52** in der Region **50B** implantiert werden. Die Maske kann dann entfernt werden. Die n-Dotierstoffe können irgendet-

che der zuvor beschriebenen n-Dotierstoffe sein und die p-Dotierstoffe können irgendwelche der zuvor beschriebenen p-Dotierstoffe sein. Die schwach dotierten Source/Drain-Regionen können eine Störstellenkonzentration von ungefähr 10^{15} cm^{-3} bis ungefähr 10^{19} cm^{-3} aufweisen. Ein Tempern kann zur Reparatur von Implantierungsschäden und zur Aktivierung der implantierten Dotierstoffe verwendet werden.

[0030] In den **Fig. 9A** und **Fig. 9B** werden Gateabstandselemente **86** auf den Gateversiegelungsabstandselementen **80** entlang von Seitenwänden der Dummygates **72** und der Masken **74** gebildet. Die Gateabstandselemente **86** können durch konformes Abscheiden eines Isoliermaterials und anschließendes anisotropes Ätzen des Isoliermaterials gebildet werden. Das Isoliermaterial der Gateabstandselemente **86** kann Siliziumoxid, Siliziumnitrid, Siliziumoxynitrid, Siliziumcarbonitrid, eine Kombination davon oder dergleichen sein.

[0031] Es ist zu beachten, dass die vorstehende Offenbarung im Allgemeinen einen Prozess des Bildens von Abstandselementen und LDD-Regionen beschreibt. Andere Verfahren und Sequenzen können verwendet werden. Es können beispielsweise weniger oder zusätzliche Abstandselemente verwendet werden, es kann eine andere Abfolge von Schritten verwendet werden (z. B. können die Gateversiegelungsabstandselemente **80** nicht geätzt werden, bevor die Gateabstandselemente **86** gebildet werden, wodurch „L-förmige“ Gateversiegelungsabstandselemente hervorgebracht, Abstandselemente gebildet und entfernt werden können und/oder dergleichen. Des Weiteren können die n- und p-Vorrichtungen unter Verwendung unterschiedlicher Strukturen und Schritte gebildet werden. Die LDD-Regionen für n-Vorrichtungen können beispielsweise vor dem Bilden der Gateversiegelungsabstandselemente **80** gebildet werden, während die LDD-Regionen für p-Vorrichtungen nach dem Bilden der Gateversiegelungsabstandselemente **80** gebildet werden können.

[0032] In den **Fig. 10A** und **Fig. 10B** werden epitaktische Source/Drain-Regionen **82** in den Finnen **52** gebildet, um in den entsprechenden Kanalregionen **58** eine mechanische Spannung auszuüben und dadurch die Leistung zu verbessern. Die epitaktischen Source/Drain-Regionen **82** werden in den Finnen **52** derart gebildet, dass jedes Dummygate **72** zwischen entsprechenden benachbarten Paaren der epitaktischen Source/Drain-Regionen **82** angeordnet wird. Bei einigen Ausführungsformen können sich die epitaktischen Source/Drain-Regionen **82** in die Finnen **52** erstrecken und auch durch sie hindurchdringen. Bei einigen Ausführungsformen werden die Gateabstandselemente **86** verwendet, um die epitaktischen Source/Drain-Regionen **82** von den Dummygates **72** durch einen geeigneten Seitenabstand zu trennen, sodass die epitaktischen Source/Drain-Regionen **82**

anschließend gebildete Gates der resultierenden FinFETs nicht kurzschließen.

[0033] Die epitaktischen Source/Drain-Regionen **82** in der Region **50N**, wie z. B., die NMOS-Region, können durch Maskieren der Region **50P**, z. B. die PMOS-Region, und Ätzen von Source/Drain-Regionen der Finnen **52** in der Region **50N** gebildet werden, um Aussparungen in den Finnen **52** zu bilden. Dann werden die epitaktischen Source/Drain-Regionen **82** in der Region **50N** in den Aussparungen epitaktisch gewachsen. Die epitaktischen Source/Drain-Regionen **82** können jedes akzeptable Material aufweisen, das für n-FinFETs geeignet ist. Wenn die Finne **52** beispielsweise aus Silizium besteht, können die epitaktischen Source/Drain-Regionen **82** in der Region **50N** Materialien aufweisen, die eine Zugbeanspruchung in der Kanalregion **58** ausüben, wie beispielsweise Silizium, Siliziumkarbid, phosphordotiertes Siliziumkarbid, Siliziumphosphid oder dergleichen. Die epitaktischen Source/Drain-Regionen **82** in der Region **50N** können Flächen aufweisen, die gegenüber entsprechenden Flächen der Finnen **52** erhöht sind, und sie können Abschrägungen aufweisen.

[0034] Die epitaktischen Source/Drain-Regionen **82** in der Region **50P**, wie z. B. die PMOS-Region, können durch Maskieren der Region **50N**, wie z. B. die NMOS-Region, gebildet werden und das Ätzen von Source/Drain-Regionen der Finnen **52** in der Region **50P** erfolgt, um Aussparungen in den Finnen **52** zu bilden. Dann werden die epitaktischen Source/Drain-Regionen **82** in der Region **50P** in den Aussparungen epitaktisch gewachsen. Die epitaktischen Source/Drain-Regionen **82** können jedes akzeptable Material aufweisen, das für p-FinFETs geeignet ist. Wenn die Finne **52** beispielsweise aus Silizium besteht, können die epitaktischen Source/Drain-Regionen **82** in der Region **50P** Materialien aufweisen, die eine Druckbeanspruchung in der Kanalregion **58** ausüben, wie beispielsweise Siliziumgermanium, bordotiertes Siliziumgermanium, Germanium, Germaniumzinn oder dergleichen. Die epitaktischen Source/Drain-Regionen **82** in der Region **50P** können auch Flächen aufweisen, die gegenüber entsprechenden Flächen der Finnen **52** erhöht sind, und sie können Abschrägungen aufweisen.

[0035] Die epitaktischen Source/Drain-Regionen **82** und/oder die Finnen **52** können mit Dotierstoffen implantiert werden, um Source/Drain-Regionen zu bilden, ähnlich dem Prozess, der zuvor beschrieben wurde, um schwach dotierte Source/Drain-Regionen zu bilden, gefolgt von einem Tempern. Die Source/Drain-Regionen können eine Störstellenkonzentration zwischen ungefähr 10^{19} cm^{-3} und ungefähr 10^{21} cm^{-3} aufweisen. Die n- und/oder p-Dotierstoffe für Source/Drain-Regionen können irgendwelche der zuvor beschriebenen Dotierstoffe sein. Bei einigen Ausführungsformen können die epitaktischen Sour-

ce/Drain-Regionen **82** während des Wachstums in situ dotiert werden.

[0036] Infolge der Epitaxieprozesse, die verwendet werden, um die epitaktischen Source/Drain-Regionen **82** in der Region **50N** und der Region **50P** zu bilden, weisen obere Flächen der epitaktischen Source/Drain-Regionen Abschrägungen auf, die sich seitlich nach außen über Seitenwände der Finnen **52** hinaus erstrecken. Bei einigen Ausführungsformen bewirken diese Abschrägungen, dass benachbarte Source/Drain-Regionen **82** eines gleichen Fin-FET wie veranschaulicht durch **Fig. 10C** verschmelzen. Bei anderen Ausführungsformen verbleiben benachbarte Source/Drain-Regionen **82** getrennt, nachdem der Epitaxieprozess abgeschlossen ist, wie es durch **Fig. 10D** veranschaulicht ist. Bei den Ausführungsformen, die in den **Fig. 10C** und **Fig. 10D** veranschaulicht sind, werden die Gateabstandselemente **86** gebildet, die einen Abschnitt der Seitenwände der Finnen **52** abdecken, die sich über die STI-Regionen **56** hinaus erstrecken und dadurch das epitaxiale Aufwachsen blockieren. Bei einigen anderen Ausführungsformen kann die für das Bilden der Gateabstandselemente **86** verwendete Abstandselemente-ätzen derart angepasst werden, dass das Abstandselementmaterial entfernt wird, um zu ermöglichen, dass sich die epitaktisch gewachsene Region zu der Fläche der STI-Region **56** erstreckt.

[0037] In den **Fig. 11A** und **Fig. 11B** wird ein erstes Zwischenschichtdielektrikum (ILD) **88** über der in den **Fig. 10A** und **Fig. 10B** veranschaulichten Struktur abgeschieden. Das erste ILD **88** kann aus einem Dielektrikum bestehen und durch jedes geeignete Verfahren, wie CVD, plasmagestützte CVD (PECVD) oder FCVD, abgeschieden werden. Dielektrika können Phosphorsilikatglas (PSG), Borosilikatglas (BSG), bordotiertes Phosphorsilikatglas (BPSG), undotiertes Silikatglas (USG) oder dergleichen aufweisen. Andere mittels jedem akzeptablen Prozess gebildete Isoliermaterialien können verwendet werden. Bei einigen Ausführungsformen ist eine Kontaktätzstopp-schicht (CESL) **87** zwischen dem ersten ILD **88** und den epitaktischen Source/Drain-Regionen **82**, den Masken **74** und den Gateabstandselementen **86** angeordnet. Die CESL **87** kann ein Dielektrikum, wie beispielsweise Siliziumnitrid, Siliziumoxid, Siliziumoxynitrid oder dergleichen, aufweisen, das eine andere Ätzrate aufweist als das Material des darüberliegenden ersten ILD **88**.

[0038] In den **Fig. 12A** und **Fig. 12B** kann ein Planarisierungsprozess wie ein CMP ausgeführt werden, um die obere Fläche des ersten ILD **88** an die oberen Flächen der Dummygates **72** oder der Masken **74** anzugleichen. Der Planarisierungsprozess kann auch die Masken **74** auf den Dummygates **72** und Abschnitte der Gateversiegelungsabstandselemente **80** und die Gateabstandselemente **86** entlang Sei-

tenwänden der Masken **74** entfernen. Nach dem Planarisierungsprozess sind obere Flächen der Dummygates **72**, die Gateversiegelungsabstandselemente **80**, die Gateabstandselemente **86** und das erste ILD **88** auf gleichem Niveau. Dementsprechend werden die oberen Flächen der Dummygates **72** durch das erste ILD **88** hindurch freigelegt. Bei einigen Ausführungsformen können die Masken **74** verbleiben, wobei in diesem Fall der Planarisierungsprozess die obere Fläche des ersten ILD **88** an die oberen Flächen der oberen Fläche der Masken **74** angleicht.

[0039] In den **Fig. 13A** und **Fig. 13B** werden die Dummygates **72** und die Masken **74**, falls vorhanden, in einem bzw. mehreren Ätzschritten entfernt, sodass die Aussparungen **90** gebildet werden. Abschnitte der Dummydielektrikumschicht **60** in den Aussparungen **90** können ebenfalls entfernt werden. Bei einigen Ausführungsformen werden nur die Dummygates **72** entfernt und die Dummydielektrikumschicht **60** verbleibt und wird durch die Aussparungen **90** freigelegt. Bei einigen Ausführungsformen wird die Dummydielektrikumschicht **60** von den Aussparungen **90** in einer ersten Region eines Die (z. B. einer Kernlogikregion) entfernt und verbleibt in den Aussparungen **90** in einer zweiten Region des Die (z. B. einer Ein-/Ausgaberegion). Bei einigen Ausführungsformen werden die Dummygates **72** durch einen anisotropen Trockenätzprozess entfernt. Beispielsweise kann der Ätzprozess einen Trockenätzprozess unter Verwendung von Reaktionsgas(en) umfassen, die selektiv die Dummygates **72** ätzen, ohne das erste ILD **88** oder die Gateabstandselemente **86** zu ätzen. Jede Aussparung **90** legt eine Kanalregion **58** einer entsprechenden Finne **52** frei und/oder liegt darüber. Jede Kanalregion **58** ist zwischen benachbarten Paaren der epitaktischen Source/Drain-Regionen **82** angeordnet. Während des Entfernens kann die Dummydielektrikumschicht **60** als eine Ätzstopp-schicht verwendet werden, wenn die Dummygates **72** geätzt werden. Die Dummydielektrikumschicht **60** kann dann nach dem Entfernen der Dummygates **72** optional entfernt werden.

[0040] In den **Fig. 14A** und **Fig. 14B** werden die Gatedielektrikumschichten **92** und Gateelektroden **94** für Austauschgates gebildet. **Fig. 14C** veranschaulicht eine Detailansicht der Region **89** von **Fig. 14B**. Die Gatedielektrikumschichten **92** werden in den Aussparungen **90**, wie beispielsweise auf den oberen Flächen und den Seitenwänden der Finnen **52**, und auf Seitenwänden der Gateversiegelungsabstandselemente **80**/Gateabstandselemente **86** konform abgeschieden. Die Gatedielektrikumschichten **92** können auch auf der oberen Fläche des ersten ILD **88** gebildet werden. Gemäß einigen Ausführungsformen weisen die Gatedielektrikumschichten **92** Siliziumoxid, Siliziumnitrid oder Mehrschichten davon auf. Bei einigen Ausführungsformen weisen die Gatedielektrikumschichten **92** ein High-k-Dielektrikum auf

und bei diesen Ausführungsformen können die Gate-dielektrikumschichten **92** einen k-Wert von größer als ungefähr 7,0 aufweisen und ein Metalloxid oder ein Silikat von Hafnium, Aluminium, Zirkonium, Lanthan, Mangan, Barium, Titan, Blei und Kombinationen davon aufweisen. Die Bildungsverfahren der Gate-dielektrikumschichten **92** können Molekularstrahlabscheidung (MBD), ALD, PECVD und dergleichen umfassen. Bei Ausführungsformen, bei denen Abschnitte des Dummygate-dielektrikums **60** in den Aussparungen **90** verbleiben, weisen die Gate-dielektrikumschichten **92** ein Material des Dummygate-dielektrikums **60** (z. B. SiO_2) auf.

[0041] Die Gateelektroden **94** werden entsprechend über den Gate-dielektrikumschichten **92** abgeschieden und füllen die verbleibenden Abschnitte der Aussparungen **90**. Die Gateelektroden **94** können ein metallhaltiges Material, wie beispielsweise Titanitrid, Titanoxid, Tantalnitrid, Tantalcarbid, Kobalt, Ruthenium, Aluminium, Wolfram, Kombinationen davon oder Mehrschichten davon aufweisen. Obwohl beispielsweise eine Einschichtgateelektrode **94** in **Fig. 14B** veranschaulicht ist, kann die Gateelektrode **94** irgendeine Anzahl an Auskleidungsschichten **94A**, irgendeine Anzahl an Austrittsarbeitsabstimmungsschichten **94B** und ein Füllmaterial **94C** aufweisen, wie es in **Fig. 14C** veranschaulicht ist. Nach dem Füllen der Aussparungen **90** kann ein Planarisierungsprozess wie ein CMP ausgeführt werden, um die überschüssigen Abschnitte der Gate-dielektrikumschichten **92** und das Material der Gateelektroden **94** zu entfernen, wobei sich die überschüssigen Abschnitte über der oberen Fläche des ILD **88** befinden. Die verbleibenden Materialabschnitte der Gateelektroden **94** und der Gate-dielektrikumschichten **92** bilden daher Austauschgate der resultierenden FinFETs. Die Gateelektroden **94** und die Gate-dielektrikumschichten **92** können zusammen als „Gatestapel 98“ bezeichnet werden. Das Gate und die Gatestapel können sich entlang Seitenwänden einer Kanalregion **58** der Finnen **52** erstrecken.

[0042] Das Bilden der Gate-dielektrikumschichten **92** in der Region **50N** und der Region **50P** kann gleichzeitig erfolgen, sodass die Gate-dielektrikumschichten **92** in jeder Region aus den gleichen Materialien gebildet werden und das Bilden der Gateelektroden **94** gleichzeitig erfolgen kann, sodass die Gateelektroden **94** in jeder Region aus den gleichen Materialien gebildet werden. Bei einigen Ausführungsformen können die Gate-dielektrikumschichten **92** in jeder Region durch unterschiedliche Prozesse gebildet werden, sodass die Gate-dielektrikumschichten **92** unterschiedliche Materialien sein können und/oder die Gateelektroden **94** in jeder Region durch unterschiedliche Prozesse gebildet werden können, sodass die Gateelektroden **94** unterschiedliche Materialien sein können. Es können verschiedene Maskierungsschritte verwendet werden, um geeignete Re-

gionen bei der Verwendung unterschiedlicher Prozesse zu maskieren und freizulegen.

[0043] Die **Fig. 15A** bis **Fig. 22B** veranschaulichen verschiedene Zwischenprozessschritte zum Bilden eines konformen Source/Drain-Silizids und eines Source/Drain-Kontakts gemäß verschiedenen Ausführungsformen. Die **Fig. 15A**, **Fig. 16A**, **Fig. 17A**, **Fig. 18A**, **Fig. 19A**, **Fig. 20A**, **Fig. 21A** und **Fig. 22A** veranschaulichen einen Schnitt, der einem Schnitt entlang der Linie B-B von **Fig. 1** ähnlich ist, außer in einem Bereich zwischen zwei benachbarten Gatestapeln **98**. Die **Fig. 15B**, **Fig. 16B**, **Fig. 17B**, **Fig. 18B**, **Fig. 19B**, **Fig. 20B**, **Fig. 21B** und **Fig. 22B** veranschaulichen einen Schnitt, der dem Schnitt entlang der Linie C-C in **Fig. 1** ähnlich ist. Obwohl eine verschmolzene Source/Drain-Konfiguration ähnlich der Konfiguration in **Fig. 10B** veranschaulicht ist, können verschiedene Ausführungsformen auch auf getrennte Source/Drain-Regionen ähnlich der **Fig. 10C** angewandt werden (siehe z. B. **Fig. 22C**, die eine Ausführungsform des Source/Drain-Kontakts **114** und des konformen Silizids **104** zeigt, die auf einer nicht verschmolzenen epitaktischen Source/Drain-Region **82** gebildet sind). Bei solchen Ausführungsformen kann ein separater Source/Drain-Kontakt gebildet werden, um jede der separaten Source/Drain-Regionen zu kontaktieren. Alternativ kann ein gemeinsamer Source/Drain-Kontakt gebildet werden, um zwei oder mehr der getrennten Source/Drain-Regionen zu kontaktieren.

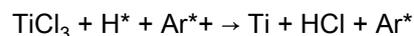
[0044] Unter Bezugnahme auf die **Fig. 15A** und **Fig. 15B** werden zwei Gatestapel **98** durch das erste ILD **88** und die CESL **97** getrennt und wird eine epitaktische Source/Drain-Region **82** zwischen den beiden Gatestapeln **98** gebildet. In einer verschmolzenen Source/Drain-Konfiguration der **Fig. 15B** kann in einer Region unter den epitaktischen Source/Drain-Regionen **82** ein Hohlraum **91** vorhanden sein (z. B. in einer Region, die unter einer Verschmelzungsgrenze der epitaktischen Source/Drain-Regionen **82** liegt). Der Hohlraum **91** kann als Resultat des Abscheidungsprozesses, der zum Bilden des ersten ILD **88** verwendet wird, gebildet werden. Der Hohlraum kann beispielsweise durch Steuern des Vorläufergasstroms in die Region unterhalb der Verschmelzungsgrenze der epitaktischen Source/Drain-Regionen **82** gebildet werden. Bei alternativen Ausführungsformen kann der Hohlraum ausgelassen werden. Bei noch weiteren alternativen Ausführungsformen kann das erste ILD **88** unterhalb der Verschmelzungsgrenze der epitaktischen Source/Drain-Region **82** vollständig ausgelassen werden. Der Hohlraum **91** kann sich beispielsweise kontinuierlich zwischen den benachbarten Gateabstandselementen **86** erstrecken, und der Hohlraum **91** kann sich von der epitaktischen Source/Drain-Region **82** zu den STI **56** erstrecken.

[0045] In den **Fig. 16A** und **Fig. 16B** werden die Öffnungen **100** zu den epitaktischen Source/Drain-Regionen **82** gebildet. Die Öffnungen **100** können mit akzeptablen Fotolithografie- und Ätztechniken (z. B. Nass- und/oder Trockenätzprozessen) gebildet werden. Das Ätzen kann anisotrop sein. Die Öffnungen **100** können durch Ätzen des ILD **88** gebildet werden, um die CESL **87** freizulegen. Dann können zudem Abschnitte des CESL **87** in den Öffnungen **100** entfernt werden. Die zum Ätzen des ILD **88** und der CESL **87** verwendeten Ätzmittel können gleich oder verschieden sein. Das Bilden der Öffnungen **100** kann ferner das Ätzen der epitaktischen Source/Drain-Regionen **82** umfassen, sodass die Öffnungen tiefer als eine Unterseite der Gatestapel **98** reichen. Durch Überätzen der epitaktischen Source/Drain-Regionen **82** kann der anschließend gebildete Source/Drain-Kontakt (siehe die **Fig. 22A** und **Fig. 22B**) zugunsten einer sicheren elektrischen Verbindung in die epitaktischen Source/Drain-Kontakte **82** eingebettet werden.

[0046] In den **Fig. 17A** und **Fig. 17B** wird ein erster Abschnitt **104A** eines Silizids **104** (siehe die **Fig. 19A** und **Fig. 19B**) auf freiliegenden Bereichen der epitaktischen Source/Drain-Regionen **82** unter Verwendung eines konformen Abscheidungsprozesses **102** gebildet. Der konforme Abscheidungsprozess **102** kann beispielsweise ein PECVD-Prozess sein, der in einer Abscheidungskammer, wie der Abscheidungskammer **250**, erfolgt (siehe **Fig. 23**). Unter Bezugnahme auf **Fig. 23** weist die Abscheidungskammer **250** einen Hochfrequenzgenerator (HF-Generator) **252** (z. B. mit Masse und einer Stromversorgung verbunden), eine HF-Steuerung **254**, einen Verteilerkopf **256**, eine Waferplattform **258**, Wände **260** und eine Steuerung **262** auf. Der Verteilerkopf **256** verteilt Vorläuferchemikalie(n) in der Abscheidungskammer **250**, und der HF-Generator **252** wandelt die Vorläuferchemikalie(n) in eine Plasmaform um, wie gesteuert durch die HF-Steuerung **254**. Die Steuerung **262** kann zum Steuern/Stabilisieren eines an den Wafer **10** gelieferten Stroms verwendet werden. Bei einigen Ausführungsformen kann die Steuerung **262** eine Impedanzheizvorrichtung für die Waferplattform **258** aufweisen. Der Wafer **10** wird auf einer Waferplattform **258** platziert. Bei einigen Ausführungsformen kann die Waferplattform **258** einen elektrostatischen Spannvorrichtung aufweisen. Die Waferplattform **258** kann an eine Spannungsquelle **262** angeschlossen werden, welche die Waferplattform **258** auflädt und während des Abscheidungsprozesses Plasmaionen (z. B. die von dem HF-Generator **252** aufgeladenen Vorläuferchemikalien) auf die obere Fläche des Wafers **10** zieht. Die Wände **260** der Abscheidungskammer **250** können auch mit Masse verbunden sein. **Fig. 23** veranschaulicht eine Ausführungsform der Abscheidungskammer. Es können jedoch auch andere Arten von Abscheidungskammern verwendet werden.

[0047] **Fig. 17C** veranschaulicht schematisch den konformen Abscheidungsprozess **102**. Wie durch **Fig. 17C** veranschaulicht, verteilt ein Verteilerkopf **256** Vorläuferchemikalien **204** in eine Abscheidungskammer (z. B. Abscheidungskammer **250** von **Fig. 23**). Bei Ausführungsformen, bei denen das Silizid **104** ein Titansilizid ist, können die Vorläuferchemikalien **204** Titan tetrachlorid (TiCl_4), Wasserstoff (**H2**) und Argon (Ar) aufweisen. Es wurde beobachtet, dass Titan aufgrund seiner geringeren Schottky-Barrierrhöhe (SBH) und seines verbesserten Siliziumverbrauchs im Vergleich zu anderen Metallen (z. B. Nickel) ein wünschenswertes Metall für die Silizidbildung ist. Bei anderen Ausführungsformen kann ein anderes Metall (z. B. Nickel, Kobalt oder dergleichen) für die Silizidbildung der epitaktischen Source/Drain-Regionen **82** abgeschieden werden. Bei solchen Ausführungsformen können die Vorläuferchemikalien **204** entsprechend angepasst werden.

[0048] Die Vorläuferchemikalien **204** werden angeregt und in Plasma **206** umgewandelt, wie beispielsweise unter Verwendung des HF-Generators **252** (siehe **Fig. 23**). Bei Ausführungsformen, bei denen das Silizid **104** ein Titansilizid ist, können beispielsweise die Vorläuferchemikalien **204** (die z. B. TiCl_4 , H_2 und Ar aufweisen) hauptsächlich in Titan (III)-Chlorid (TiCl_3), Wasserstoffionen (H^*) und Argonionen (Ar^{*+}) umgewandelt werden, obwohl Titan (II)-Chlorid (TiCl_2) und ein Rest von TiCl_4 auch vorhanden sein können. Beispielsweise kann das Plasma **206** eine größere Menge an TiCl_3 als TiCl_2 oder TiCl_4 aufweisen und der größte Teil an Titanchlorid im Plasma **206** ist TiCl_2 . Das Plasma **206** kann bei Temperatur weiter reagieren und als Ergebnis tritt der folgende Chlorreduktions-, Reaktionsmechanismus auf, um eine Titanschicht auf dem Wafer **10** abzuscheiden, während Chlorwasserstoff (HCl) und Argon als ein Nebenprodukt erzeugt werden. Die Nebenprodukte (z. B. HCl und Argon) können durch eine Pumpe aus dem Plasmawandler gespült werden.



[0049] Bei verschiedenen Ausführungsformen kann der konforme Abscheidungsprozess **102** bei einer ausreichend hohen Temperatur ausgeführt werden, um die vorstehend beschriebene chemische Reaktion des Plasmas **206** auszulösen. Die Verarbeitungstemperatur während des konformalen Abscheidungsprozesses **102** beträgt beispielsweise mindestens ungefähr 400°C . Die relativ hohe Verarbeitungstemperatur (z. B. mindestens ungefähr 400°C) ist ebenfalls ausreichend hoch, um zu bewirken, dass die abgeschiedene Titanschicht mit Siliziummolekülen an freigelegten Flächen der epitaktischen Source/Drain-Regionen **82** vermischt wird, was ein Titansilizid (z. B. der erste Abschnitt **104A**) per dem folgenden Reaktionsmechanismus bildet. Daher ist kein separater Tempersschritt erforderlich, um das Silizid zu bilden,

was die Herstellung erleichtert und die Herstellungskosten reduziert.

Ti + Si → TiSi

[0050] Während des konformen Abscheidungsprozesses **102** kann eine Leistung des HF-Generators **252**, ein Druck und/oder ein Gasstrom derart gesteuert werden, dass sie relativ niedrig sind. Daher kann das TiCl₄ primär in TiCl₃ anstelle von Titan(II)-chlorid (TiCl₂) umgewandelt werden. Während des konformen Abscheidungsprozesses **102** kann beispielsweise eine NF-Leistung im Bereich von ungefähr 80 W bis ungefähr 500 W; eine HF-Leistung im Bereich von ungefähr 100 W bis ungefähr 600 W; ein Druck von ungefähr 4 Torr bis ungefähr 10 Torr; und einen Gasdurchsatz von ungefähr 5 Normkubikzentimeter pro Minute (sccm) bis ungefähr 100 sccm verwendet werden. Es wurde beobachtet, dass das Verwenden von TiCl₃ einen Abscheidungs-/Ätzprozess bereitstellt, der für die kristallinen Flächen der epitaktischen Source/Drain-Regionen **82** selektiv ist. Auf diese Weise kann der erste Abschnitt **104A** des Silizids **104** auf der epitaktischen Source/Drain-Region **82** selektiv gewachsen werden, ohne dass er auf anderen freiliegenden Flächen des Wafers **10** (z. B. Flächen der Gateabstandselemente **86**, der Gatestapel **98** oder des ersten ILD **88**) signifikant gewachsen wird.

[0051] Ferner kann der konforme Abscheidungsprozess **102** ein selbstbegrenzender Prozess sein, so dass der Abscheidungsprozess von selbst endet, sobald der erste Abschnitt **104A** auf eine Dicke **T1** angewachsen ist. Die Dicke **T1** kann bei einigen Ausführungsformen in einem Bereich von ungefähr 2 nm bis ungefähr 4 nm liegen. Der erste Abschnitt **104A**, der aus dem konformen Abscheidungsprozess **102** resultiert, kann im Wesentlichen konform sein. Beispielsweise ist die Dicke Ti über den ersten Abschnitt **104A** hinweg unabhängig von einem darunterliegenden Winkel einer Fläche der epitaktischen Source/Drain-Region **82**, auf welcher der erste Abschnitt **104A** abgeschieden wird, im Wesentlichen gleichförmig. **Fig. 24** veranschaulicht beispielsweise experimentelle Daten, welche die Dicke einer Titansilizidschicht darstellen, die unter Verwendung von Ausführungsformabscheidungsverfahren gebildet wurde. Die x-Achse entspricht einem Winkel der darunter liegenden Fläche und die y-Achse entspricht einer Dicke des abgeschiedenen Titansilizids. Wie durch die Effektivwert-Linie (RMS-Linie) **270** der experimentellen Daten veranschaulicht, ist die Dicke des unter Verwendung der Ausführungsformverfahren gebildeten Titansilizids unabhängig von dem Winkel der darunterliegenden Fläche relativ einheitlich.

[0052] Unter Bezugnahme auf **Fig. 17C** reicht bei einigen Ausführungsformen die Dicke **T1** von ungefähr 1,71 nm (z. B. an einer dünnsten Stelle) bis zu

ungefähr 3,69 nm (z. B. an einer dicksten Stelle). Aufgrund von Prozessbeschränkungen kann es immer noch Variationen zwischen einer minimalen Dicke des ersten Abschnitts **104A** und einer maximalen Dicke des ersten Abschnitts **104A** geben. Der erste Abschnitt **104A** kann jedoch konform sein. Ein Verhältnis zwischen einer minimalen Dicke des ersten Abschnitts **104A** und einer maximalen Dicke des ersten Abschnitts **104A** kann beispielsweise in einem Bereich von ungefähr 3,5:1 bis ungefähr 5:1 liegen. Es wurde beobachtet, dass durch das Bilden eines Silizids mit Dickenvariationen in dem obigen Bereich der Source/Drain-Kontaktwiderstand infolge der verbesserten Abdeckung des Silizids auf den epitaktischen Source/Drain-Regionen **82** reduziert werden kann. Die verbesserte Abdeckung des Silizids ist ferner nicht von dem zugrundeliegenden Winkel der Fläche der Source/Drain-Region abhängig, auf der das Silizid gebildet wird.

[0053] Da der konforme Abscheidungsprozess **102** ein selbstbegrenzender Prozess ist, kann ein zweiter Abscheidungsprozess ausgeführt werden, um eine Dicke des Silizids zu erhöhen und den Source/Drain-Kontaktwiderstand weiter zu reduzieren, wie es in den **Fig. 18A** bis **Fig. 18C** veranschaulicht ist. Die **Fig. 18A** und **Fig. 18B** veranschaulichen Schnittansichten des Anwendens eines zweiten konformen Abscheidungsprozesses **106** an dem Wafer **10**, um einen zweiten Abschnitt **104B** des Silizids **104** zu bilden (siehe die **Fig. 19A** und **Fig. 19B**). Der zweite Abschnitt **104B** wird auf dem ersten Abschnitt **104A** gebildet. Der konforme Abscheidungsprozess **106** kann in situ (z. B. in der gleichen Abscheidungskammer) wie der konforme Abscheidungsprozess **102** ausgeführt werden.

[0054] **Fig. 18C** veranschaulicht schematisch den konformen Abscheidungsprozess **106**. Wie in **Fig. 18C** veranschaulicht, fährt der Verteilerkopf **256** fort, die Vorläuferchemikalien **204** in eine Abscheidungskammer zu verteilen (z. B. Abscheidungskammer **250** von **Fig. 23**). Die Vorläuferchemikalien **204** können die gleichen sein wie die Vorläuferchemikalien, die während des konformen Abscheidungsprozesses **102** verwendet werden.

[0055] Die Vorläuferchemikalien **204** werden angeregt und in Plasma **208** umgewandelt, wie beispielsweise unter Verwendung des HF-Generators **252** (siehe **Fig. 23**). Bei Ausführungsformen, bei denen das Silizid **104** ein Titansilizid ist, werden die Vorläuferchemikalien **204** (z. B., z. B. TiCl₄, H₂ und Ar) primär in Titan(II)-Chlorid (TiCl₂), Wasserstoffionen (H⁺) und Argonionen (Ar⁺) umgewandelt, obwohl TiCl₃ und ein Rest von TiCl₄ auch vorhanden sein können. Beispielsweise kann das Plasma **208** eine größere Menge an TiCl₂ als TiCl₃ oder TiCl₄ aufweisen und der größte Teil an Titanchlorid im Plasma **208** ist TiCl₂. Das Plasma **208** kann bei Temperatur weiter reagie-

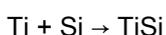
ren, was in dem folgenden, Chlorreduktions-, Reaktionsmechanismus resultiert, wobei eine Titanschicht auf freiliegenden Flächen des Wafers **10** abgeschieden wird, während Chlorwasserstoff (HCl) als ein Nebenprodukt erzeugt wird.



[0056] Bei verschiedenen Ausführungsformen kann der konforme Abscheidungsprozess **106** bei einer ausreichend hohen Temperatur ausgeführt werden, um die chemische Reaktion des Plasmas **206** auszulösen. Beispielsweise beträgt die Verarbeitungstemperatur während des konformen Abscheidungsprozesses **106** mindestens ungefähr 400 °C.

[0057] Während des konformen Abscheidungsprozesses **106** kann eine Leistung des HF-Generators **252**, ein Druck und/oder Gasstrom im Vergleich zu dem konformen Abscheidungsprozess **102** erhöht sein. Daher kann das TiCl_4 primär in TiCl_2 anstelle von TiCl_3 umgewandelt werden. Während des konformen Abscheidungsprozesses **106** kann beispielsweise eine NF-Leistung im Bereich von ungefähr 80 W bis ungefähr 500 W; eine HF-Leistung im Bereich von ungefähr 700 W bis ungefähr 1500 W; ein Druck von ungefähr 1 Torr bis ungefähr 3 Torr; und ein Gasdurchsatz von ungefähr 5 sccm bis ungefähr 100 sccm verwendet werden. Es wurde beobachtet, dass bei Verwendung von TiCl_2 als Reaktant der konforme Abscheidungsprozess **106** für die kristallinen Flächen der epitaktischen Source/Drain-Regionen **82** nicht selektiv ist. Daher kann Titan auf allen freiliegenden Flächen des Wafers **10** abgeschieden werden, einschließlich Flächen der Gateabstandselemente **86**, des Gatestapels **98** und des ersten ILD **88**.

[0058] Die relativ hohe Verarbeitungstemperatur (z. B. mindestens ungefähr 400 °C) des konformen Abscheidungsprozesses **106** ist auch ausreichend hoch, um zu bewirken, dass sich die Titanschicht weiterhin mit Siliziummolekülen an den freiliegenden Flächen der epitaktischen Source/Drain-Regionen **82** und dem ersten Abschnitt **104A** vermischt, was ein Titansilizid per dem folgenden Reaktionsmechanismus erzeugt. Daher ist kein separater Tempersschritt erforderlich, um das Silizid **104** zu bilden, was die Herstellung erleichtert und die Herstellungskosten reduziert. Beispielsweise wird zwischen dem konformen Abscheidungsprozess **106** und dem Bilden des Source/Drain-Kontakts **114** kein zusätzlicher Tempersschritt ausgeführt (siehe **Fig. 22A** bis **Fig. 22C**).



[0059] Außerdem kann das chlorhaltige Nebenprodukt der konformen Abscheidungsprozesse **102** und/oder **106** mit einem Material des Siliziumnitrids der Gateabstandselemente reagieren und Bindungen zwischen Silizium- und Stickstoffmolekülen aufbre-

chen. Infolgedessen kann sich die Titanschicht auf den Gateabstandselementen **86** auch mit Siliziummolekülen vermischen, um auch auf den Gateabstandselementen **86** ein Titansilizid zu bilden. Außerdem kann eine Metallschicht **104C**, die das ILD **88** kontaktiert, mit dem Siliziumoxidmaterial des ILD **88** reagieren, um eine Titanoxidschicht zu bilden. Dementsprechend können Abschnitte der Metallschicht **104C**, die das ILD **88** kontaktieren, in Titanoxid anstatt in ein Titansilizid umgewandelt werden.

[0060] Der konforme Abscheidungsprozess **106** kann zeitlich derart gesteuert werden, dass der Abscheidungsprozess beendet wird, sobald der zweite Abschnitt **104B** auf eine gewünschte Dicke **T2** angewachsen ist. Die Dicke **T2** kann geringer sein als die Dicke **T1** des ersten Abschnitts **104A**. Die Dicke **T2** kann bei einigen Ausführungsformen beispielsweise in einem Bereich von ungefähr 1 nm bis ungefähr 2 nm liegen. Der zweite Abschnitt **104B** kann im Wesentlichen konform sein. Die Dicke **T2** über den zweiten Abschnitt **104B** hinweg ist unabhängig von einem zugrundeliegenden Winkel einer Fläche, auf welcher der zweite Abschnitt **104B** gewachsen ist, im Wesentlichen gleichförmig. Aufgrund von Prozessbeschränkungen kann es immer noch Variationen zwischen einer minimalen Dicke des zweiten Abschnitts **104B** und einer maximalen Dicke des zweiten Abschnitts **104B** geben. Der zweite Abschnitt **104B** kann jedoch konform sein. Das Verhältnis zwischen einer minimalen Dicke des zweiten Abschnitts **104B** und einer maximalen Dicke des zweiten Abschnitts **104B** kann beispielsweise in einem Bereich von ungefähr 1:1 bis ungefähr 1,5:1 liegen. Es wurde beobachtet, dass durch das Bilden eines Silizids mit Dickenvariationen in dem obigen Bereich der Source/Drain-Kontaktwiderstand infolge der verbesserten Abdeckung des Silizids, die nicht von dem zugrundeliegenden Winkel der Fläche der Source/Drain-Region abhängt, auf der das Silizid gebildet wird, verringert werden kann. Ferner kann durch das Bilden von nur einer dünnen konformen Silizidschicht an Seitenwänden der Öffnung **100** ein übermäßiger Überhang an den Seitenwänden der Öffnung **100** vermieden werden. Bei verschiedenen Ausführungsformen bleibt ein Mund der Öffnung **100** auch nach dem Abscheiden des zweiten Abschnitts **104B** relativ breit. Daher muss die Silizidschicht (z. B. der zweite Abschnitt **104B**) vor der Bildung des Source/Drain-Kontakts nicht von Seitenwänden der Öffnung **100** entfernt werden, was die Herstellung erleichtert und die Herstellungskosten senkt.

[0061] Nach einem oder beiden der konformen Abscheidungsprozesse **102** und **106** kann ein Spülschritt ausgeführt werden, um ein Nebenprodukt aus der Abscheidungskammer zu entfernen. Wenn das Silizid **104** beispielsweise ein Titansilizid ist, wird ein chlorhaltiges Nebenprodukt erzeugt. Überschüsse an Chlor im Silizid können schädliche Auswirkungen, wie beispielsweise einen erhöhten Source/

Drain-Kontaktwiderstand, verursachen. Daher kann ein Wasserstoffgas in die Abscheidungskammer gepumpt werden, um das Nebenprodukt aus der Kammer und von den Flächen des Wafers **10** zu entfernen. Bei einigen Ausführungsformen können nach dem Spülen Spuren von Chlormolekülen im ersten Abschnitt **104A** und/oder im zweiten Abschnitt **104B** verbleiben. Beispielsweise kann ein Chlorgehalt von weniger als ungefähr 0,5 at.% im ersten Abschnitt **104A** und/oder im zweiten Abschnitt **104B** des Silizids verbleiben. Es wurde jedoch beobachtet, dass der Chlorgehalt in diesem Bereich nicht ausreichend ist, um den Kontaktwiderstand zwischen Source und Drain in der fertiggestellten Vorrichtung zu erhöhen.

[0062] Die **Fig. 19A** und **Fig. 19B** veranschaulichen eine Passivierungsbehandlung **108** an dem Wafer **10**. Bei einigen Ausführungsformen kann die Passivierungsbehandlung **108** in-situ (z. B. in der gleichen Prozesskammer) mit den konformen Abscheidungsprozessen **102** und **106** ausgeführt werden. Bei einigen Ausführungsformen umfasst die Passivierungsbehandlung das Einleiten einer Gasmischung, die Ammoniak und Stickstoff aufweist, in die Abscheidungskammer. Das Ammoniak und der Stickstoff werden dann in ein Plasma umgewandelt (z. B. unter Verwendung des HF-Generators **252**, siehe **Fig. 23**), um Stickstoffionen bereitzustellen. Die Stickstoffionen reagieren mit freiliegenden Flächen des zweiten Abschnitts **104B**, um einen Nitridabschnitt **104D** zu bilden. Die Kombination aus dem Nitridabschnitt **104D** und dem ersten Abschnitt **104A** ist ein Silizid **104** für die epitaktischen Source/Drain-Regionen **82**. Bei Ausführungsformen, bei denen das Silizid **104** ein Titansilizid ist, kann der Nitridabschnitt **104D** eine Titansiliziumnitridschicht (TSN-Schicht) auf den epitaktischen Source/Drain-Regionen **82** und den Gateabstandselementen **86** sein und der Nitridabschnitt **104D** kann eine Titanoxynitridschicht auf dem ILD **88** sein. Der Nitridabschnitt **104D** kann die Dicke **T2** von beispielsweise in einem Bereich von ungefähr 1 nm bis ungefähr 2 nm aufweisen. Die Passivierungsbehandlung **108** kann ausgeführt werden, um eine Oxidation des Silizids **104** in nachfolgenden Verarbeitungsschritten zu verhindern. Es wurde beobachtet, dass durch das Bilden einer Nitridschicht im obigen Bereich die Oxidation vorteilhaft verhindert werden kann, ohne den Kontaktwiderstand signifikant zu erhöhen.

[0063] Aufgrund von Prozessbeschränkungen kann es immer noch Variationen zwischen einer minimalen Dicke des Nitridabschnitts **104D** und einer maximalen Dicke des Nitridabschnitts **104D** geben. Der Nitridabschnitt **104D** kann jedoch konform sein. Ein Verhältnis zwischen einer minimalen Dicke des Nitridabschnitts **104D** und einer maximalen Dicke des Nitridabschnitts **104D** kann beispielsweise in einem Bereich von ungefähr 2:1 bis ungefähr 3:1 liegen. Es wurde beim Bilden eines konformen Nitridabschnitts

104D beobachtet, dass ein übermäßiger Überhang an Seitenwänden der Öffnung vermieden werden kann, was die Notwendigkeit eines Rückätzprozesses zum Entfernen des Nitridabschnitts **104D** von den Seitenwänden der Öffnung eliminiert, was die Herstellung erleichtert und die Kosten reduziert.

[0064] In den **Fig. 20A** und **Fig. 20B** wird eine Auskleidung **110** auf dem Silizid **104** abgeschieden. Bei einigen Ausführungsformen kann die Auskleidung **110** eine Diffusionssperrschicht, eine Haftschiicht, Kombinationen davon oder dergleichen aufweisen. Die Auskleidung **110** kann Titannitrid, Tantalnitrid, Titanoxid, Tantaloxid, Kombinationen davon oder dergleichen aufweisen und die Auskleidung **110** kann unter Verwendung eines konformen Prozesses wie CVD, PECVD, ALD oder dergleichen abgeschieden werden. Die Auskleidung **110** kann eine Dicke **T3** aufweisen, die im Bereich von ungefähr 1 nm bis ungefähr 2 nm, wie beispielsweise ungefähr 1,2 nm, liegen kann.

[0065] Wie auch in den **Fig. 20A** und **Fig. 20B** veranschaulicht, kann ein verbleibender Abschnitt der Öffnung **100** mit einem Metall **112** gefüllt werden. Das Metall **112** kann beispielsweise gebildet werden, indem zuerst eine Bekeimungsschicht abgeschieden wird (z. B. unter Verwendung von CVD, PECVD, ALD oder dergleichen) und dann ein Plattierungsprozess ausgeführt wird. Das Metall **112** kann Kupfer, eine Kupferlegierung, Silber, Gold, Wolfram, Kobalt, Aluminium, Nickel oder dergleichen sein.

[0066] Nach dem Plattieren kann ein Planarisierungsprozess, wie beispielsweise ein CMP, ausgeführt werden, um überschüssiges Material von einer Fläche des ILD **88** und den Gatestapeln **98** zu entfernen, wie es in den **Fig. 21A** und **Fig. 21B** veranschaulicht ist. Die verbleibende Auskleidung **110** und das leitende Material **112** bilden die Source/Drain-Kontakte **114**, die durch die Silizide **104** mit den epitaktischen Source/Drain-Regionen **82** elektrisch verbunden sind. Da die Silizide **104** unter Verwendung konformer Abscheidungsprozesse gebildet wurden, kann ein reduzierter Source/Drain-Kontaktwiderstand (R_{csd}) erreicht werden. Es wurden beispielsweise R_{csd} -Reduzierungen von ungefähr 0,2 k Ω auf ungefähr 0,4 k Ω pro Finne eines FinFET-Transistors beobachtet, indem konforme Silizide sowohl in NMOS- als auch in PMOS-FinFET-Transistoren aufgenommen wurden.

[0067] In den **Fig. 22A** und **Fig. 22B** wird ein zweites ILD **120** über dem ersten ILD **88** abgeschieden. Bei einer Ausführungsform ist das zweite ILD **120** ein durch ein fließfähiges CVD-Verfahren gebildeter fließfähiger Film. Bei einigen Ausführungsformen wird das zweite ILD **120** aus einem Dielektrikum wie PSG, BSG, BPSG, USG oder dergleichen gebildet und kann durch jedes geeignete Verfahren

wie CVD und PECVD abgeschieden werden. Gemäß einigen Ausführungsformen wird vor dem Bilden des zweiten ILD **120** der Gatestapel **98** (einschließlich einer Gatedielektrikumschicht **92** und einer entsprechenden darüberliegenden Gateelektrode **94**) optional ausgespart, sodass eine Aussparung direkt über dem Gatestapel und zwischen gegenüberliegenden Abschnitten der Gateabstandselemente **86** gebildet wird, wie es in den **Fig. 22A** und **Fig. 22B** veranschaulicht ist. Eine Gatemaske **96**, die eine oder mehrere Schichten aus Dielektrikum wie Siliziumnitrid, Siliziumoxynitrid oder dergleichen aufweist, wird in die Aussparung gefüllt gefolgt von einem Planarisierungsprozess, um überschüssige Abschnitte des Dielektrikums, die sich über das erste ILD **88** erstrecken, zu entfernen. Die anschließend gebildeten Gatekontakte **110** dringen durch die Gatemaske **96** hindurch, um die obere Fläche der ausgesparten Gateelektrode **94** zu kontaktieren. Das Aussparen des Gatestapels **98** und die Bildung der Gatemaske **96** kann vor oder nach der Bildung des Silizids **104** und/oder der Source/Drain-Kontakte **114** erfolgen.

[0068] Die Gatekontakte **118** und die Zweitebenen-Source/Drain-Kontakte **116** werden gemäß einer Ausführungsform durch das zweite ILD **120** gebildet. Öffnungen für die Source/Drain-Kontakte **116** werden durch das zweite ILD **120** gebildet und Öffnungen für den Gatekontakt **118** werden durch das zweite ILD **120** und die Gatemaske **96** gebildet. Die Öffnungen können unter Verwendung von akzeptablen Fotolithografie- und Ätztechniken gebildet werden. Eine Auskleidung wie eine Diffusionsspererschicht, eine Haftsicht oder dergleichen und ein leitfähiges Material wird in den Öffnungen gebildet. Die Auskleidung kann Titan, Titannitrid, Tantal, Tantalnitrid oder dergleichen aufweisen. Das leitfähige Material kann Kupfer, eine Kupferlegierung, Silber, Gold, Wolfram, Kobalt, Aluminium, Nickel oder dergleichen sein. Ein Planarisierungsprozess wie ein CMP kann ausgeführt werden, um überschüssiges Material von einer Fläche des zweiten ILD **120** zu entfernen. Die verbleibende Auskleidung und das leitende Material bilden die Source/Drain-Kontakte **116** und die Gatekontakte **118** in den Öffnungen. Die Source/Drain-Kontakte **116** sind über die Source/Drain-Kontakte **114** physisch und elektrisch mit den epitaktischen Source/Drain-Regionen **82** gekoppelt und die Gatekontakte **118** sind physisch und elektrisch mit den Gateelektroden **94** der Gatestapel **98** gekoppelt. Die Source/Drain-Kontakte **116** und die Gatekontakte **118** können in verschiedenen Prozessen oder im gleichen Prozess gebildet werden. Obwohl diese als in den gleichen Querschnitten gebildet gezeigt sind, versteht es sich, dass jeder der Source/Drain-Kontakte **116** und der Gatekontakte **118** in unterschiedlichen Querschnitten gebildet werden kann, was ein Kurzschließen der Kontakte vermeiden kann.

[0069] **Fig. 22C** veranschaulicht eine alternative Ausführungsform, bei welcher der Source/Drain-Kontakt **114** und das Silizid **104** auf einer einzigen, nicht verschmolzenen epitaktischen Source/Drain-Region **82** gebildet werden. Verschiedene Elemente von **Fig. 22C** sind den Elementen von **Fig. 22B** ähnlich, wobei gleiche Bezugsnummern gleiche Elemente angeben, die mit gleichen Prozessen gebildet wurden. Die epitaktische Source/Drain-Region **82** ist jedoch eine nicht verschmolzene Source/Drain-Region, die nicht mit benachbarten Source/Drain-Regionen (z. B. Regionen, die auf einer benachbarten Finne gewachsen sind) verbunden ist.

[0070] Verschiedene Ausführungsformen können auch zum Bilden des Silizids **104** und der Source/Drain-Kontakte **114** nach dem Abscheiden des zweiten ILD **120** verwendet werden. Die **Fig. 25A** bis **Fig. 26B** veranschaulichen beispielsweise eine solche Ausführungsform. Die **Fig. 25A** und **Fig. 25B** sind den entsprechenden **Fig. 16A** und **Fig. 16B** ähnlich, wobei gleiche Bezugsnummern gleiche Elemente angeben, die mit gleichen Prozessen hergestellt wurden. In den **Fig. 25A** und **Fig. 25B** ist jedoch eine Source/Drain-Kontaktöffnung **122** unter Verwendung akzeptabler Fotolithografie- und Ätzprozesse sowohl durch das erste ILD **88** als auch durch das zweite ILD **120** strukturiert. Bei dieser Ausführungsform wird die Öffnung **122** nach dem Abscheiden des zweiten ILD **120** strukturiert. Obwohl das zweite ILD **120** als direkt das erste ILD **88** kontaktierend veranschaulicht ist, können eine oder mehrere Zwischenschichten (z. B. Ätzstoppschichten) zwischen dem ersten ILD **88** und dem zweiten ILD **120** gebildet werden. Die Öffnung **122** wird durch diese Zwischenschichten hindurch geätzt.

[0071] In den **Fig. 26A** und **Fig. 26B** wird ein Silizid **104** (das einen ersten Abschnitt **104A** und einen Nitridabschnitt **104D** aufweist) auf freiliegenden Flächen der epitaxialen Source/Drain-Region **82** unter Verwendung ähnlicher Prozesse wie vorstehend in Bezug auf die **Fig. 17A** bis **Fig. 19B** beschrieben gebildet. Der Nitridabschnitt **104D** des Silizids **104** kann ferner auf Seitenwänden der Öffnung **122** gebildet werden, wie beispielsweise auf Seitenwänden der Gateabstandselemente **86**, Seitenwänden des ersten ILD **88** und Seitenwänden des zweiten ILD **120**. Ein Source/Drain-Kontakt **114** wird unter Anwendung ähnlicher Prozesse wie vorstehend in Bezug auf die **Fig. 20A** bis **Fig. 22C** beschrieben auf dem Silizid **104** gebildet. Der Source/Drain-Kontakt **114** kann bei einigen Ausführungsformen eine konforme Auskleidung **110** aufweisen.

[0072] Verschiedene hierin beschriebene Ausführungsformen weisen ein konformes Silizid in einer Source/Drain-Region auf. Das konforme Silizid kann einen verringerten Source/Drain-Kontaktwiderstand (R_{csd}) ermöglichen. Es wurden beispielsweise R_{csd}

Reduzierungen von ungefähr 0,2 k Ω auf ungefähr 0,4 k Ω pro Finne eines FinFET-Transistors beobachtet, indem konforme Silizide sowohl in NMOS- als auch in PMOS-FinFET-Transistoren aufgenommen wurden. Das konforme Silizid kann durch Abscheiden eines Metalls (z. B. Titan oder dergleichen) mittels eines konformen Abscheidungsprozesses gebildet werden. Der konforme Abscheidungsprozess kann einen Plasmaprozess umfassen, der einen selektiven Prozess in Kombination mit einem nicht selektiven Prozess umfassen kann. Aufgrund des konformen Abscheidungsprozesses kann der überschüssige Metallmaterialüberhang an den Seitenwänden der Source/Drain-Kontaktöffnungen gesteuert werden, was einen separaten Seitenwandreinigungsschritt zum Entfernen unerwünschter Metallüberhänge eliminiert. Das Metall kann auch bei einer ausreichenden Temperatur abgeschieden werden, sodass es sich mit einem kristallinen Material der Source/Drain-Region vermischt, was einen separaten Tempersschritt nach der Abscheidung eliminiert. Auf diese Weise können Ausführungsformen die Herstellungsschritte verringern, was die Herstellungseffizienz vorteilhaft erhöht und die Kosten senkt.

[0073] Bei einigen Ausführungsformen weist eine Vorrichtung einen Gatestapel auf; ein Gateabstandselement an einer Seitenwand des Gatestapels; eine Source/Drain-Region neben dem Gatestapel; ein Silizid, aufweisend: einen konformen ersten Abschnitt, der sich in die Source/Drain-Region erstreckt, wobei der konforme erste Abschnitt ein Metall und Silizium aufweist; und einen konformen zweiten Abschnitt über dem konformen ersten Abschnitt, wobei der konforme zweite Abschnitt ferner an einer Seitenwand des Gateabstandselements angeordnet ist und der konforme zweite Abschnitt das Metall, Silizium und Stickstoff aufweist; und einen Source/Drain-Kontakt, der durch das Silizid elektrisch mit der Source/Drain-Region verbunden ist. Bei einigen Ausführungsformen ist das Metall Titan, der konforme erste Abschnitt weist Titansilizium (TiSi) auf und der konforme zweite Abschnitt weist Titansiliziumstickstoff (TSN) auf. Bei einigen Ausführungsformen liegt die Dicke des konformen ersten Abschnitts in einem Bereich von 2 nm bis 4 nm. Bei einigen Ausführungsformen liegt die Dicke des konformen zweiten Abschnitts in einem Bereich von 1 nm bis 2 nm. Bei einigen Ausführungsformen weist der Source/Drain-Kontakt eine Auskleidung; und ein Metall über der Auskleidung auf. Bei einigen Ausführungsformen weist das Silizid Chlor auf. Bei einigen Ausführungsformen beträgt das Chlor im Silizid weniger als 0,5 Atom-%.

[0074] Bei einigen Ausführungsformen weist eine Vorrichtung einen Gatestapel über einer Kanalregion eines Transistors; ein Gateabstandselement an einer Seitenwand des Gatestapels; eine Source/Drain-Region neben der Kanalregion; ein Silizid, das sich in die Source/Drain-Region erstreckt, auf, wobei das Si-

luzid aufweist: einen Titansiliziumabschnitt, wobei ein Verhältnis einer minimalen Dicke des Titansiliziumabschnitts zu einer maximalen Dicke des Titansiliziumabschnitts in einem Bereich von 3,5:1 bis 5:1 liegt; und einen Titansiliziumnitridabschnitt auf dem Titansiliziumabschnitt, wobei ein Verhältnis einer minimalen Dicke des Titansiliziumnitridabschnitts zu einer maximalen Dicke des Titansiliziumnitridabschnitts in einem Bereich von 1:1 bis 1,5:1 liegt; und einen Source/Drain-Kontakt, der mit dem Silizid elektrisch mit der Source/Drain-Region verbunden ist. Bei einigen Ausführungsformen erstreckt sich der Titansiliziumnitridabschnitt über Seiten des Titansiliziumabschnitts und entlang dieser. Bei einigen Ausführungsformen erstreckt sich der Titansiliziumnitridabschnitt entlang von Seitenwänden des Gateabstandselements. Bei einigen Ausführungsformen weist die Vorrichtung ferner ein erstes Zwischenschichtdielektrikum (ILD) um den Gatestapel herum auf, wobei sich das Silizid entlang von Seitenwänden des ersten ILD erstreckt. Bei einigen Ausführungsformen weist die Vorrichtung ferner ein zweites ILD über dem ersten ILD und dem Gatestapel auf, wobei sich das Silizid entlang von Seitenwänden des zweiten ILD erstreckt.

[0075] Bei einigen Ausführungsformen umfasst ein Verfahren das Strukturieren einer Öffnung durch ein Zwischenschichtdielektrikum (ILD) hindurch, wobei die Öffnung eine Fläche einer Source/Drain-Region freilegt; das Bilden eines Silizids in der Öffnung, wobei das Bilden des Silizids umfasst: Ausführen eines ersten konformen Abscheidungsprozesses, um einen ersten Metall aufweisenden Abschnitt auf der Source/Drain-Region zu bilden; Ausführen eines zweiten konformen Abscheidungsprozesses, um einen zweiten Metall aufweisenden Abschnitt auf dem ersten Metall aufweisenden Abschnitt zu bilden, wobei sich Prozessparameter des ersten konformen Abscheidungsprozesses von denen des zweiten konformen Abscheidungsprozesses unterscheiden; und Ausführen einer Passivierungsbehandlung an dem zweiten Metall aufweisenden Abschnitt; und Bilden eines Source/Drain-Kontakts in der Öffnung über dem Silizid. Bei einigen Ausführungsformen werden der erste konforme Abscheidungsprozess und der zweite konforme Abscheidungsprozess jeweils bei einer Temperatur von mindestens 400 °C ausgeführt. Bei einigen Ausführungsformen wird zwischen dem zweiten konformen Abscheidungsprozess und dem Bilden des Source/Drain-Kontakts kein Temperprozess ausgeführt. Bei einigen Ausführungsformen umfassen der erste konforme Abscheidungsprozess und der zweite konforme Abscheidungsprozess jeweils das Verwenden eines TiCl₄-Vorläufers, wobei der erste konforme Abscheidungsprozess einen ersten Plasmaprozess umfasst, der eine Mehrheit des TiCl₄-Vorläufers in TiCl₃ umwandelt, und wobei der zweite konforme Abscheidungsprozess einen zweiten Plasmaprozess umfasst, der eine Mehrheit des TiCl₄-Vorläufers in TiCl₂ umwandelt. Bei einigen Ausführungs-

formen weist der zweite konforme Abscheidungsprozess eine höhere Leistung, einen höheren Druck, einen höheren Gasstrom oder eine Kombination davon als der erste konforme Abscheidungsprozess auf. Bei einigen Ausführungsformen wandelt das Ausführen der Passivierungsbehandlung den zweiten Metall aufweisenden Abschnitt in ein Nitrid um. Bei einigen Ausführungsformen umfasst das Verfahren ferner das Ausführen eines Spülprozesses, um Nebenprodukte des ersten konformen Abscheidungsprozesses oder des zweiten konformen Abscheidungsprozesses zu entfernen. Bei einigen Ausführungsformen legt die Öffnung eine Seitenwand eines Gateabstandselements frei, der zweite konforme Abscheidungsprozess bildet den zweiten Metall aufweisenden Abschnitt auf einer Seitenwand des Gateabstandselements und der zweite Metall aufweisende Abschnitt wird von den Seitenwänden des Gateabstandselements nicht entfernt.

[0076] Das Vorhergehende beschreibt Merkmale von mehreren Ausführungsformen, sodass der Fachmann die Aspekte der vorliegenden Offenbarung besser verstehen kann. Dem Fachmann sollte offensichtlich sein, dass er ohne Weiteres die vorliegende Offenbarung als eine Basis verwenden kann, um andere Prozesse und Strukturen zu konzipieren oder zu modifizieren, um die gleichen Zwecke auszuführen und/oder die gleichen Vorteile der hierin eingeführten Ausführungsformen zu erreichen. Der Fachmann sollte auch realisieren, dass solche äquivalente Aufbauten nicht vom Sinn und Umfang der vorliegenden Offenbarung abweichen, und dass er verschiedene Änderungen, Ersetzungen und Modifikationen hierin vornehmen kann, ohne vom Sinn und Umfang der vorliegenden Offenbarung abzuweichen.

Patentansprüche

1. Vorrichtung, aufweisend:
einen Gatestapel;
ein Gateabstandselement an einer Seitenwand des Gatestapels;
eine Source/Drain-Region neben dem Gatestapel;
ein Silizid, aufweisend:
einen konformen ersten Abschnitt, der sich in die Source/Drain-Region erstreckt, wobei der konforme erste Abschnitt ein Metall und Silizium aufweist; und
einen konformen zweiten Abschnitt über dem konformen ersten Abschnitt, wobei der konforme zweite Abschnitt ferner an einer Seitenwand des Gateabstandselements angeordnet ist und der konforme zweite Abschnitt das Metall, Silizium und Stickstoff aufweist; und
einen Source/Drain-Kontakt, der durch das Silizid elektrisch mit der Source/Drain-Region verbunden ist.

2. Vorrichtung nach Anspruch 1, wobei das Metall Titan ist, der konforme erste Abschnitt Titansilizium

(TiSi) aufweist und der konforme zweite Abschnitt Titansiliziumstickstoff (TSN) aufweist.

3. Vorrichtung nach Anspruch 1 oder 2, wobei die Dicke des konformen ersten Abschnitts in einem Bereich von 2 nm bis 4 nm liegt.

4. Vorrichtung nach einem der vorstehenden Ansprüche, wobei die Dicke des konformen zweiten Abschnitts in einem Bereich von 1 nm bis 2 nm liegt.

5. Vorrichtung nach einem der vorstehenden Ansprüche, wobei der Source/Drain-Kontakt aufweist:
eine Auskleidung; und
ein Metall über der Auskleidung.

6. Vorrichtung nach einem der vorstehenden Ansprüche, wobei das Silizid Chlor aufweist.

7. Vorrichtung nach Anspruch 6, wobei das Chlor in dem Silizid weniger als 0,5 Atom-% beträgt.

8. Vorrichtung, aufweisend:
einen Gatestapel über einer Kanalregion eines Transistors;
ein Gateabstandselement an einer Seitenwand des Gatestapels;
eine Source/Drain-Region neben der Kanalregion;
ein Silizid, das sich in die Source/Drain-Region erstreckt, wobei das Silizid aufweist:
einen Titansiliziumabschnitt, wobei ein Verhältnis einer minimalen Dicke des Titansiliziumabschnitts zu einer maximalen Dicke des Titansiliziumabschnitts in einem Bereich von 3,5:1 bis 5:1 liegt; und
einen Titansiliziumnitridabschnitt auf dem Titansiliziumabschnitt, wobei ein Verhältnis einer minimalen Dicke des Titansiliziumnitridabschnitts zu einer maximalen Dicke des Titansiliziumnitridabschnitts in einem Bereich von 1:1 bis 1,5:1 liegt; und
einen Source/Drain-Kontakt, der mit dem Silizid mit der Source/Drain-Region elektrisch verbunden ist.

9. Vorrichtung nach Anspruch 8, wobei sich der Titansiliziumnitridabschnitt über und entlang den Seiten des Titansiliziumabschnitts erstreckt.

10. Vorrichtung nach Anspruch 8, wobei sich der Titansiliziumnitridabschnitt entlang von Seitenwänden des Gateabstandselements erstreckt.

11. Vorrichtung nach einem der vorstehenden Ansprüche 8 bis 10, ferner aufweisend ein erstes Zwischenschichtdielektrikum (ILD) um den Gatestapel herum, wobei sich das Silizid entlang von Seitenwänden des ersten ILD erstreckt.

12. Vorrichtung nach Anspruch 11, ferner aufweisend ein zweites ILD über dem ersten ILD und dem Gatestapel, wobei sich das Silizid entlang von Seitenwänden des zweiten ILD erstreckt.

13. Verfahren, umfassend:

Strukturieren einer Öffnung durch ein Zwischenschichtdielektrikum (ILD), wobei die Öffnung eine Fläche einer Source/Drain-Region freilegt;

Bilden eines Silizids in der Öffnung, wobei das Bilden des Silizids umfasst:

Ausführen eines ersten konformen Abscheidungsprozesses, um einen ersten Metall aufweisenden Abschnitt auf der Source/Drain-Region zu bilden;

Ausführen eines zweiten konformen Abscheidungsprozesses, um einen zweiten Metall aufweisenden Abschnitt auf dem ersten Metall aufweisenden Abschnitt zu bilden, wobei sich Prozessparameter des ersten konformen Abscheidungsprozesses von denen des zweiten konformen Abscheidungsprozesses unterscheiden; und

Ausführen einer Passivierungsbehandlung an dem zweiten Metall aufweisenden Abschnitt; und

Bilden eines Source/Drain-Kontakts in der Öffnung über dem Silizid.

14. Verfahren nach Anspruch 13, wobei der erste konforme Abscheidungsprozess und der zweite konforme Abscheidungsprozess jeweils bei einer Temperatur von mindestens 400 °C ausgeführt werden.

15. Verfahren nach Anspruch 14, wobei zwischen dem zweiten konformen Abscheidungsprozess und dem Bilden des Source/Drain-Kontakts kein Temperprozess ausgeführt wird.

16. Verfahren nach Anspruch 14 oder 15, wobei der erste konforme Abscheidungsprozess und der zweite konforme Abscheidungsprozess jeweils das Verwenden eines $TiCl_4$ -Vorläufers umfasst, wobei der erste konforme Abscheidungsprozess einen ersten Plasmaprozess umfasst, der eine Mehrheit des $TiCl_4$ -Vorläufers in $TiCl_3$ umwandelt, und wobei der zweite konforme Abscheidungsprozess einen zweiten Plasmaprozess umfasst, der eine Mehrheit des $TiCl_4$ -Vorläufers in $TiCl_2$ umwandelt.

17. Verfahren nach Anspruch 16, wobei der zweite konforme Abscheidungsprozess eine höhere Leistung, einen höheren Druck, einen höheren Gasstrom oder eine Kombination davon aufweist als der erste konforme Abscheidungsprozess.

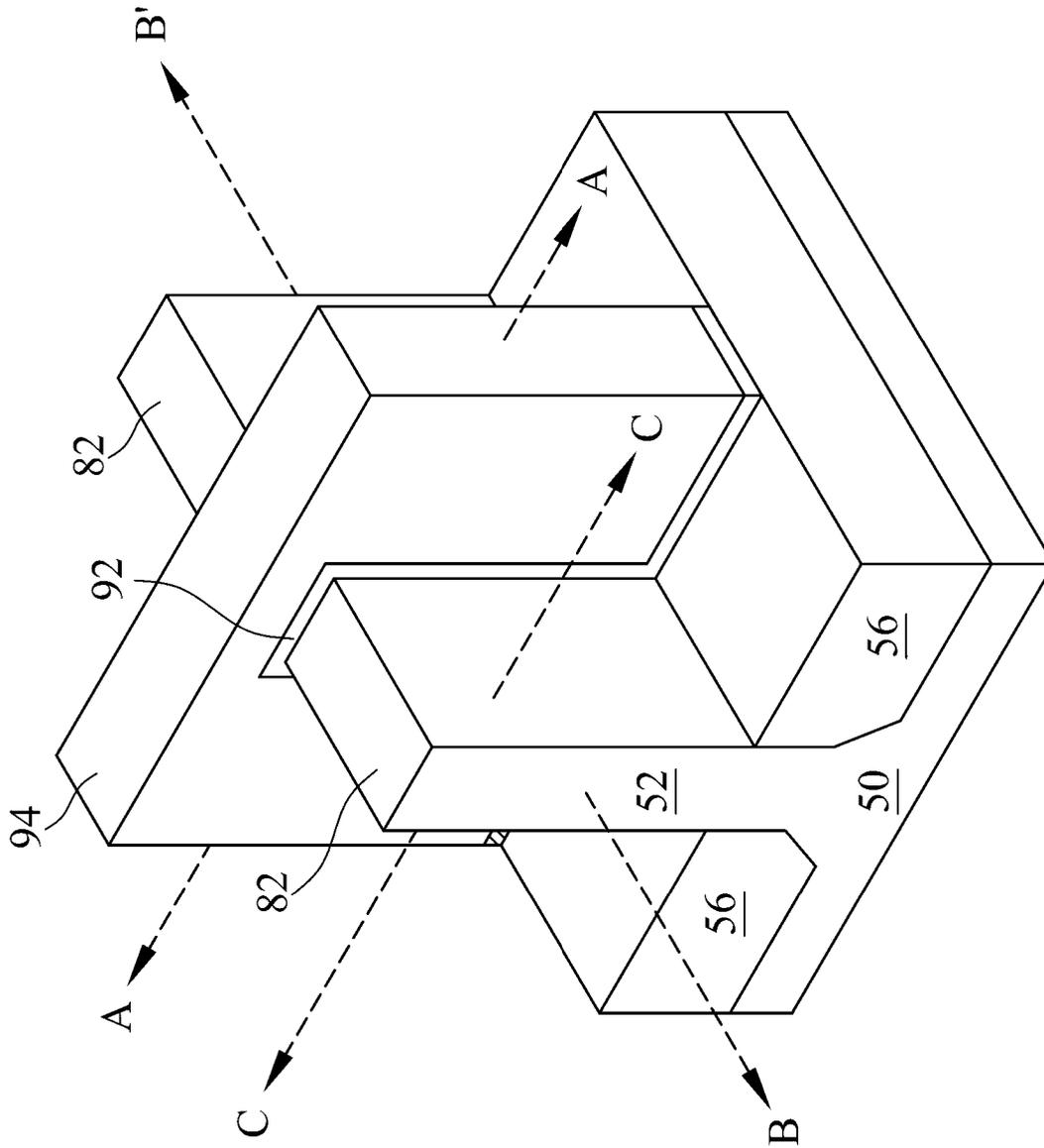
18. Verfahren nach einem der vorstehenden Ansprüche 13 bis 17, wobei das Ausführen der Passivierungsbehandlung den zweiten Metall aufweisenden Abschnitt in ein Nitrid umwandelt.

19. Verfahren nach einem der vorstehenden Ansprüche 13 bis 18, ferner umfassend das Ausführen eines Spülprozesses, um Nebenprodukte des ersten konformen Abscheidungsprozesses oder des zweiten konformen Abscheidungsprozesses zu entfernen.

20. Verfahren nach einem der vorstehenden Ansprüche 13 bis 19, wobei die Öffnung eine Seitenwand eines Gateabstandselements freilegt, wobei der zweite konforme Abscheidungsprozess den zweiten Metall aufweisenden Abschnitt auf einer Seitenwand des Gateabstandselements bildet, und wobei der zweite Metall aufweisende Abschnitt nicht von den Seitenwänden des Gateabstandselements entfernt wird.

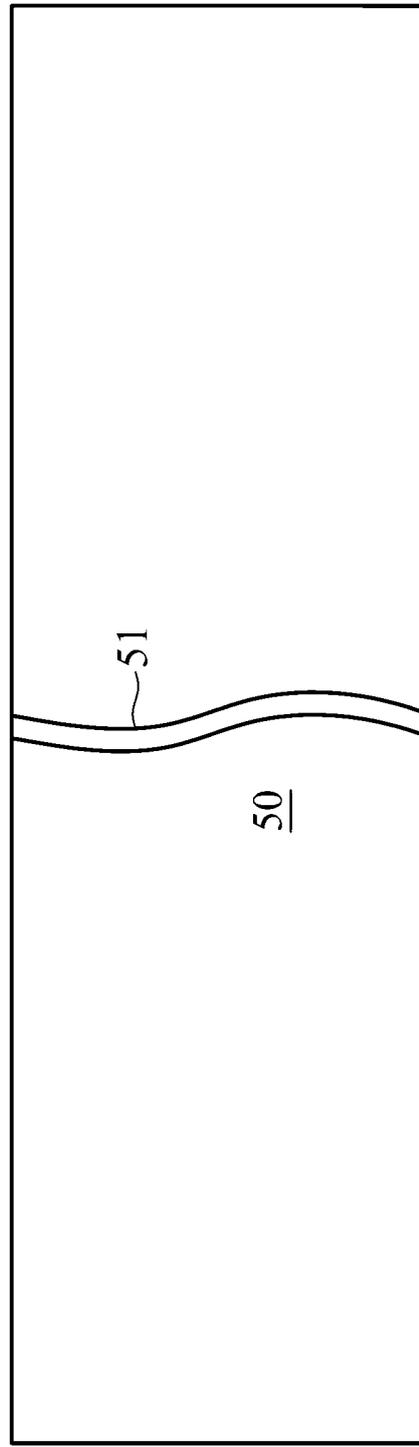
Es folgen 31 Seiten Zeichnungen

Anhängende Zeichnungen



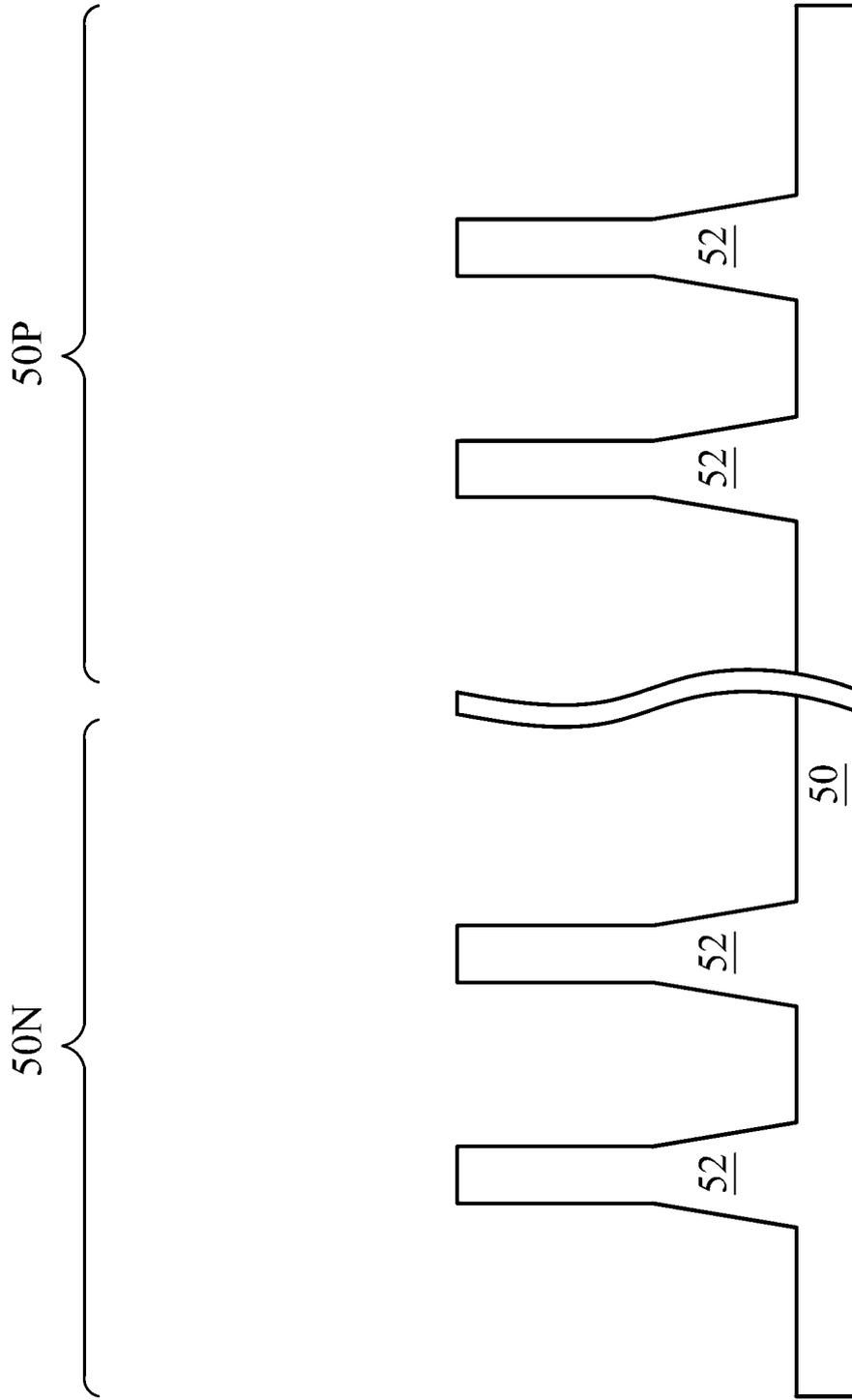
Figur 1

10



Figur 2

10



Figur 3

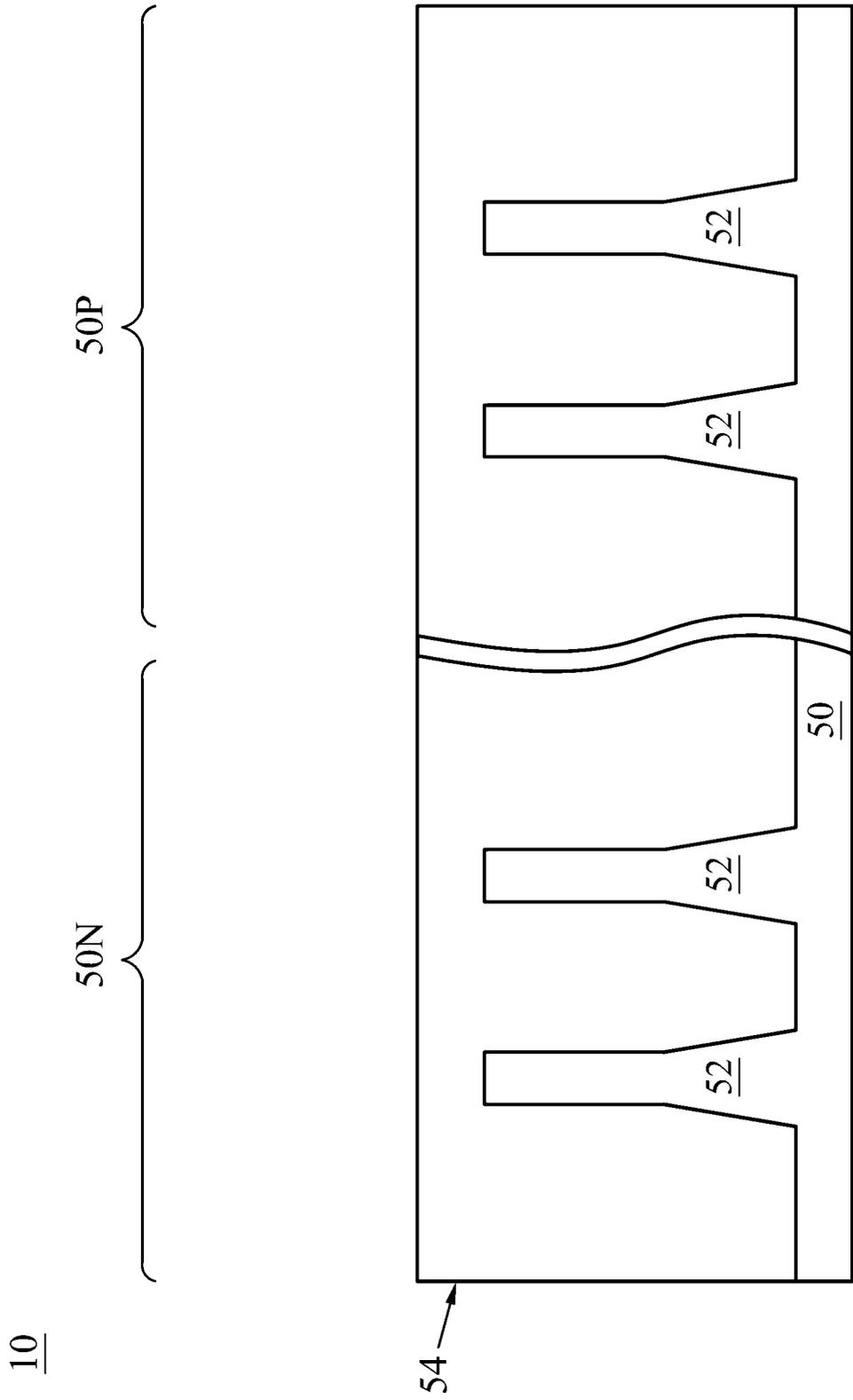
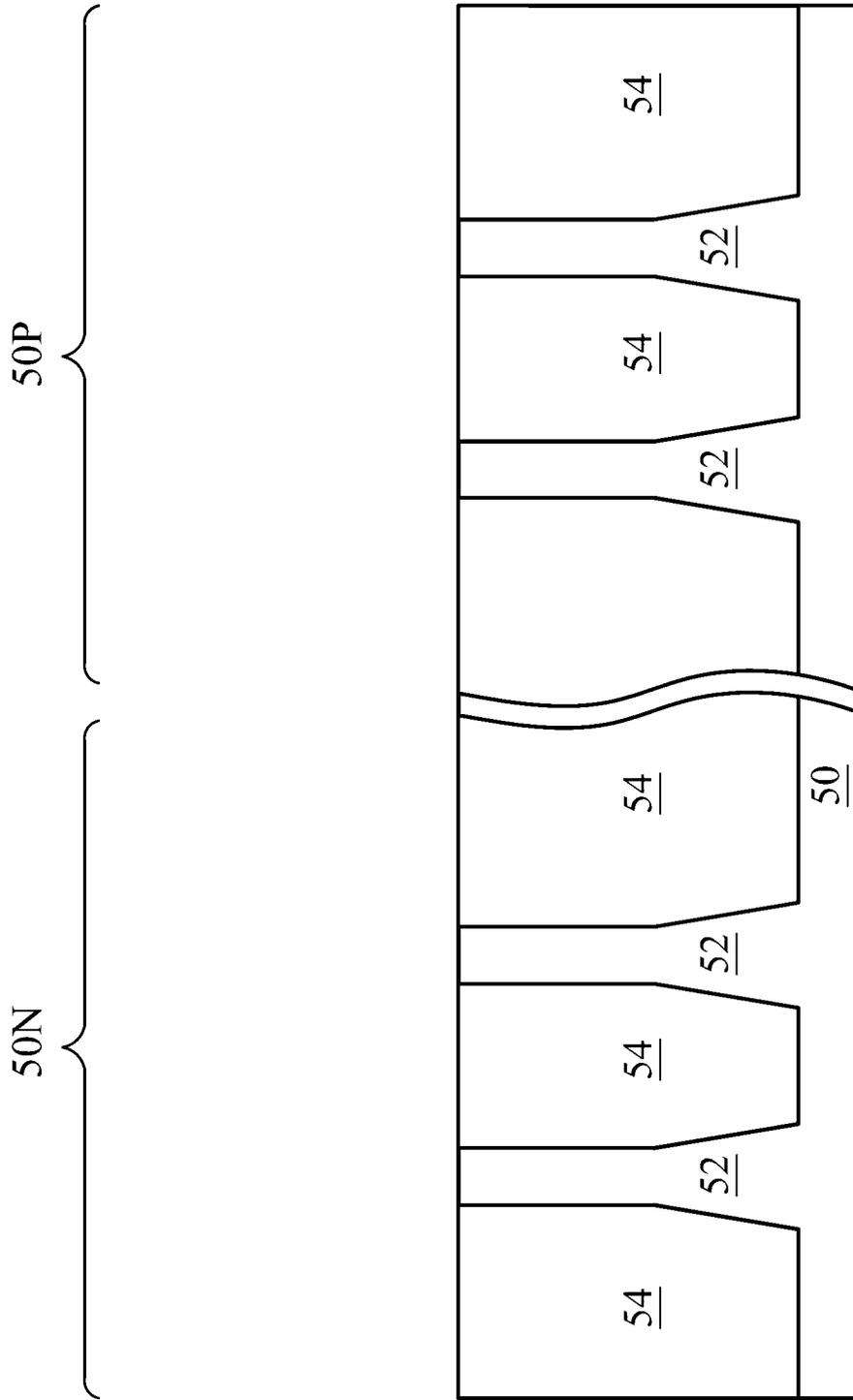


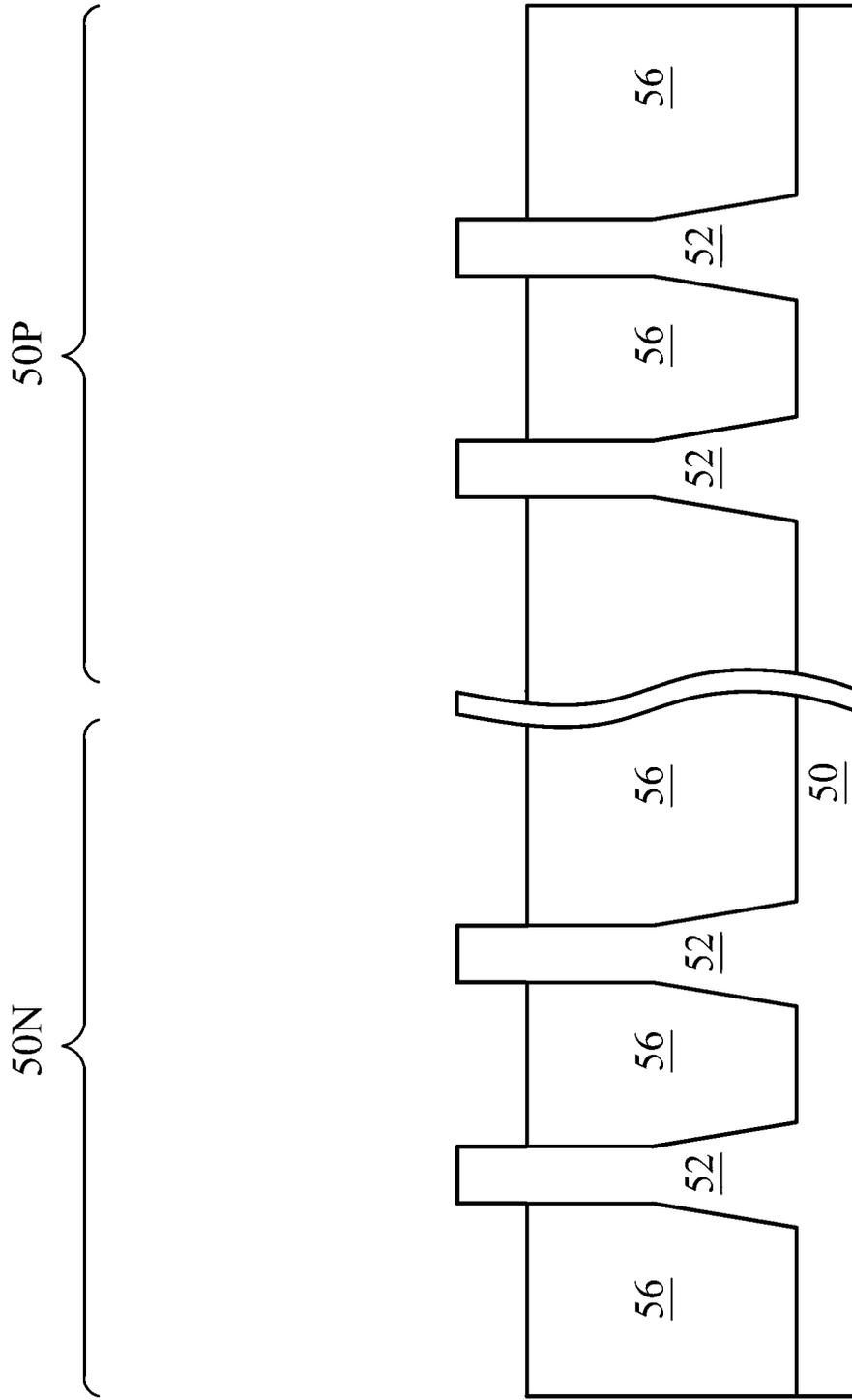
Figure 4

10



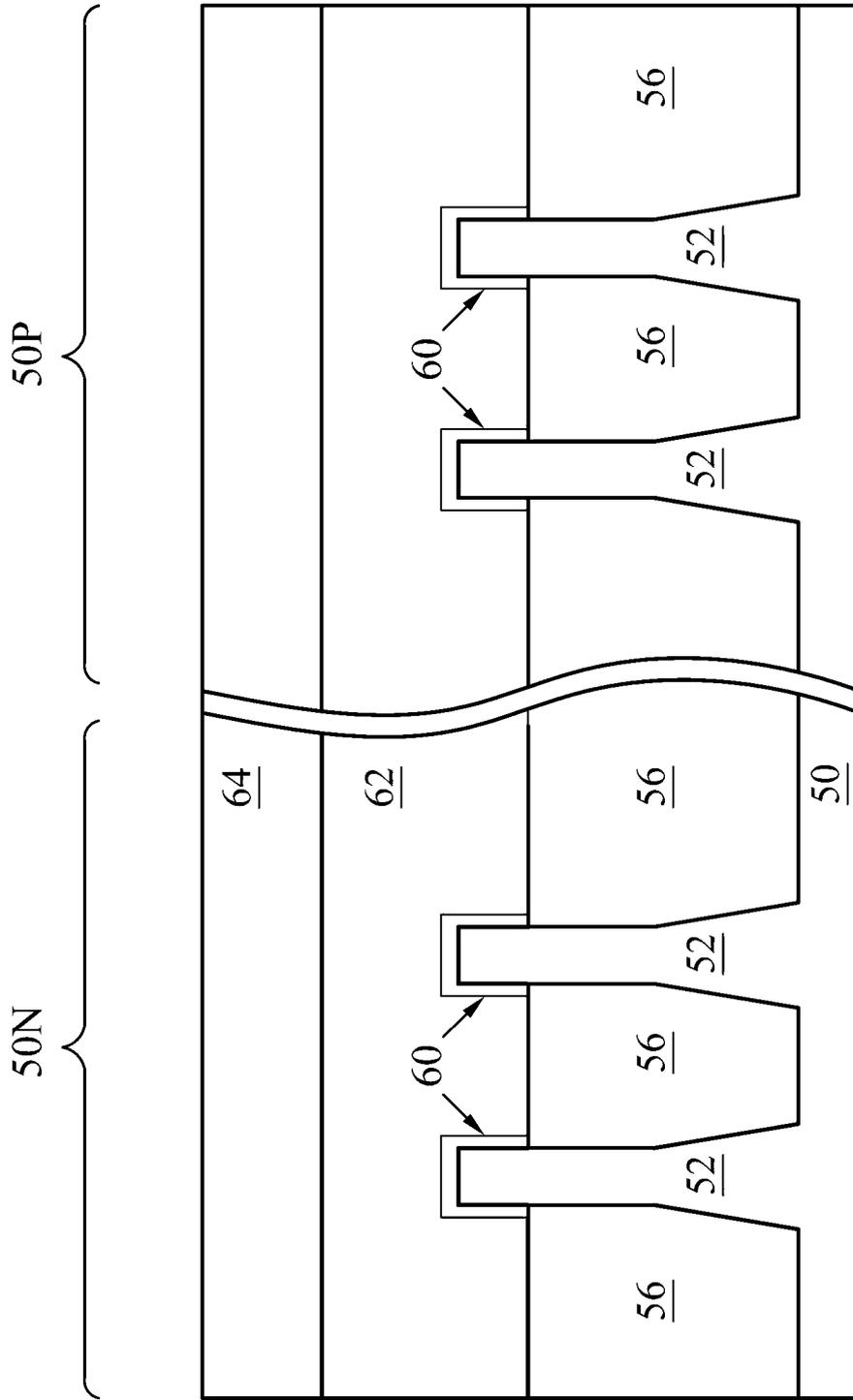
Figur 5

10



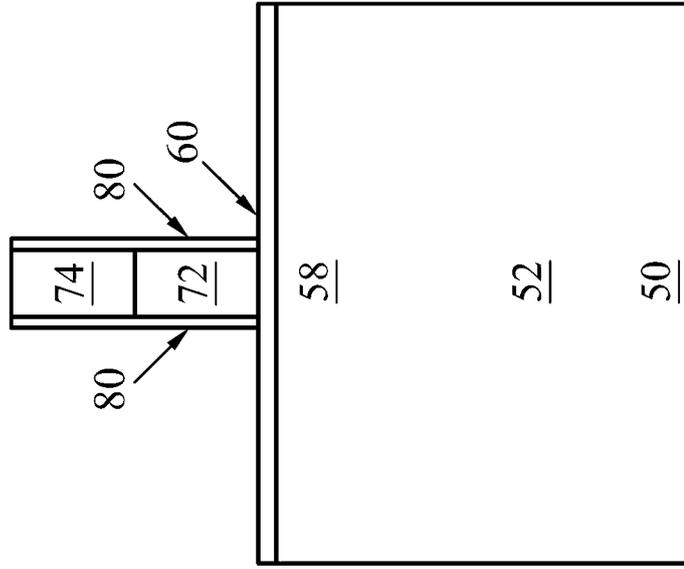
Figur 6

10



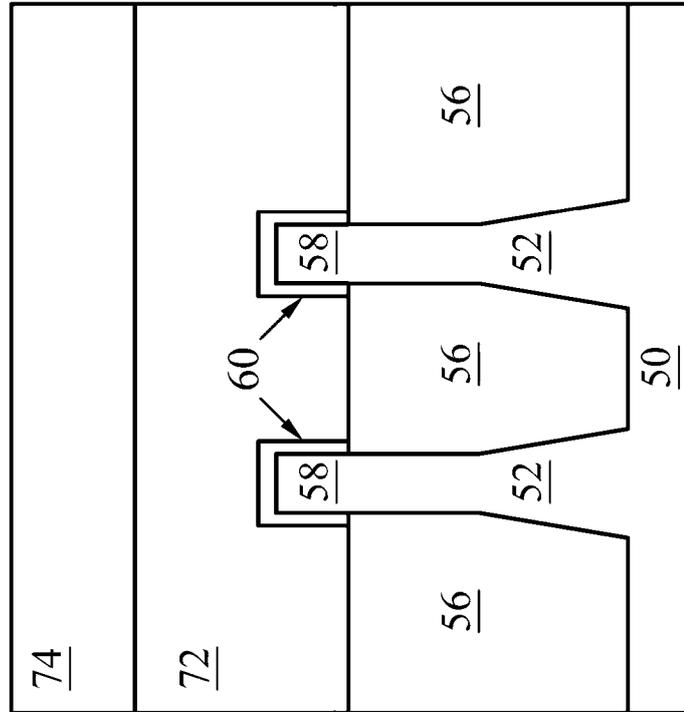
Figur 7

10



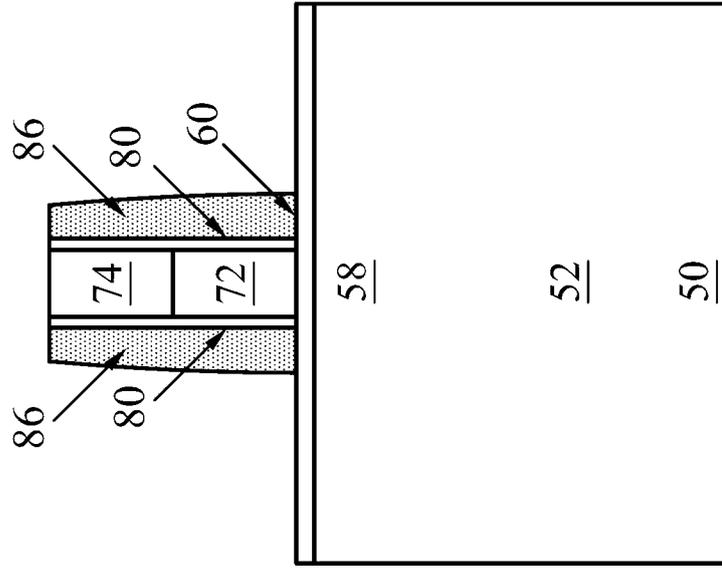
Figur 8B

10



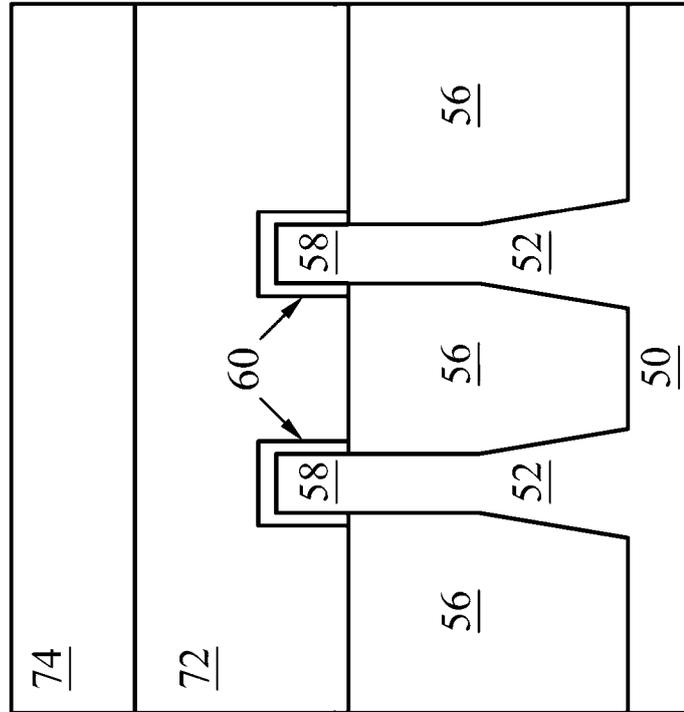
Figur 8A

10



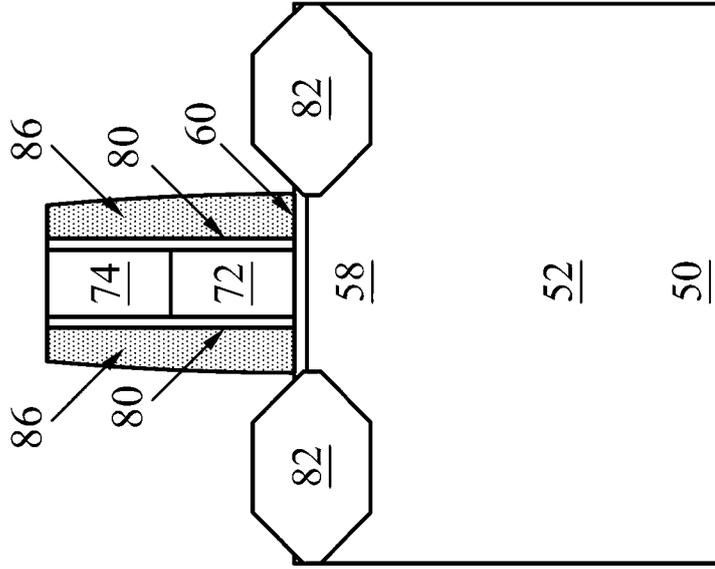
Figur 9B

10



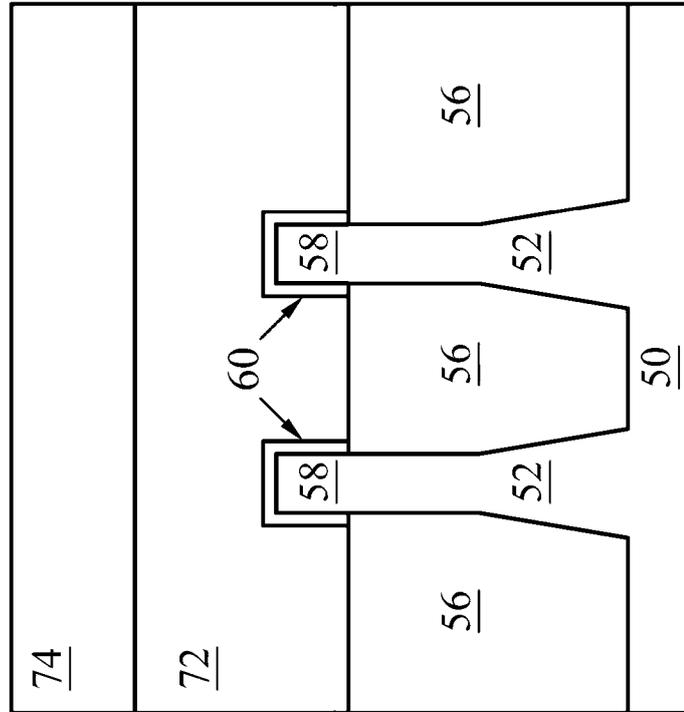
Figur 9A

10



Figur 10B

10



Figur 10A

10

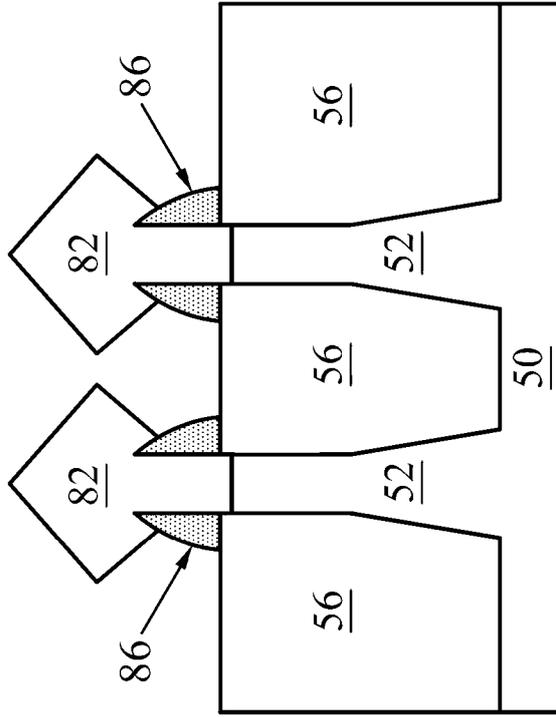


Figure 10D

10

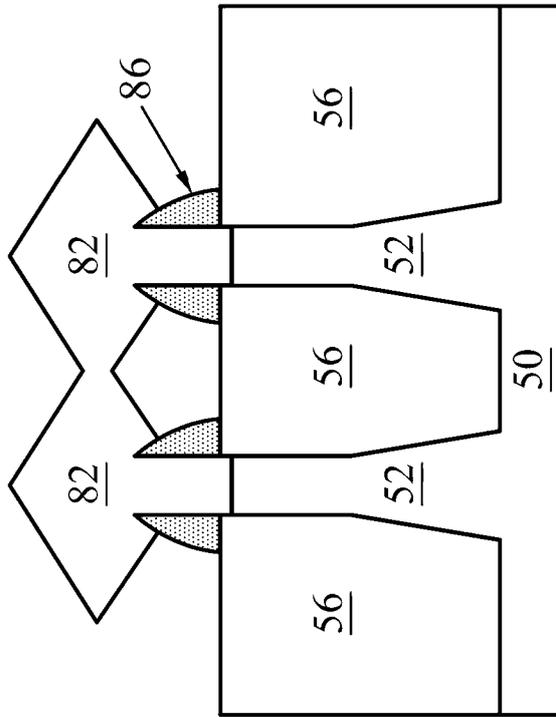


Figure 10C

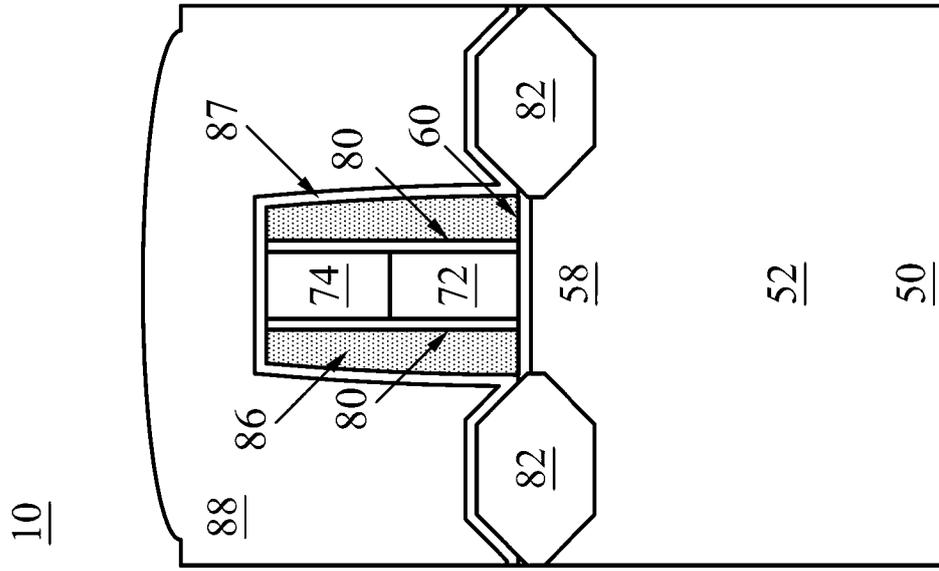


Figure 11A

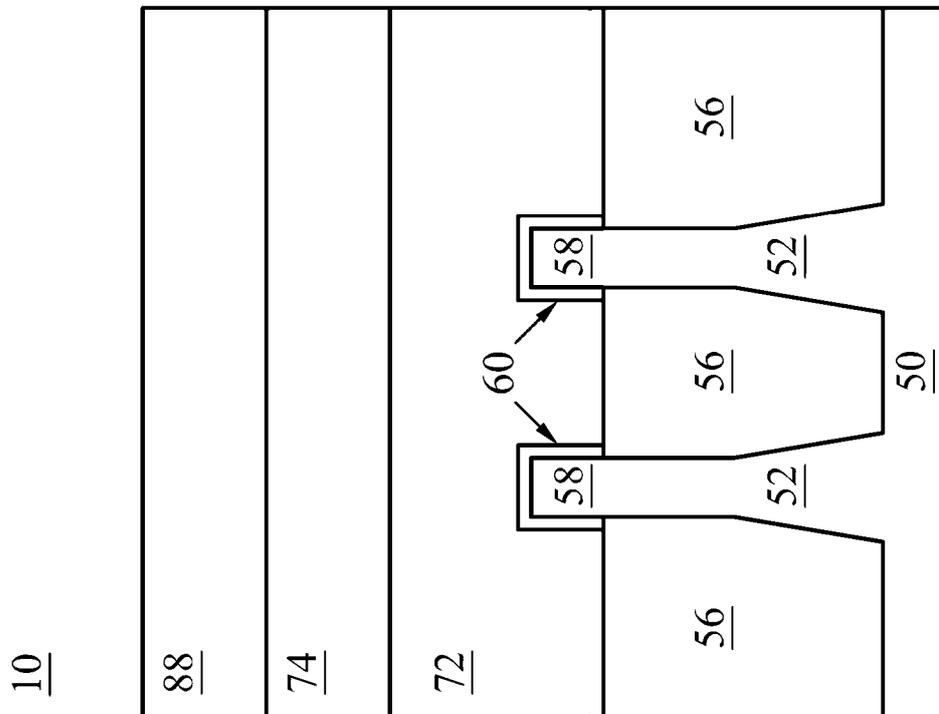
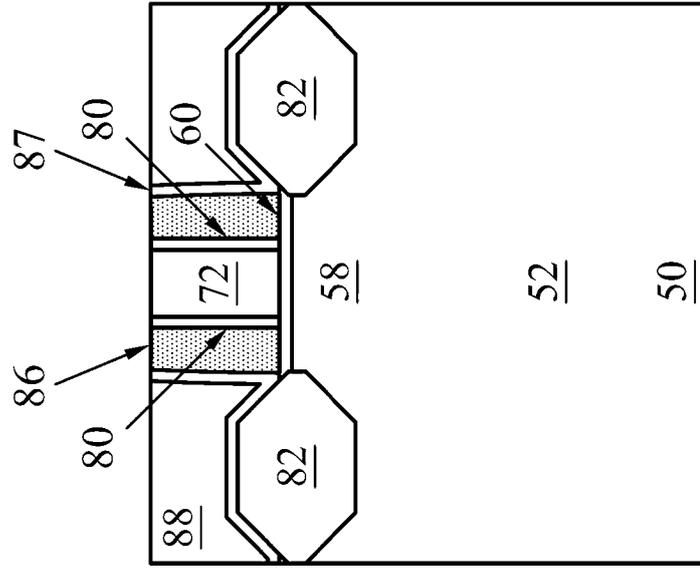


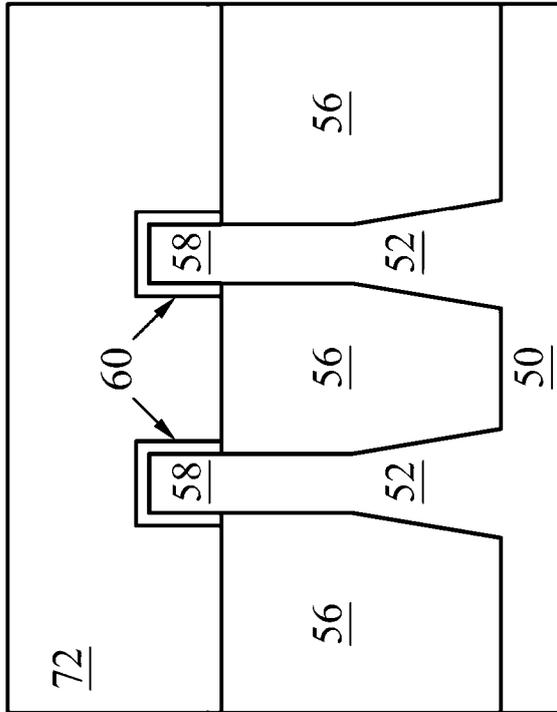
Figure 11B

10



Figur 12B

10



Figur 12A

10

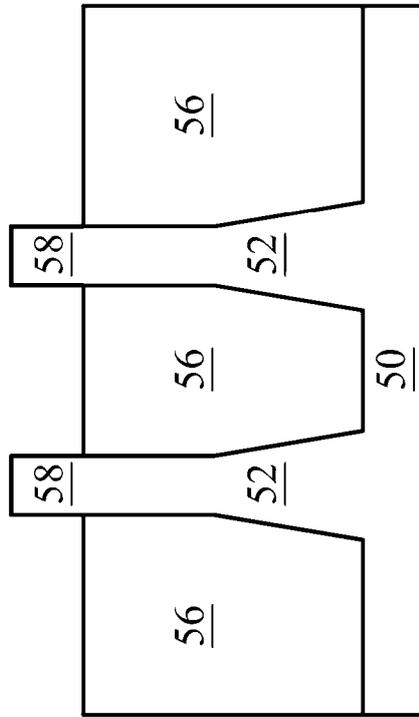


Figure 13A

10

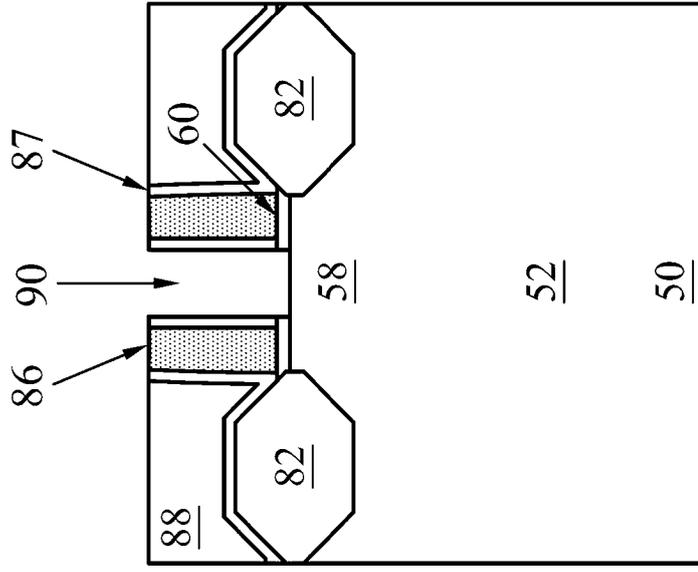
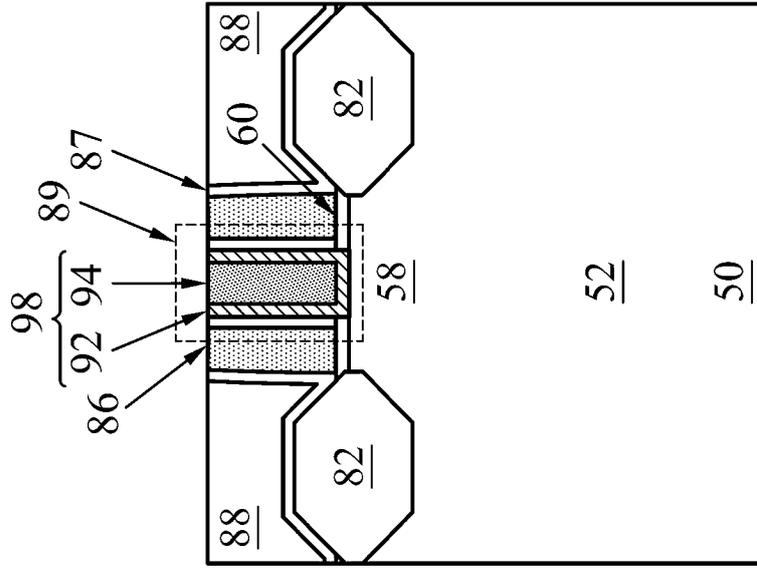


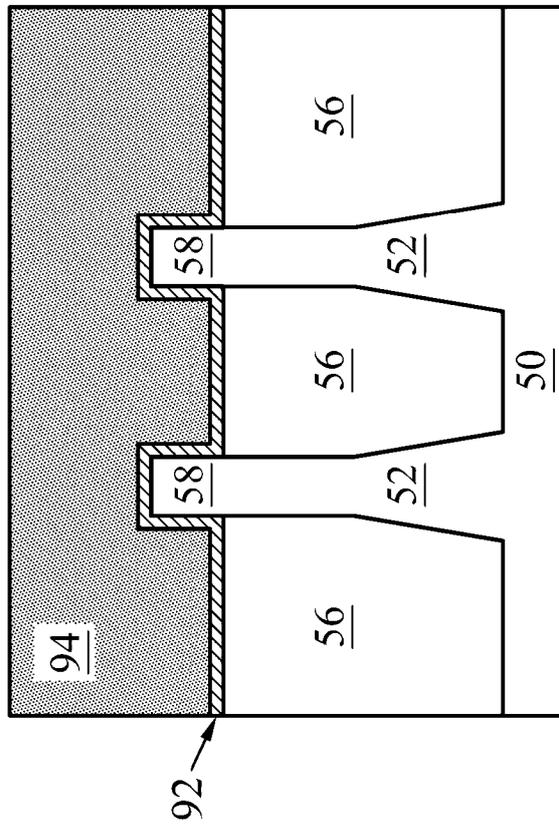
Figure 13B

10

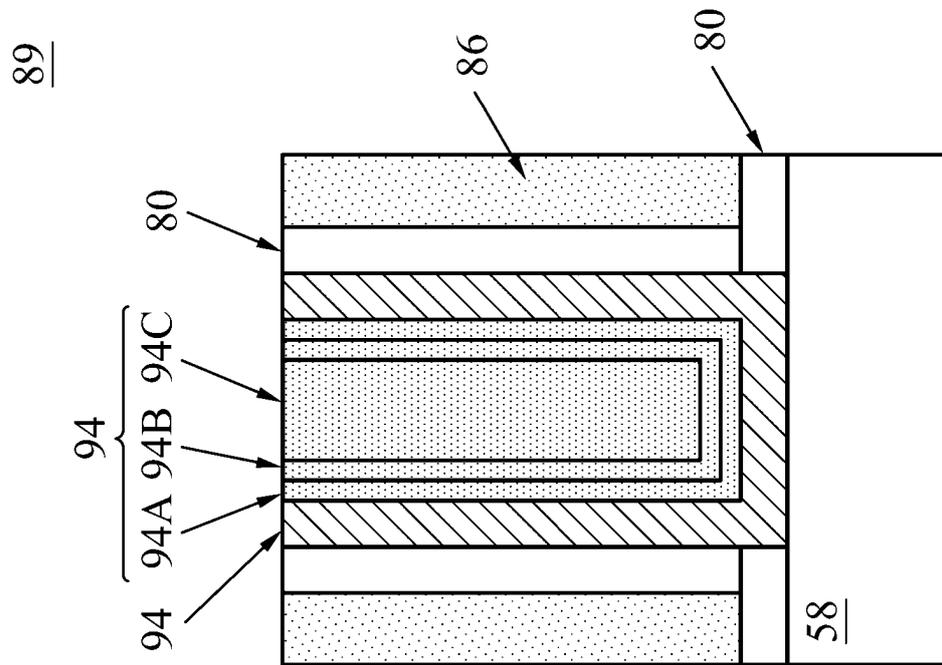


Figur 14B

10

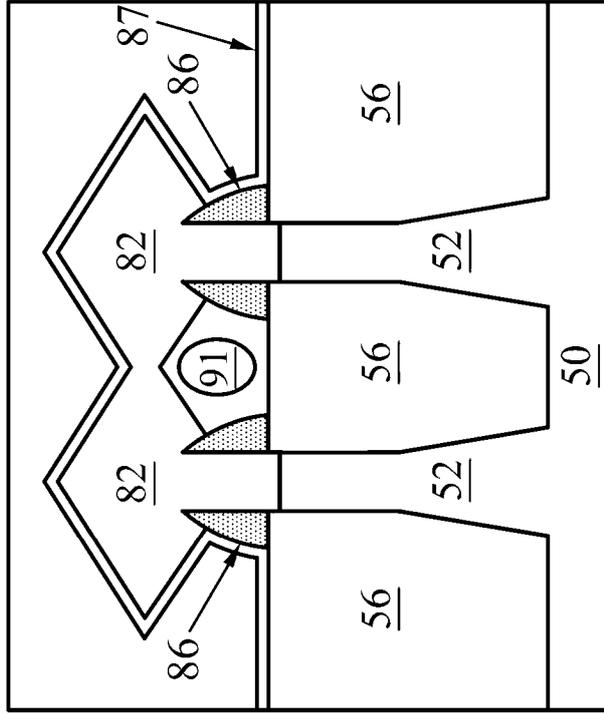


Figur 14A



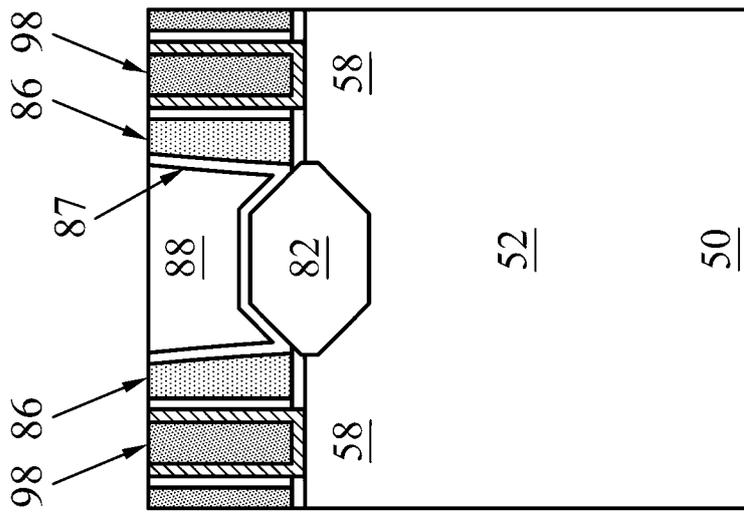
Figur 14C

10



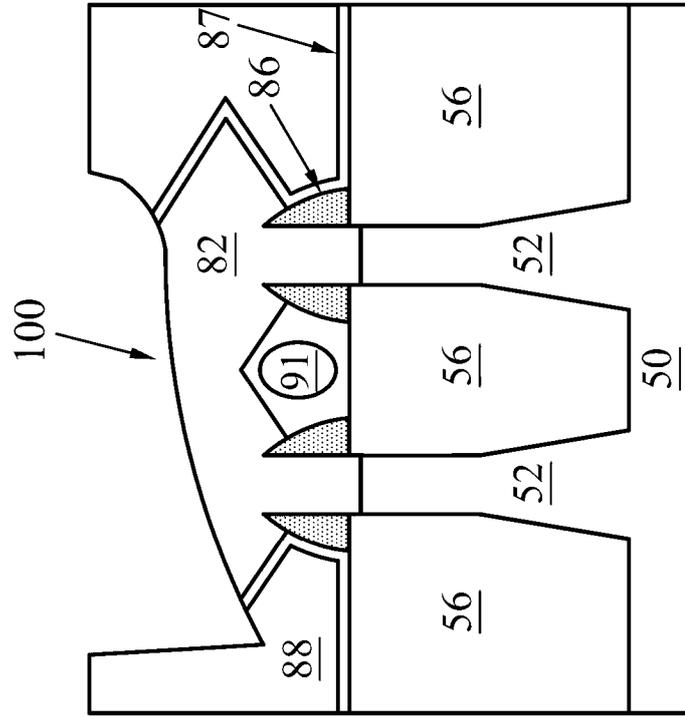
Figur 15B

10



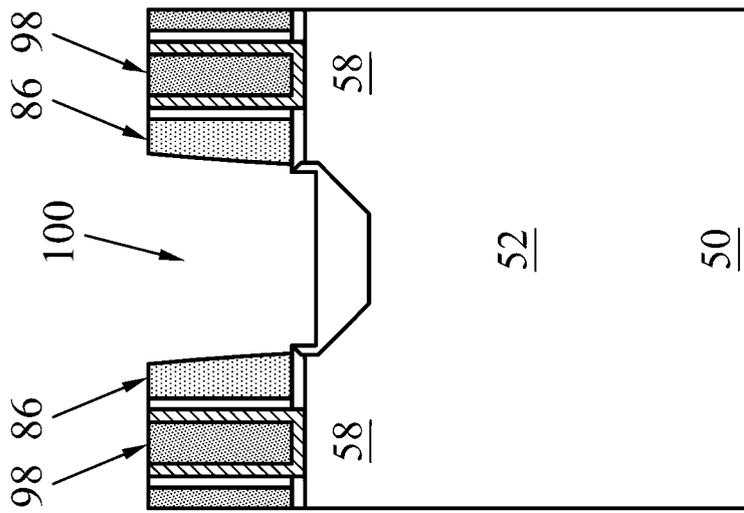
Figur 15A

10



Figur 16B

10



Figur 16A

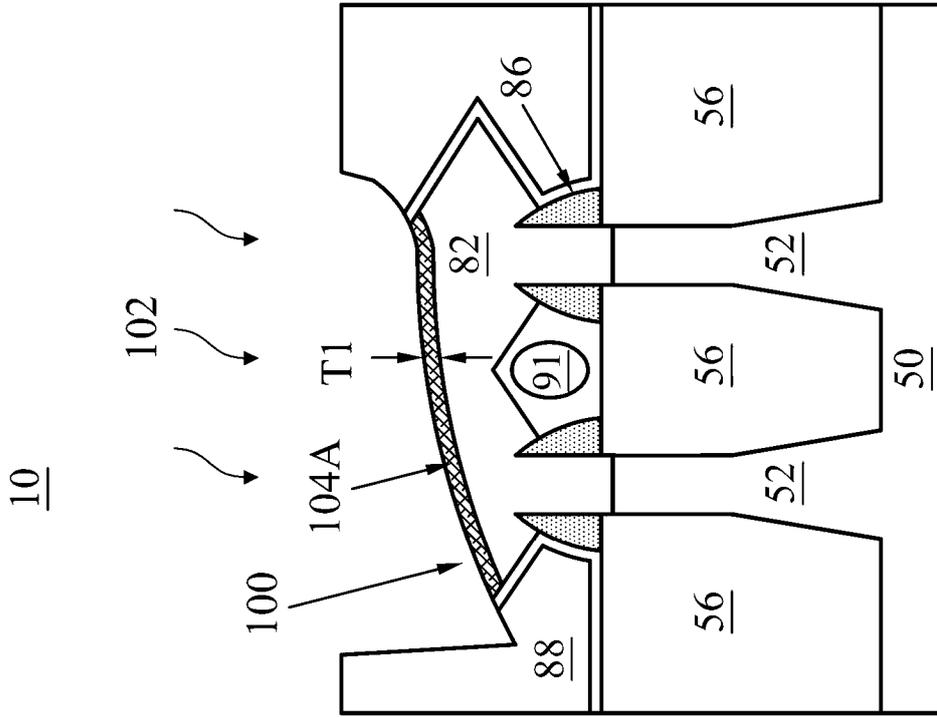


Figure 17A

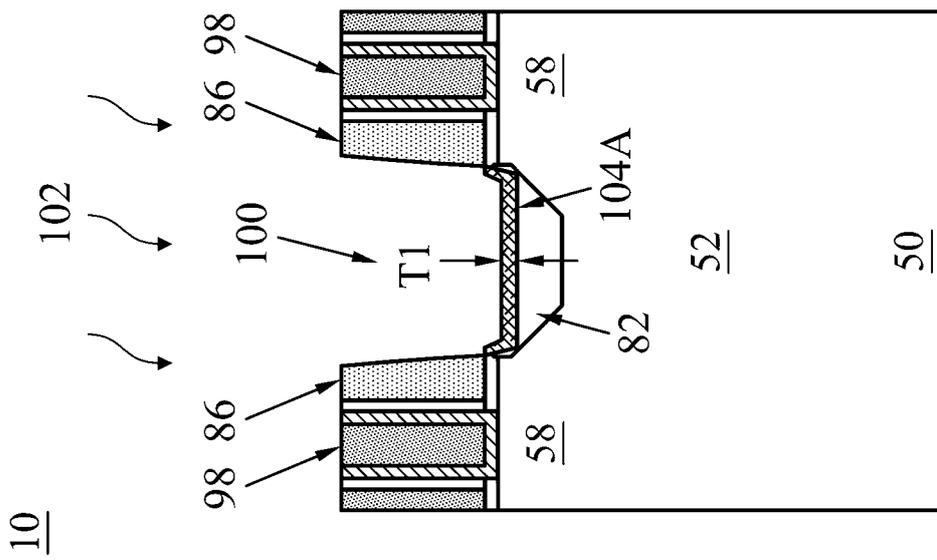
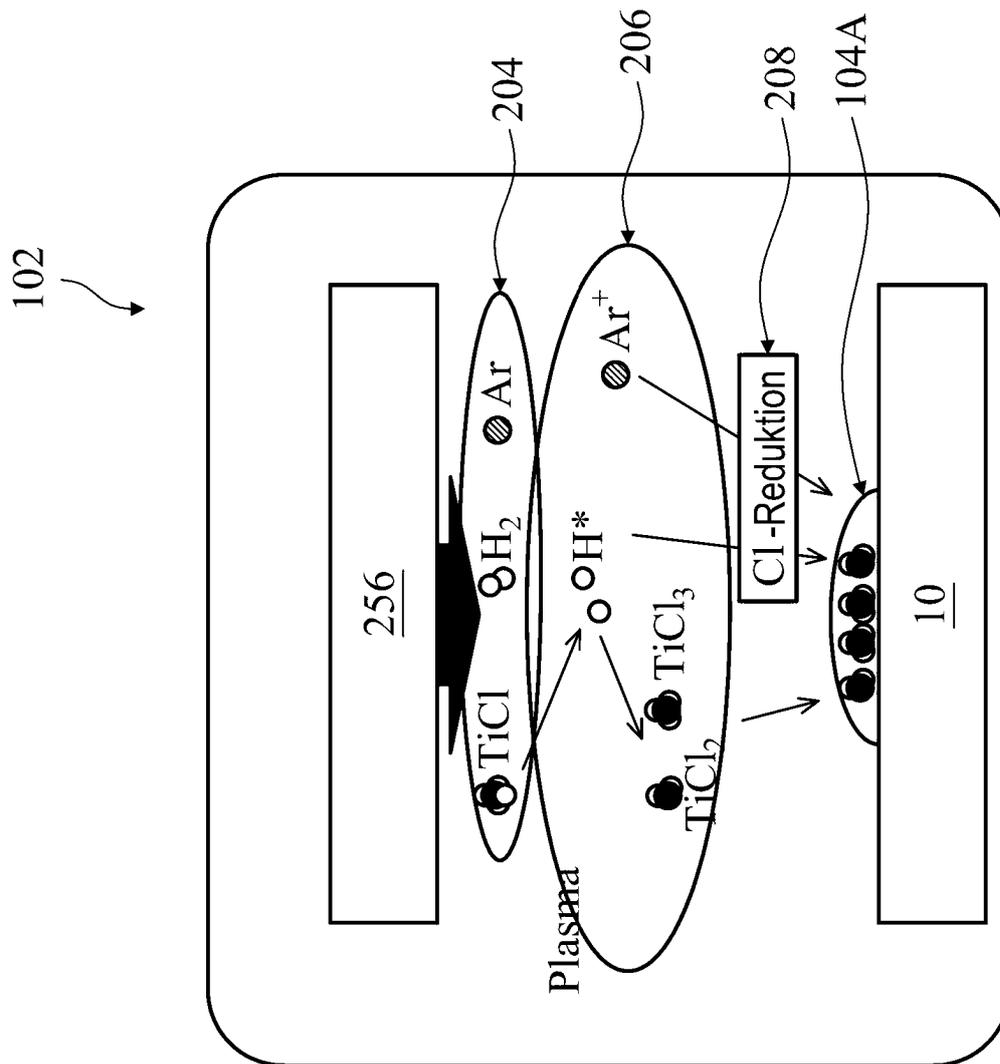


Figure 17B



Figur 17C

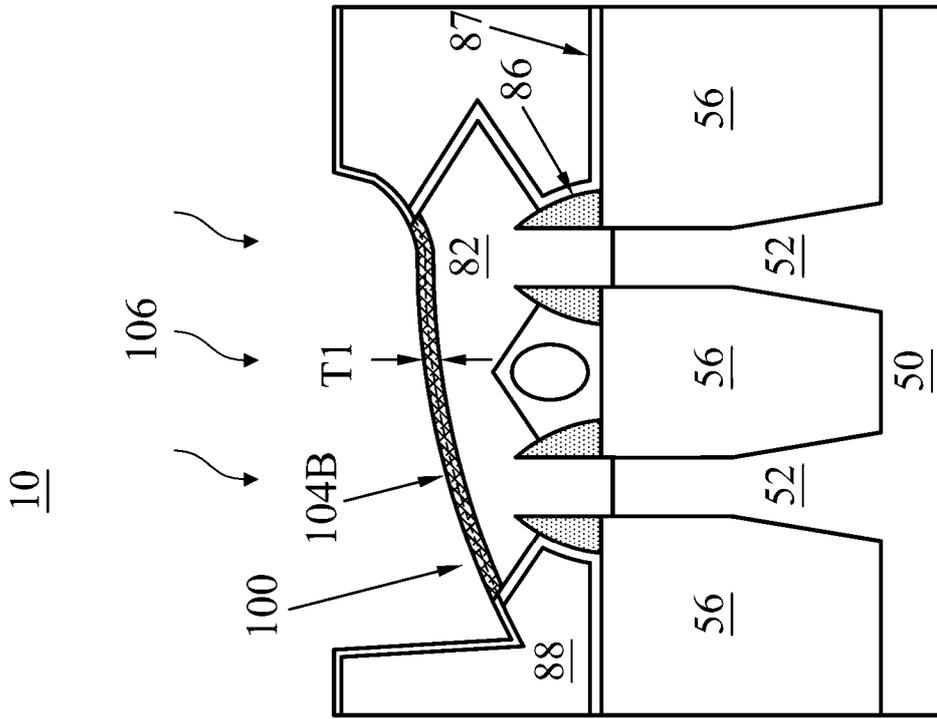


Figure 18A

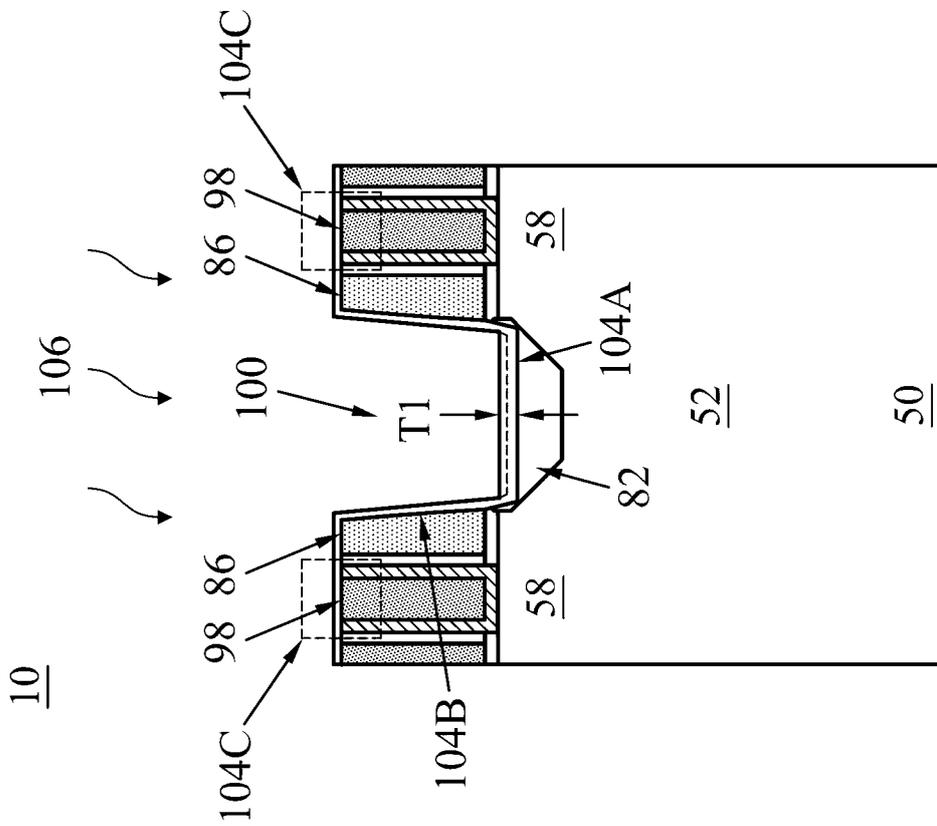
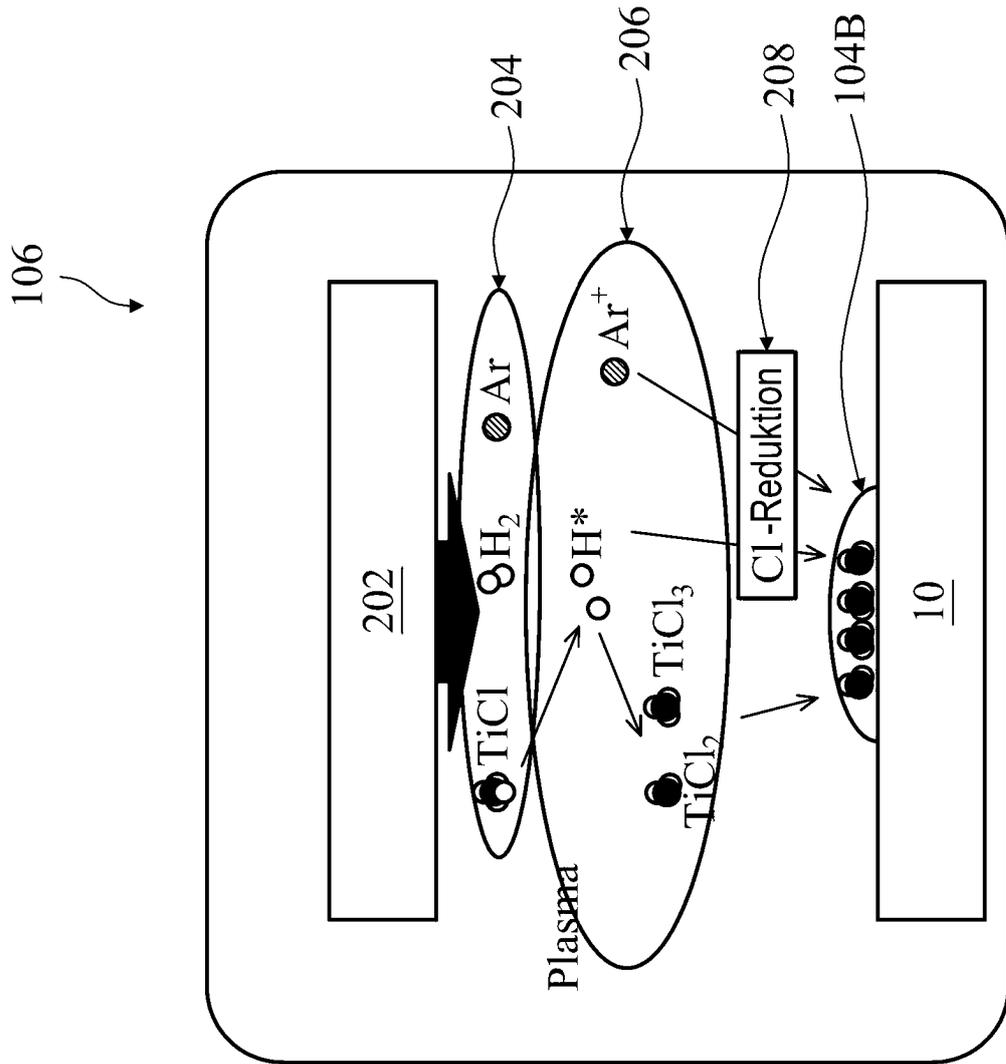


Figure 18B



Figur 18C

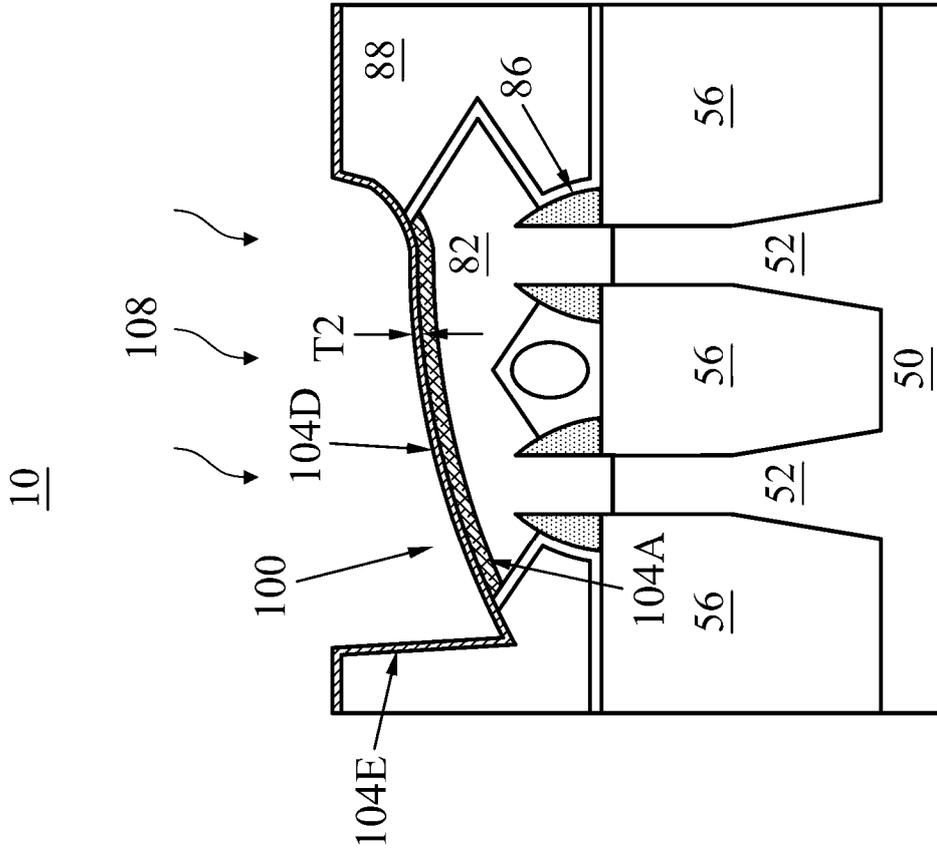


Figure 19A

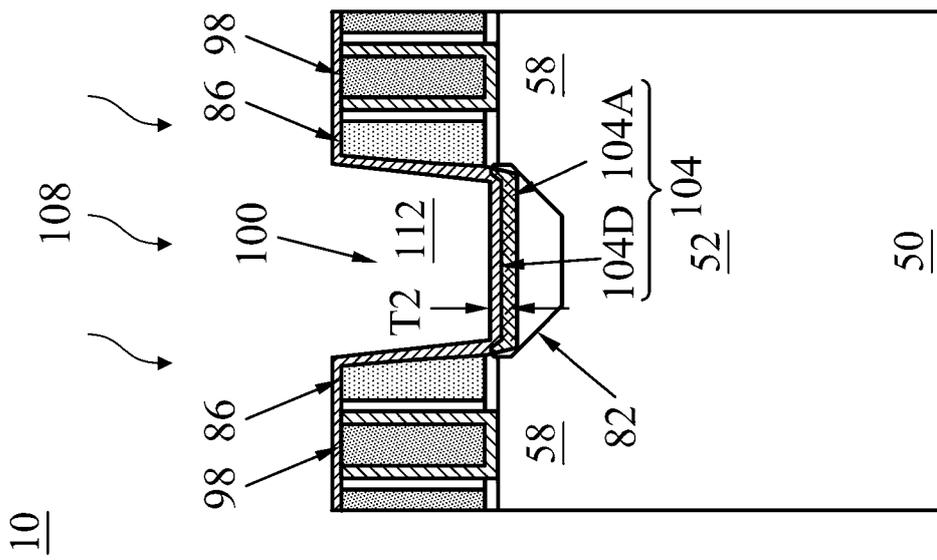


Figure 19B

10

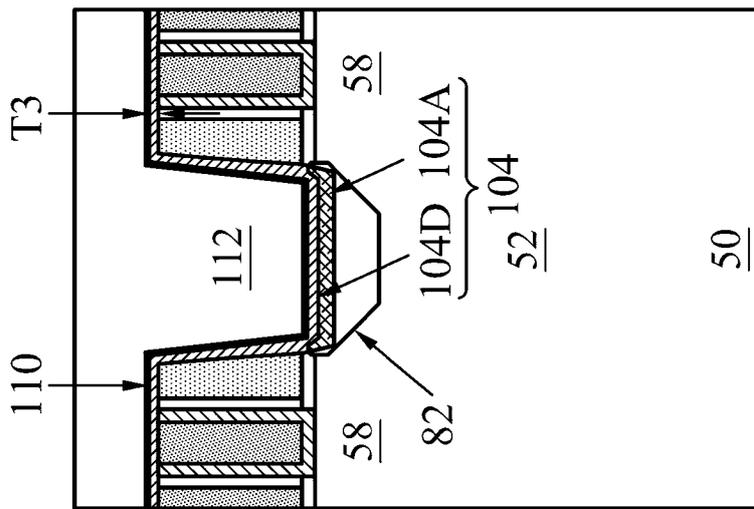


Figure 20A

10

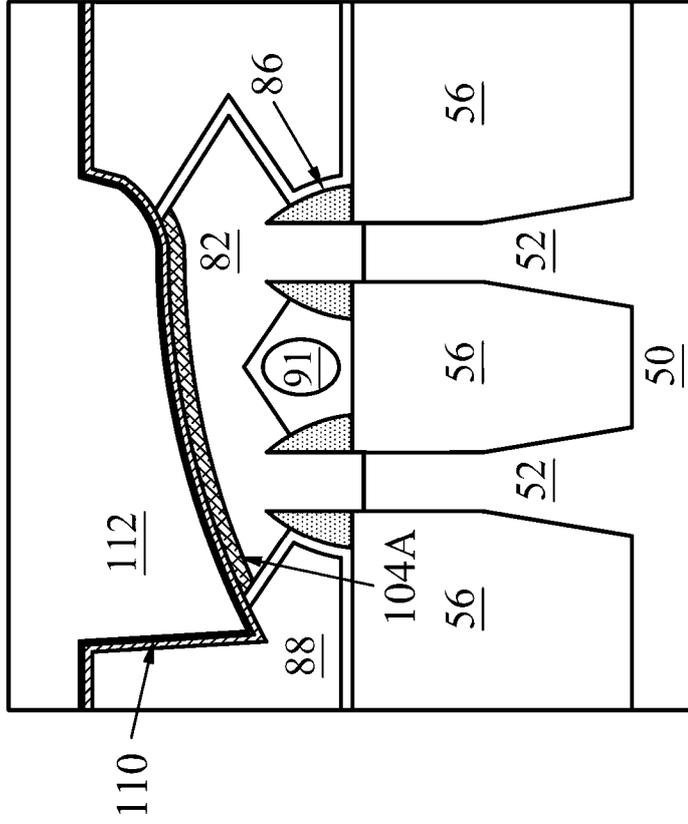


Figure 20B

10

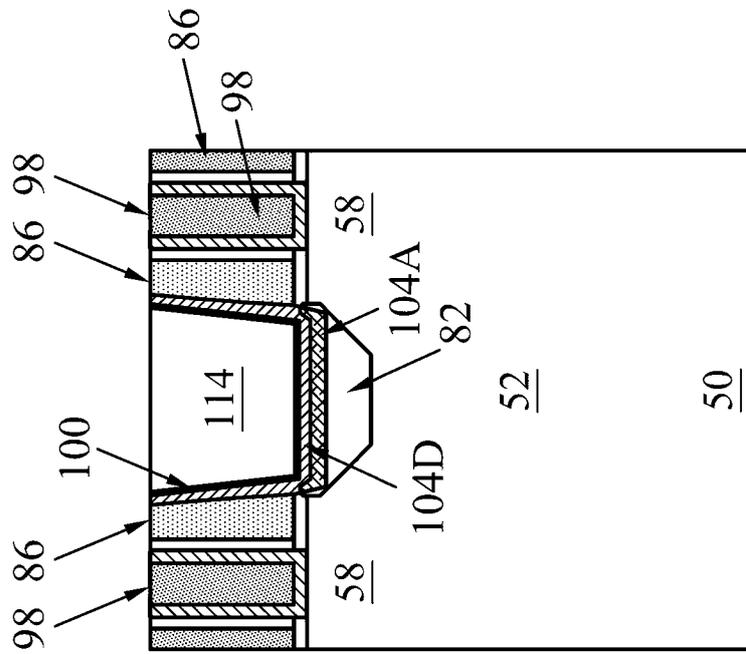


Figure 21A

10

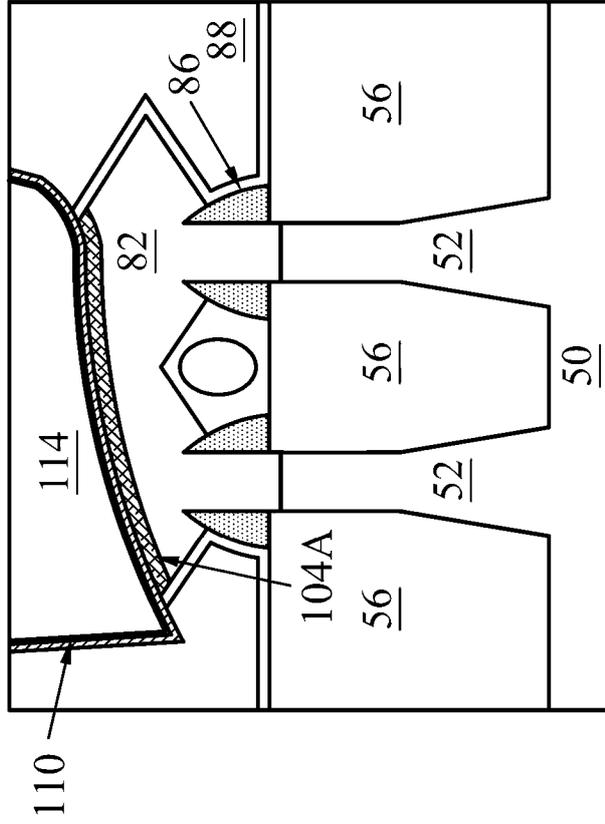


Figure 21B

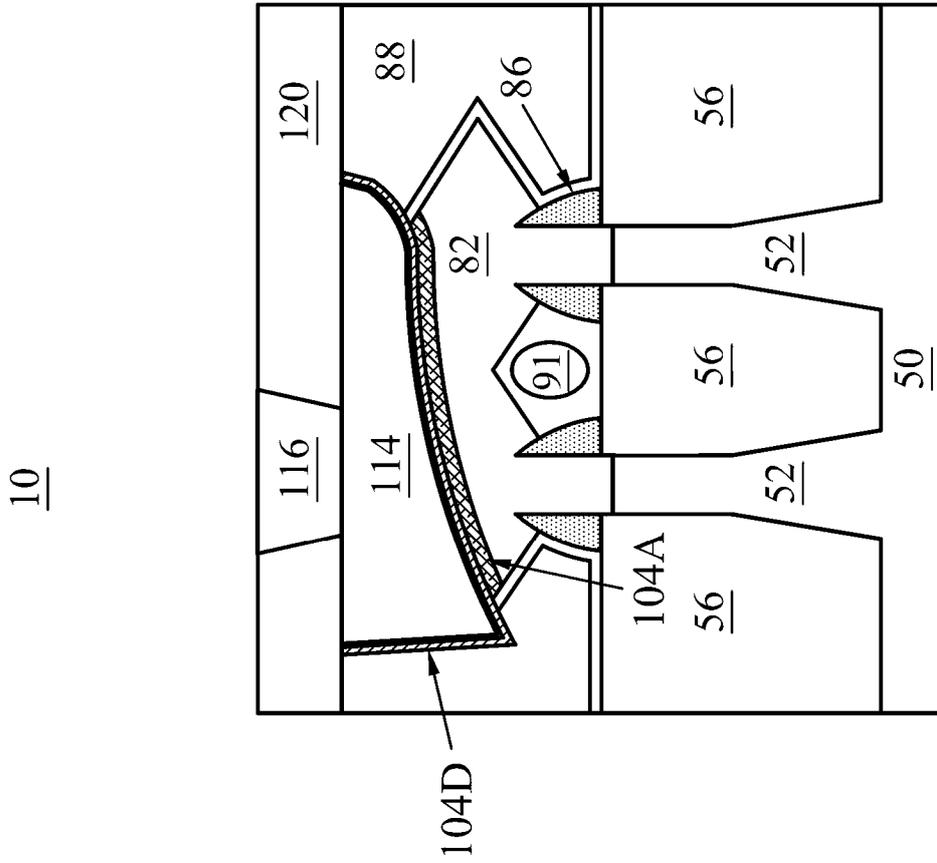


Figure 22B

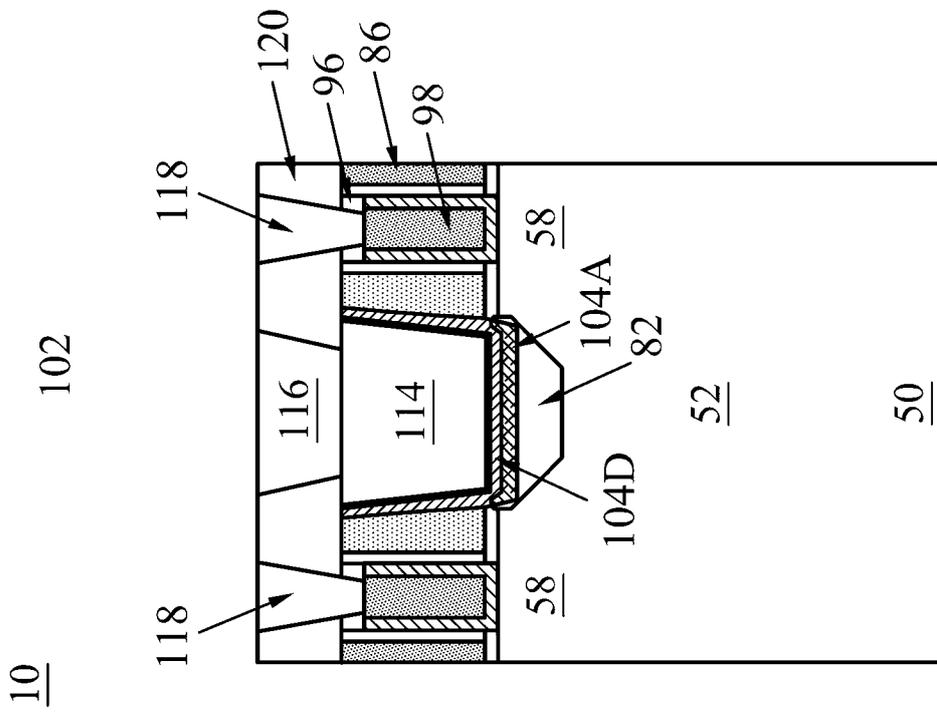
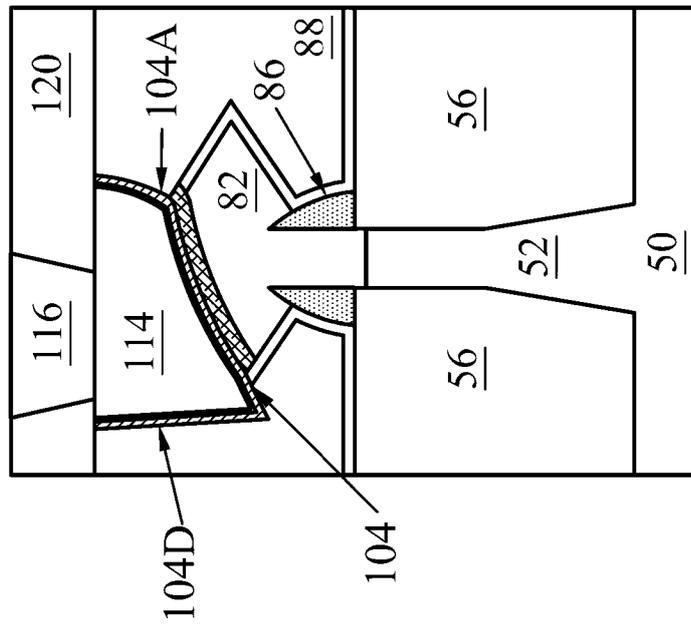
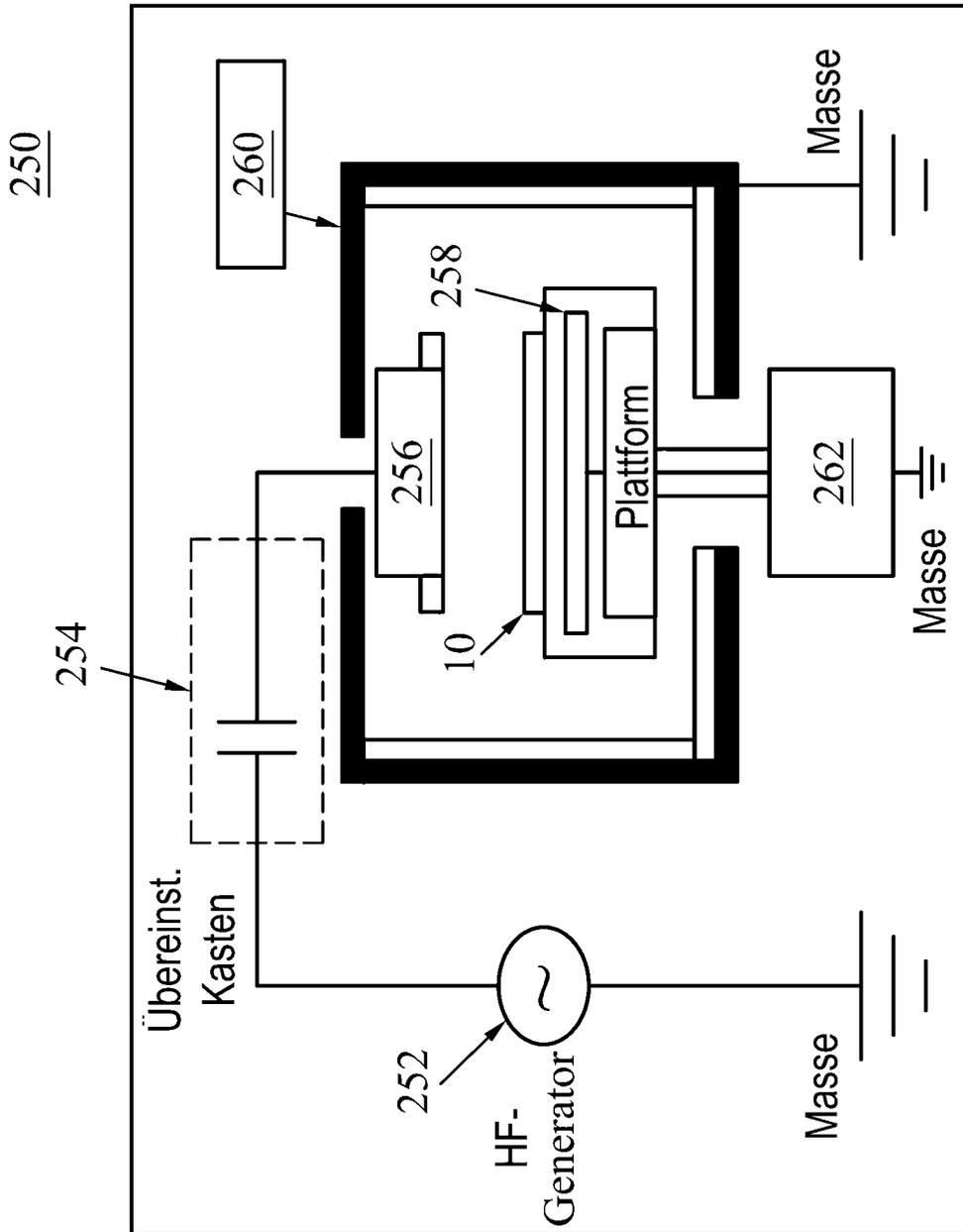


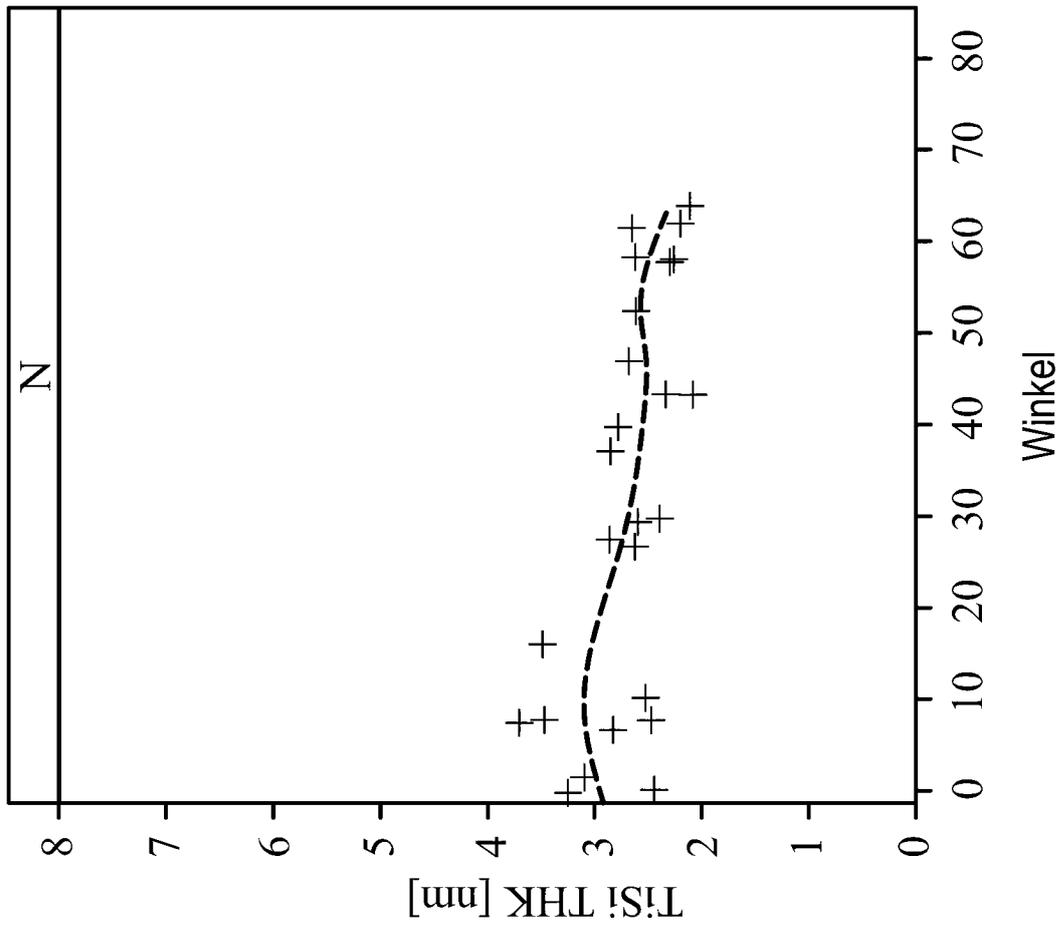
Figure 22A



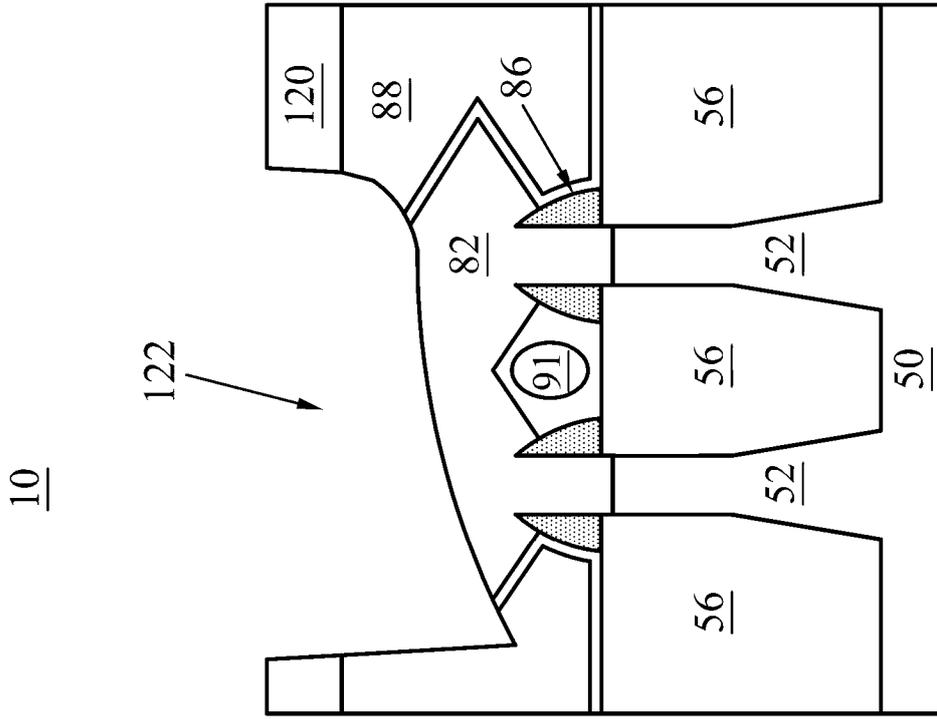
Figur 22C



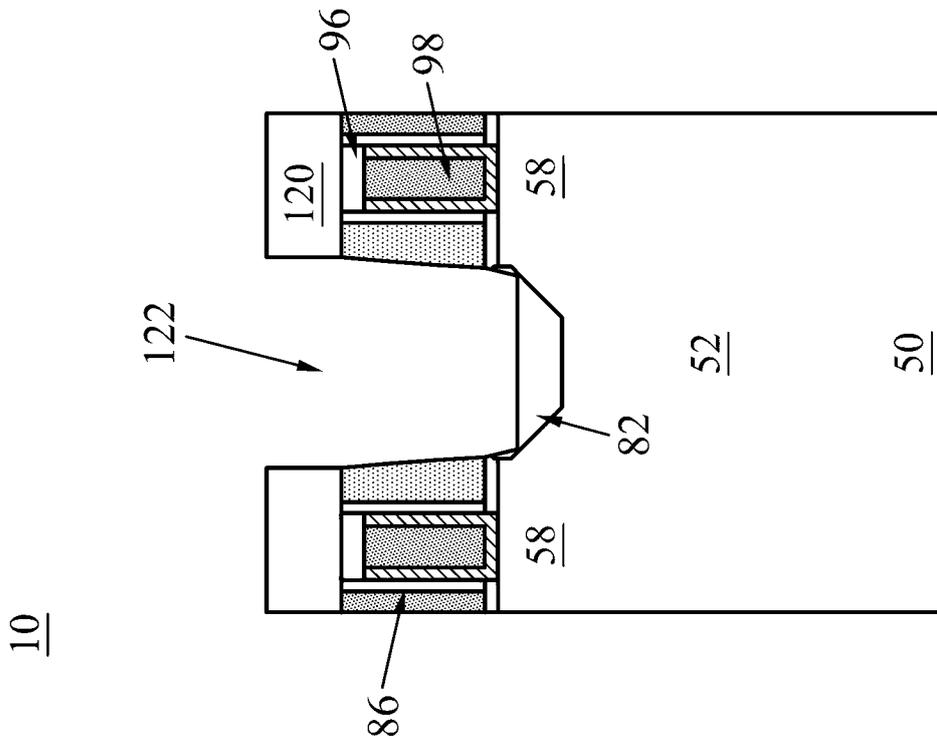
Figur 23



Figur 24



Figur 25B



Figur 25A

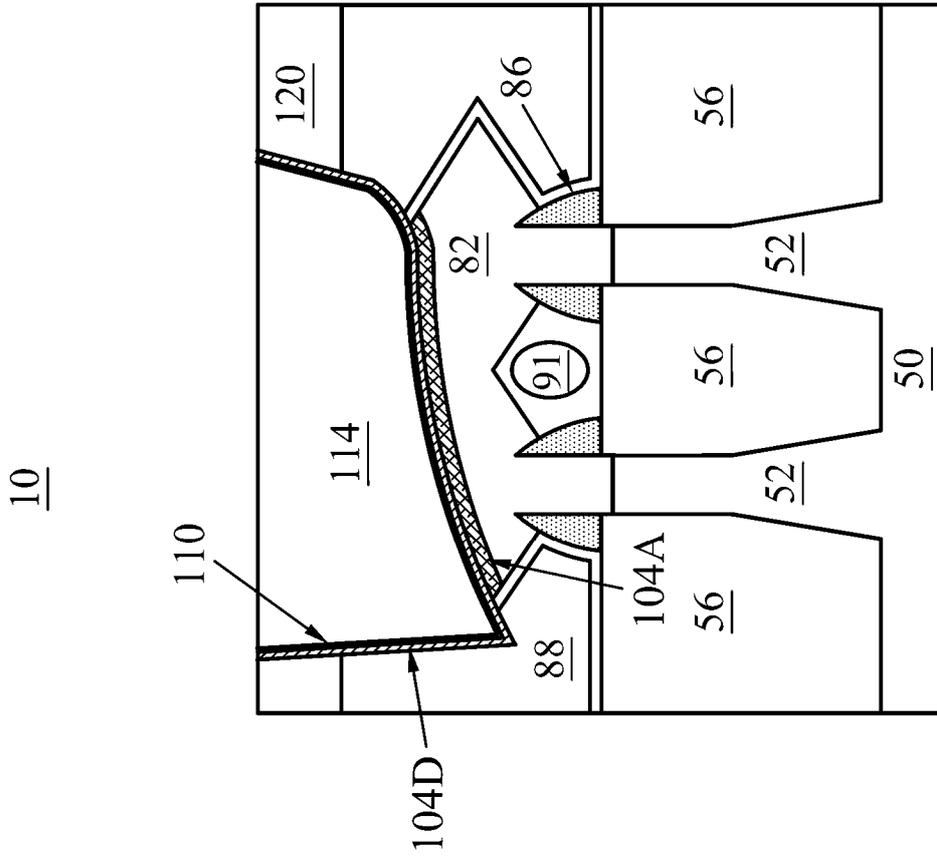


Figure 26A

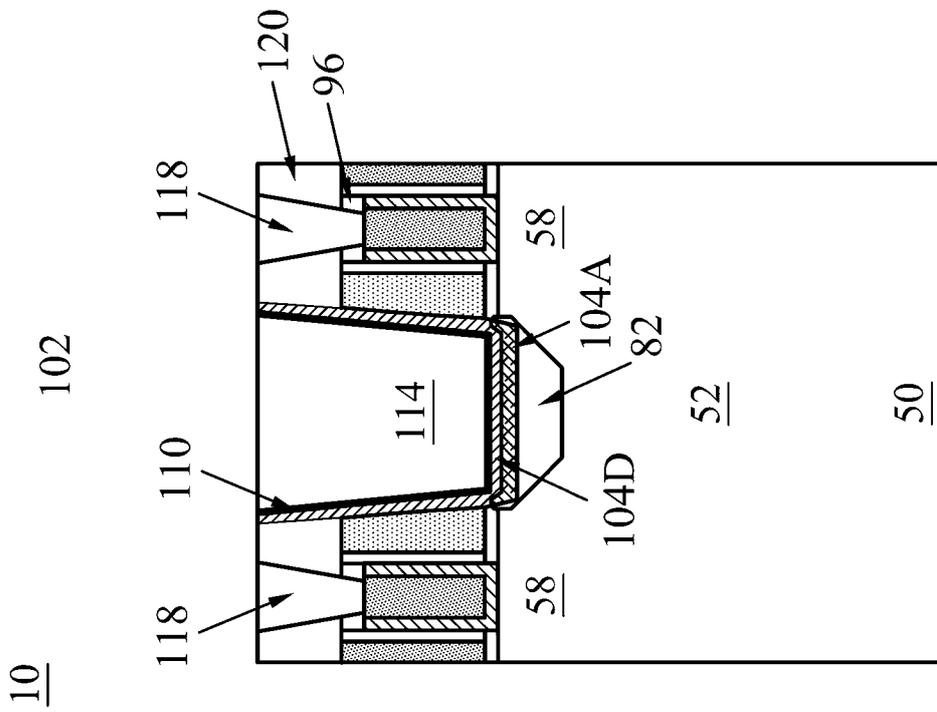


Figure 26B