



(12) 发明专利申请

(10) 申请公布号 CN 114093754 A

(43) 申请公布日 2022. 02. 25

(21) 申请号 202010857799.1

(22) 申请日 2020.08.24

(71) 申请人 中国科学院微电子研究所
地址 100029 北京市朝阳区北土城西路3号
申请人 真芯(北京)半导体有限责任公司

(72) 发明人 俞景植 项金娟 卢一泓 杨涛
王文武 李俊峰

(74) 专利代理机构 北京知迪知识产权代理有限公司 11628

代理人 王胜利

(51) Int. Cl.

H01L 21/027 (2006.01)

H01L 27/108 (2006.01)

H01L 23/64 (2006.01)

H01L 49/02 (2006.01)

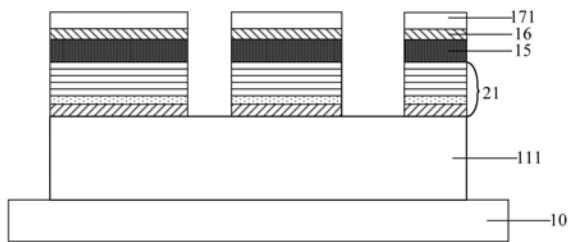
权利要求书2页 说明书7页 附图6页

(54) 发明名称

一种硬掩模图案的制造方法和DRAM电容的制造方法

(57) 摘要

本发明实施例提供一种硬掩模图案的制造方法和DRAM电容的制造方法,涉及半导体技术领域,不但可以避免因刻蚀多晶硅的时间过长,影响绝缘膜的图案,还可以避免在单独刻蚀二氧化钛膜时,损伤既有的金属层,影响金属层在基板中的功能。所述硬掩模图案的制造方法包括:提供半导体衬底,所述衬底上形成有待刻蚀层;在所述待刻蚀层上形成硬掩模层,所述硬掩模层包括从下至上叠置的多晶硅膜、二氧化钛膜、和二氧化硅膜;对所述硬掩模层进行图案化处理,得到硬掩模图案。



1. 一种硬掩模图案的制造方法,其特征在于,包括:
提供半导体衬底,所述衬底上形成有待刻蚀层;
在所述待刻蚀层上形成硬掩模层,所述硬掩模层包括从下至上叠置的多晶硅膜、二氧化钛膜、和二氧化硅膜;
对所述硬掩模层进行图案化处理,得到硬掩模图案。
2. 根据权利要求1所述的硬掩模图案的制造方法,其特征在于,所述在所述待刻蚀层上形成硬掩模层,包括:
在所述待刻蚀层上生长多晶硅,所述多晶硅覆盖所述半导体衬底和所述待刻蚀层暴露的表面;
对所述待刻蚀层进行图案化处理,得到所述多晶硅膜,所述多晶硅膜的图案与待形成的所述二氧化钛膜和所述二氧化硅膜的图案相同;
在所述多晶硅膜上形成所述二氧化钛膜和所述二氧化硅膜。
3. 根据权利要求1所述的硬掩模图案的制造方法,其特征在于,所述在所述待刻蚀层上形成硬掩模层,包括:
在所述待刻蚀层上生长所述多晶硅膜,所述多晶硅膜覆盖所述半导体衬底和所述待刻蚀层暴露的表面;
在所述多晶硅膜上形成所述二氧化钛膜和所述二氧化硅膜;
对所述多晶硅膜进行图案化处理,经图案化处理后的所述多晶硅膜的图案与所述二氧化钛膜和所述二氧化硅膜的图案相同。
4. 根据权利要求1-3任一项所述的硬掩模图案的制造方法,其特征在于,所述多晶硅膜的厚度小于或等于2000Å。
5. 根据权利要求1-3任一项所述的硬掩模图案的制造方法,其特征在于,采用等离子体增强原子层沉积工艺形成二氧化钛膜和二氧化硅膜。
6. 根据权利要求5所述的硬掩模图案的制造方法,其特征在于,所述二氧化钛膜和所述二氧化硅膜均包括多层,所述二氧化钛膜的层数与所述二氧化硅膜的层数之比大于1:5。
7. 根据权利要求6所述的硬掩模图案的制造方法,其特征在于,一层所述二氧化钛膜与多层所述二氧化硅膜交替形成。
8. 根据权利要求1-3任一项所述的硬掩模图案的制造方法,其特征在于,在形成硬掩模层之后、对所述硬掩模层进行图案化处理之前,所述硬掩模图案的制造方法,还包括:
依次在所述二氧化硅膜上一侧形成碳层、抗反射涂层、以及光刻胶层;
对所述光刻胶层进行图案化处理得到光刻胶图形;
以所述光刻胶图形为掩模对所述抗反射涂层、所述碳层进行图案化处理。
9. 一种DRAM电容的制造方法,其特征在于,包括权利要求1-8任一项所述的硬掩模图案的制造方法;
所述待刻蚀层为氧化物层;所述DRAM电容的制造方法,还包括:
以硬掩模图案为掩模,对所述氧化物层进行刻蚀,形成电容孔;
在所述电容孔中形成下电极、介质层和上电极。
10. 根据权利要求9所述的DRAM电容的制造方法,其特征在于,所述硬掩模图案包括二

氧化钛图案和二氧化硅图案；

所述DRAM电容的制造方法,还包括:去除所述硬掩模图案;

所述去除所述硬掩模图案,包括:利用氢氟酸刻蚀液去除所述二氧化钛图案和所述二氧化硅图案。

一种硬掩模图案的制造方法和DRAM电容的制造方法

技术领域

[0001] 本发明涉及半导体技术领域,尤其涉及一种硬掩模图案的制造方法和DRAM电容的制造方法。

背景技术

[0002] 随着膜层上的通孔的尺寸的减小,通常需要通过低压力化学气相沉积法(LP CVD)来形成多晶硅,采用LP CVD形成的多晶硅可以作为刻蚀得到绝缘层图案的硬掩模。然而,如图1所示,基板中暴露在外的背面和侧面部分均可生长多晶硅,随着沉积时间的增加,多晶硅中除用作硬掩模的部分的厚度也增大,导致去除多晶硅中除用作硬掩模的部分非常困难。

[0003] 通常,需要两次湿法刻蚀才能去除多晶硅中除用作硬掩模的部分。刻蚀时间越长,越容易影响多晶硅中用作硬掩模的部分,从而影响位于多晶硅下方的氧化物层的图案。

发明内容

[0004] 本发明的实施例提供一种硬掩模图案的制造方法和DRAM电容的制造方法,不但可以避免因刻蚀多晶硅的时间过长,影响绝缘膜的图案,还可以避免在单独刻蚀二氧化钛膜时,损伤既有的金属层,影响金属层在基板中的功能。

[0005] 为达到上述目的,本发明的实施例采用如下技术方案:

[0006] 第一方面,提供一种硬掩模图案的制造方法,包括:提供半导体衬底,衬底上形成有待刻蚀层;在待刻蚀层上形成硬掩模层,所述硬掩模层包括从下至上叠置的多晶硅膜、二氧化钛膜、和二氧化硅膜;对硬掩模层进行图案化处理,得到硬掩模图案。

[0007] 可选的,在待刻蚀层上形成硬掩模层,包括:在待刻蚀层上生长多晶硅,多晶硅覆盖半导体衬底和待刻蚀层暴露的表面;对待刻蚀层进行图案化处理,得到多晶硅膜,多晶硅膜的图案与待形成的二氧化钛膜和二氧化硅膜的图案相同;在多晶硅膜上形成二氧化钛膜和二氧化硅膜。

[0008] 可选的,在待刻蚀层上形成硬掩模层,包括:在待刻蚀层上生长多晶硅膜,多晶硅膜覆盖半导体衬底和待刻蚀层暴露的表面;在多晶硅膜上形成二氧化钛膜和二氧化硅膜;对多晶硅膜进行图案化处理,经图案化处理后的多晶硅膜的图案与二氧化钛膜和二氧化硅膜的图案相同。

[0009] 可选的,多晶硅膜的厚度小于或等于2000Å。

[0010] 可选的,采用PEALD工艺形成二氧化钛膜和二氧化硅膜。

[0011] 可选的,二氧化钛膜和二氧化硅膜均包括多层,二氧化钛膜的层数与二氧化硅膜的层数之比大于1:5。

[0012] 可选的,一层二氧化钛膜与多层二氧化硅膜交替形成。

[0013] 可选的,在形成硬掩模层之后、对硬掩模层进行图案化处理之前,硬掩模图案的制造方法,还包括:依次在二氧化硅膜上一侧形成碳层、抗反射涂层、以及光刻胶层;对光刻胶

层进行图案化处理得到光刻胶图形；以所述光刻胶图形为掩模对抗反射涂层、碳层进行图案化处理。

[0014] 本发明提供的硬掩模图案的制造方法，可在形成多晶硅膜之后，形成二氧化钛膜和二氧化硅膜。一方面，硬掩模层包括多晶硅膜、二氧化钛膜和二氧化硅膜，相较于现有技术中硬掩模仅包括多晶硅膜，本发明可在硬掩模层的整体厚度不变的情况下，减小多晶硅膜的厚度，以避免在去除采用LPCVD工艺在半导体衬底背面和侧面生长的多晶硅膜时，由于多晶硅膜厚度过大而导致刻蚀多晶硅膜的时间过长，影响待刻蚀层的图案。另一方面，相较于仅在多晶硅膜上形成二氧化钛膜，本发明可在多晶硅膜上形成二氧化钛膜和二氧化硅膜，可以通过调节二氧化钛膜和二氧化硅膜中钛的浓度，选择最佳的刻蚀选择性，从而利用一定比例的刻蚀液来刻蚀硬掩模图案中的二氧化钛图案和二氧化硅图案，以避免在刻蚀二氧化钛图案和二氧化硅图案时，损伤金属层，影响既有的金属层的功能。

[0015] 第二方面，提供一种DRAM电容的制造方法，包括第一方面所述的硬掩模图案的制造方法；待刻蚀层为氧化物层；DRAM电容的制造方法，还包括：以硬掩模图案为掩模，对氧化物层进行刻蚀，形成电容孔；在电容孔中形成下电极、介质层和上电极。

[0016] 可选的，硬掩模图案包括二氧化钛图案和二氧化硅图案；DRAM电容的制造方法，还包括：去除硬掩模图案；去除硬掩模图案，包括：利用氢氟酸刻蚀液去除二氧化钛图案和二氧化硅图案。

[0017] 本发明提供的DRAM电容的制造方法，包括第一方面所述的硬掩模图案的制造方法，在此基础上，还可在电容孔中形成DRAM电容的下电极、介质层和上电极。由于制造电容孔的工艺未受硬掩模图案形成工艺和刻蚀工艺的影响，因此，不会影响电容孔中下电极、介质层和上电极的图案，进而也不会影响DRAM电容的功能。

附图说明

[0018] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0019] 图1为现有技术提供一种硬掩模图案的制造过程图；

[0020] 图2为相关技术提供一种硬掩模图案的制造过程图；

[0021] 图3为本发明实施例提供一种硬掩模图案的制造过程图；

[0022] 图4为本发明实施例提供一种硬掩模图案的制造过程图；

[0023] 图5为本发明实施例提供一种硬掩模图案的制造过程图；

[0024] 图6为本发明实施例提供一种硬掩模图案的制造过程图；

[0025] 图7为本发明实施例提供一种硬掩模图案的制造过程图；

[0026] 图8为本发明实施例提供一种硬掩模图案的制造时序图；

[0027] 图9为本发明实施例提供一种硬掩模图案的制造过程图；

[0028] 图10为本发明实施例提供一种硬掩模图案的制造过程图；

[0029] 图11为本发明实施例提供一种硬掩模图案的制造过程图；

[0030] 图12为本发明实施例提供一种硬掩模图案的制造过程图；

[0031] 图13为本发明实施例提供一种硬掩模图案的制造过程图；

[0032] 图14为本发明实施例提供一种硬掩模图案的制造过程图；

[0033] 图15为本发明实施例提供一种硬掩模图案的制造过程图；

[0034] 图16为本发明实施例提供一种DRAM电容的制造过程图；

[0035] 图17为本发明实施例提供一种DRAM电容的制造过程图。

[0036] 附图标记：

[0037] 10-半导体衬底；11-待刻蚀层；111-电容孔；12-多晶硅膜；121-多晶硅；13-二氧化钛膜；14-二氧化硅膜；15-碳层；16-抗反射涂层；17-光刻胶；21-硬掩模图案；31-下电极；32-介质层；33-上电极。

具体实施方式

[0038] 以下，将参照附图来描述本公开的实施例。但是应该理解，这些描述只是示例性的，而并非要限制本公开的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本公开的概念。

[0039] 在附图中示出了根据本公开实施例的各种结构示意图。这些图并非是按比例绘制的，其中为了清楚表达的目的，放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

[0040] 在本公开的上下文中，当将一层/元件称作位于另一层/元件“上”时，该层/元件可以直接位于该另一层/元件上，或者它们之间可以存在居中层/元件。另外，如果在一种朝向中一层/元件位于另一层/元件“上”，那么当调转朝向时，该层/元件可以位于该另一层/元件“下”。

[0041] 为了解决背景技术中提出的在多晶硅太厚，以至于在刻蚀过程中影响氧化物层的图案的问题。

[0042] 如图2所示，相关技术提出，可以在多晶硅膜12上形成二氧化钛膜13，且需采用湿法刻蚀去除二氧化钛膜13。然而，由于二氧化钛膜13为金属化合物，若基板上还设有金属层，则在刻蚀二氧化钛膜13的同时还会腐蚀金属层，影响金属层在基板中的功能。

[0043] 本发明的实施例提出了一种制备硬掩模图案的方法，通过将二氧化钛膜13替换为二氧化钛膜13和二氧化硅膜，可以通过调节二氧化钛膜13和二氧化硅膜中钛的浓度，选择最佳的刻蚀选择性，以改善因单独刻蚀二氧化钛膜13，而腐蚀金属层的问题。尤其是，本发明的实施例应用于动态随机存取存储器 (Dynamic Random Access Memory, 简称DRAM) 的电容孔刻蚀工艺当中。以下将以DRAM制造当中的电容形成为例，对本发明的实施例进行具体说明。应当清楚，本发明的实施例可以应用在其他制造领域，并不局限于此。

[0044] 本发明实施例提供一种硬掩模图案的制造方法，可通过如下步骤实现：

[0045] 如图3所示，提供半导体衬底10。上述半导体衬底10可以是锗衬底、体硅衬底、绝缘体上硅 (Silicon-On-Insulator, 简称SOI) 衬底、III-V族化合物半导体衬底、绝缘体上锗 (Germanium-on-Insulator, 简称GOI) 衬底、硅锗衬底、或通过执行选择性外延生长 (Selective epitaxial growth, 简称SEG) 等获得的外延薄膜衬底。

[0046] 半导体衬底10上形成了DRAM制造工艺当中的一些结构,例如埋沟式半导体器件(BCAT),对应的位线和字线结构,以及预形成存储单元的存储单元接触以及着陆焊盘。在着陆焊盘之上形成了阻挡层。

[0047] 接着,如图4所示,在制造DRAM电容的工艺当中,需要在阻挡层上形成模制待刻蚀层11,待刻蚀层11可以是氧化物层。

[0048] 示例的,氧化薄膜的材料可以是氧化硅、氮氧化硅等。模制待刻蚀层11后续会被刻蚀形成上述电容孔。

[0049] 接着,如图5所示,在待刻蚀层上形成生长多晶硅121,多晶硅121覆盖半导体衬底10和待刻蚀层11暴露的表面。

[0050] 此处,可以采用LP CVD工艺生长多晶硅121。如图5所示,采用LP CVD工艺形成的多晶硅121可以生长在半导体衬底10和待刻蚀层11暴露在外所有表面上,包括半导体衬底10和待刻蚀层11的背面和侧面。

[0051] 接着,如图6所示,对待刻蚀层进行图案化处理,得到多晶硅膜12。多晶硅膜12的图案与待形成的二氧化钛膜13和二氧化硅膜14的图案相同。

[0052] 接着,如图7所示,在多晶硅膜上形成二氧化钛膜13和二氧化硅膜14。其中,可以采用等离子体增强原子层沉积(Plasma Enhanced Atomic Layer Deposition,简称PEALD)工艺形成二氧化钛膜13和二氧化硅膜14。

[0053] 此处,如图8所示,形成二氧化钛膜13的过程可以是:将钛(Ti)的前驱体注入多晶硅膜12上;并向制造硬掩模图案的腔体内通入氧气(O₂);打开射频设备,设置一定的射频功率,钛的前驱体与氧气发生反应,形成二氧化钛膜13。

[0054] 如图8所示,形成二氧化硅膜14的过程可以是:将硅(Si)的前驱体注入二氧化钛膜13上;并向制造所述硬掩模图案的腔体内通入氧气;打开射频设备,设置一定的射频功率,硅的前驱体与氧气发生反应,形成二氧化硅膜14。

[0055] 在此基础上,考虑到二氧化钛膜13和二氧化硅膜14的刻蚀选择性可以通过钛的浓度来控制,因此,可以通过调节二氧化钛膜13和二氧化硅膜14的层数,来调节二氧化钛膜13和二氧化硅膜14中钛的浓度,进而选择最佳的刻蚀选择性,以避免在刻蚀二氧化钛膜13和二氧化硅膜14时,损伤金属层。

[0056] 其中,二氧化钛膜13和二氧化硅膜14的层数均可以为单层或多层,二氧化钛膜13和二氧化硅膜14的层数可以相同,也可以不相同。当二氧化钛膜13和二氧化硅膜14的层数不相同,二氧化钛膜13与二氧化硅膜14的层数之比可以大于1:5。

[0057] 如图9所示,示例的,当二氧化钛膜13与二氧化硅膜14的层数之比可以大于1:5时,一层二氧化钛膜13与多层二氧化硅膜14可以交替形成。在本申请的一个实施例中,例如可以采用这样的沉积方法,在沉积一次二氧化钛膜13,可以沉积多次二氧化硅膜14;之后还可以重复此操作。

[0058] 对于上述二氧化钛膜13和二氧化硅膜14的层数,与硬掩模层的整体厚度和多晶硅膜12的厚度有关,为了使硬掩模层的厚度足够大、且使多晶硅膜12的厚度尽可能小,二氧化钛膜13和二氧化硅膜14的层数可以尽可能多。

[0059] 此处,由于本发明实施例的硬掩模层不但包括多晶硅膜12,还包括二氧化钛膜13和二氧化硅膜14,因此,相较于现有技术,本发明实施例的多晶硅膜12的厚度小于现有技术

的多晶硅膜12的厚度,从而可以改善因多晶硅121过厚,而在对侧面和背面的多晶硅121进行刻蚀得到多晶硅膜12时,影响待刻蚀层11的图案的问题。

[0060] 示例的,现有技术中,在半导体衬底10上形成DRAM电容时,作为硬掩模层的多晶硅121的厚度范围为4000~6000 Å。而本发明实施例提供的硬掩模包括多晶硅膜12、二氧化钛膜13和二氧化硅膜14,其中,多晶硅膜12的厚度可以小于或等于2000Å,每层二氧化钛膜13和二氧化硅膜14的厚度范围可以为200~500 Å。

[0061] 如图10所示,依次在二氧化硅膜14上一侧形成碳层15、抗反射涂层(Anti-Reflection Coating,简称ARC)16、以及光刻胶层17。

[0062] 此处,通过在硬掩模层与光刻胶层17之间设置碳层15和抗反射涂层16,可防止既有的反光结构影响曝光时的聚焦效果,从而影响待形成的光刻胶图案的图案,进而影响硬掩模图案21的图案。

[0063] 如图11所示,对光刻胶层17进行图案化处理得到光刻胶图案171。接着以光刻胶图案171为掩模对抗反射涂层16、碳层15进行图案化处理。

[0064] 接着,如图12所示,以光刻胶图案以及图形化处理后的抗反射涂层16和碳层15为掩模,对多晶硅膜12、二氧化钛膜13、二氧化硅膜14等硬掩模层进行图案化处理,得到硬掩模图案21。其中,硬掩模图案21包括二氧化钛图案、二氧化硅图案、以及多晶硅图案。之后可以将硬掩模图案21上的其他部分去除。

[0065] 此处,可以采用湿法刻蚀对多晶硅膜12进行刻蚀,得到多晶硅图案。可以利用氢氟酸刻蚀液对二氧化钛膜13和二氧化硅膜14进行刻蚀,得到二氧化钛图案、二氧化硅图案,且氢氟酸刻蚀液不会损伤金属层。

[0066] 接着,如图13所示,还可以以硬掩模图案21为掩模,对待刻蚀层11进行刻蚀,形成电容孔111。

[0067] 本发明实施例提供一种硬掩模图案的制造方法,可在形成多晶硅膜12之后,形成二氧化钛膜13和二氧化硅膜14。一方面,硬掩模层包括多晶硅膜12、二氧化钛膜13和二氧化硅膜14,相较于现有技术中硬掩模仅包括多晶硅膜12,本发明实施例可在硬掩模层的整体厚度不变的情况下,减小多晶硅膜12的厚度,以避免在去除采用LPCVD工艺在半导体衬底10背面和侧面生长的多晶硅膜12时,由于多晶硅膜12厚度过大而导致刻蚀多晶硅膜12的时间过长,影响待刻蚀层11的图案;另一方面,相较于仅在多晶硅膜12上形成二氧化钛膜13,本发明实施例可在多晶硅膜12上形成二氧化钛膜13和二氧化硅膜14,可以通过调节二氧化钛膜13和二氧化硅膜14中钛的浓度,选择最佳的刻蚀选择性,从而利用一定比例的刻蚀液来刻蚀硬掩模图案21中的二氧化钛图案和二氧化硅图案,以避免在刻蚀二氧化钛图案和二氧化硅图案时,损伤金属层,影响既有的金属层的功能。

[0068] 本发明实施例还提供一种硬掩模图案的制造方法,与前述实施例提供的硬掩模图案的制造方法中形成多晶硅膜12、二氧化钛膜13和二氧化硅膜14的步骤不同,其他步骤均与前述实施例提供的硬掩模图案的制造方法中的步骤相同,在此不再赘述。

[0069] 其中,形成多晶硅膜12、二氧化钛膜13和二氧化硅膜14的过程包括:

[0070] 如图5所示,在待刻蚀层11上生长所述多晶硅膜12,多晶硅膜12覆盖半导体衬底和待刻蚀层11暴露的表面。

[0071] 此处,可以采用LP CVD工艺生长多晶硅膜12。如图5所示,采用LP CVD工艺形成的

多晶硅膜12可以生长在半导体衬底10和待刻蚀层11暴露在外所有表面上,包括半导体衬底10和待刻蚀层11的背面和侧面。

[0072] 接着,如图14所示,在多晶硅膜12上形成二氧化钛膜13和二氧化硅膜14。

[0073] 此处,本发明实施例形成二氧化钛膜13和二氧化硅膜14的解释说明,与前一实施例形成二氧化钛膜13和二氧化硅膜14的解释说明相同,在此不再赘述。

[0074] 如图15所示,对多晶硅膜12进行图案化处理,经图案化处理后的多晶硅膜12的图案与二氧化钛膜13和二氧化硅膜14的图案相同。

[0075] 本发明实施例提供一种硬掩模图案的制造方法,可在形成多晶硅膜12之后,形成二氧化钛膜13和二氧化硅膜14。一方面,硬掩模层包括多晶硅膜12、二氧化钛膜13和二氧化硅膜14,相较于现有技术中硬掩模仅包括多晶硅膜12,本发明实施例可在硬掩模层的整体厚度不变的情况下,减小多晶硅膜12的厚度,以避免在去除采用LPCVD工艺在半导体衬底10背面和侧面生长的多晶硅膜12时,由于多晶硅膜12厚度过大而导致刻蚀多晶硅膜12的时间过长,影响待刻蚀层11的图案;另一方面,相较于仅在多晶硅膜12上形成二氧化钛膜13,本发明实施例可在多晶硅膜12上形成二氧化钛膜13和二氧化硅膜14,可以通过调节二氧化钛膜13和二氧化硅膜14中钛的浓度,选择最佳的刻蚀选择性,从而利用一定比例的刻蚀液来刻蚀硬掩模图案21中的二氧化钛图案和二氧化硅图案,以避免在刻蚀二氧化钛图案和二氧化硅图案时,损伤金属层,影响既有的金属层的功能。

[0076] 本发明实施例还提供一种DRAM电容的制造方法,包括前述任一实施例所述的硬掩模图案的制造方法。

[0077] 如图16所示,待刻蚀层11为氧化物层,对氧化物层进行刻蚀形成电容孔后,可在电容孔中形成DRAM电容的下电极、介质层和上电极。

[0078] 接着,如图17所示,去除光刻胶图案171、抗反射涂层16、碳层15、以及硬掩模图案21。

[0079] 其中,可以根据多晶硅图案的材料,可以采用湿法刻蚀对多晶硅图案进行刻蚀,以去除多晶硅图案。可以利用氢氟酸刻蚀液去除二氧化钛图案和二氧化硅图案,且氢氟酸刻蚀液不会损伤金属层。

[0080] 本发明实施例提供一种DRAM电容的制造方法,包括前述任一实施例所述的硬掩模图案的制造方法,在此基础上,还可在电容孔中形成DRAM电容的下电极、介质层和上电极。由于制造电容孔的工艺未受硬掩模图案形成工艺和刻蚀工艺的影响,因此,不会影响电容孔中下电极、介质层和上电极的图案,进而也不会影响DRAM电容的功能。

[0081] 本发明实施例还提供一种基板,由前述任一实施例所述的硬掩模图案的制造方法或DRAM电容的制造方法制造得到。

[0082] 所述基板的解释说明和有益效果可参考前述一种硬掩模图案的制造方法或DRAM电容的制造方法制造的解释说明和有益效果,在此不再赘述。

[0083] 本发明实施例还提供一种电子设备,包括前述实施例所述的基板。

[0084] 不对电子设备的具体用途进行限定,只要电子设备内包括上述基板即可。

[0085] 示例的,电子设备包括智能电话、计算机、平板电脑、可穿戴智能设备、人工智能设备、移动电源中的至少一种。

[0086] 所述电子设备的解释说明和有益效果可参考前述一种硬掩模图案的制造方法或

DRAM电容的制造方法制造的解释说明和有益效果,在此不再赘述。

[0087] 在以上的描述中,对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解,可以通过各种技术手段,来形成所需形状的层、区域等。另外,为了形成同一结构,本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。另外,尽管在以上分别描述了各实施例,但是这并不意味着各个实施例中的措施不能有利地结合使用。

[0088] 以上对本公开的实施例进行了描述。但是,这些实施例仅仅是为了说明的目的,而并非为了限制本公开的范围。本公开的范围由所附权利要求及其等价物限定。不脱离本公开的范围,本领域技术人员可以做出多种替代和修改,这些替代和修改都应落在本公开的范围之内。

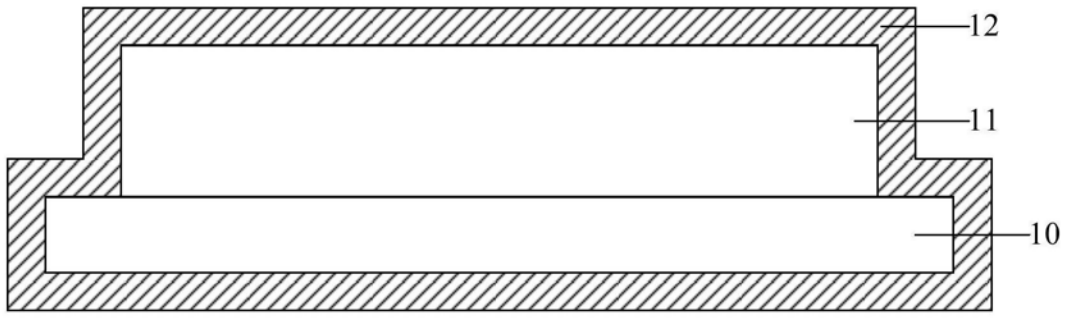


图1

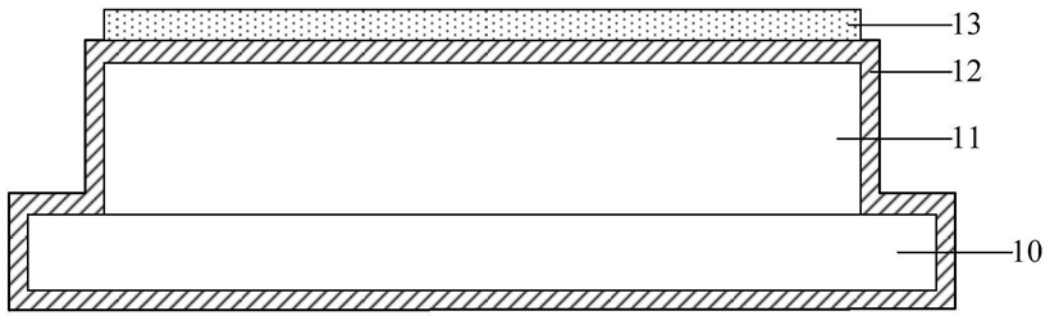


图2

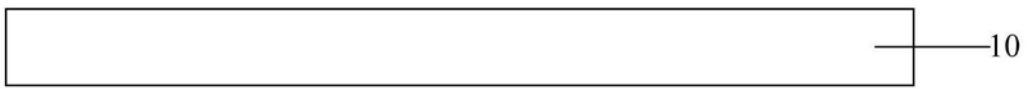


图3

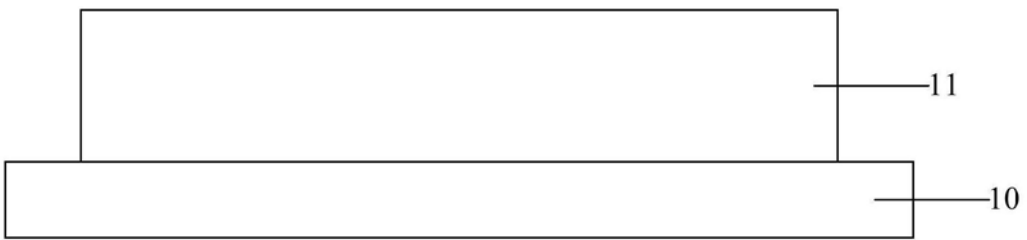


图4

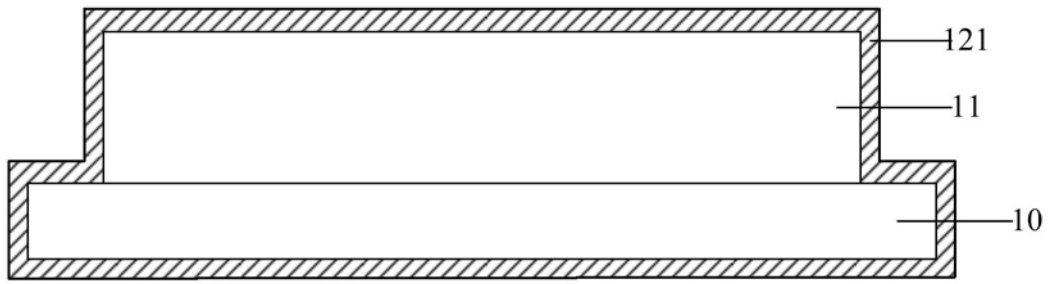


图5

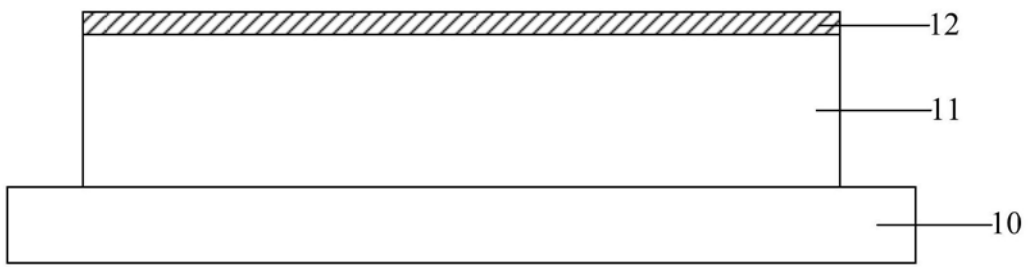


图6

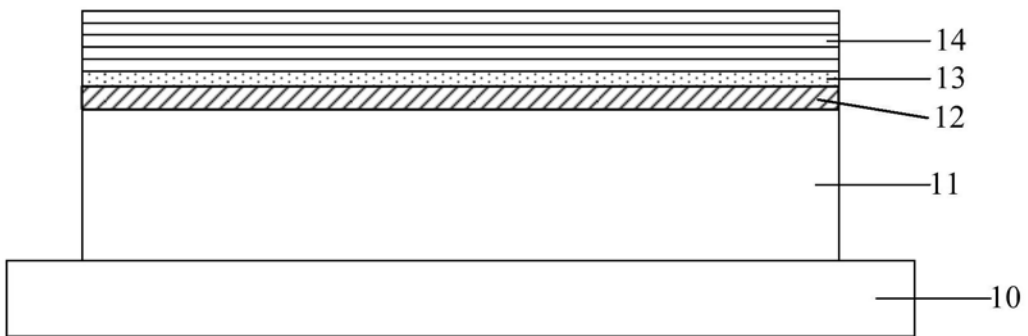


图7

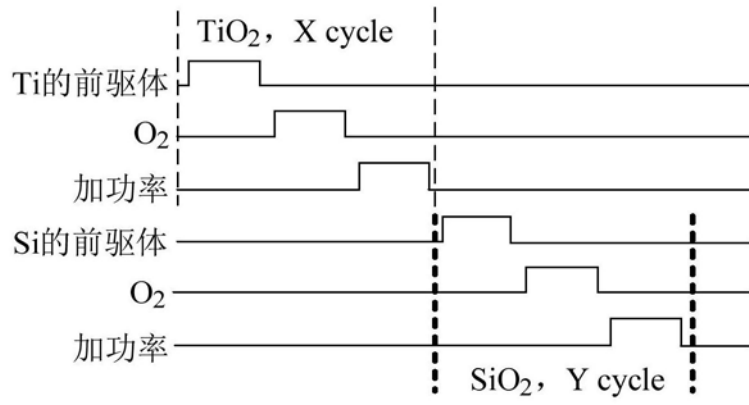


图8

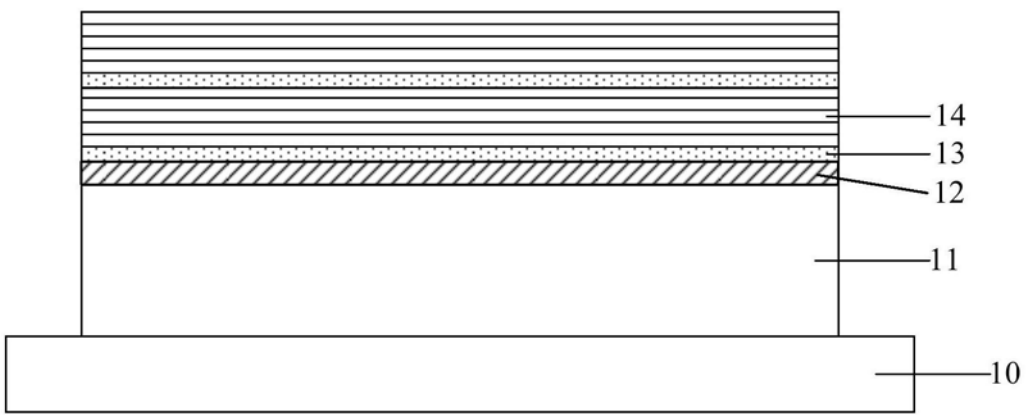


图9

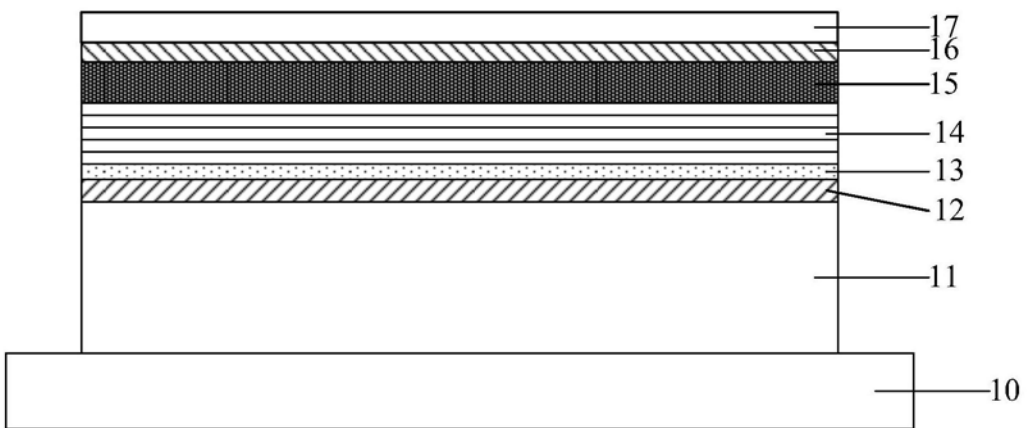


图10

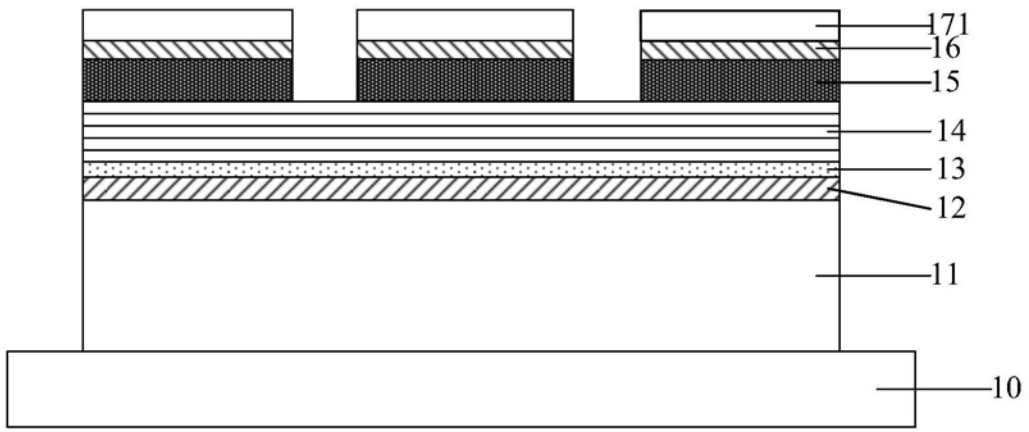


图11

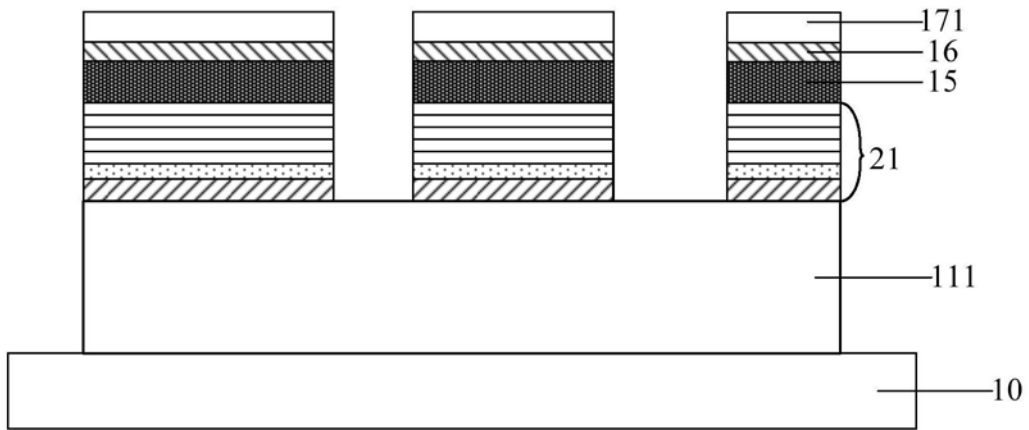


图12

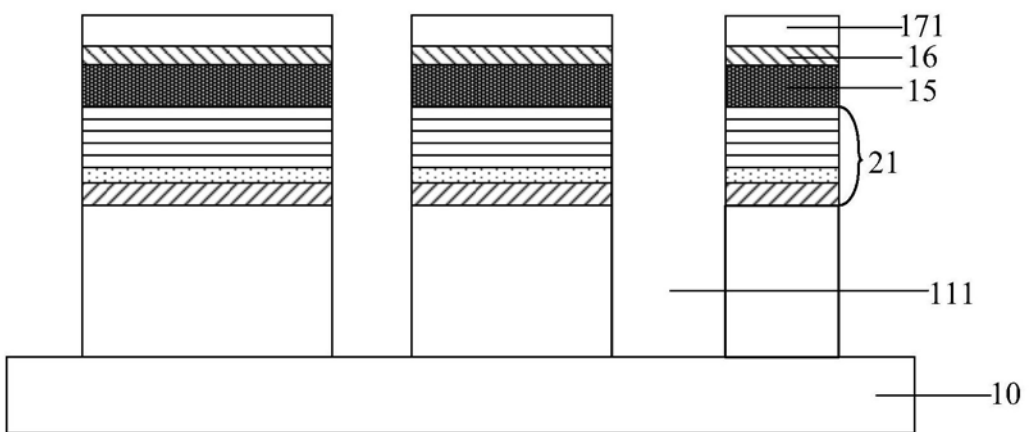


图13

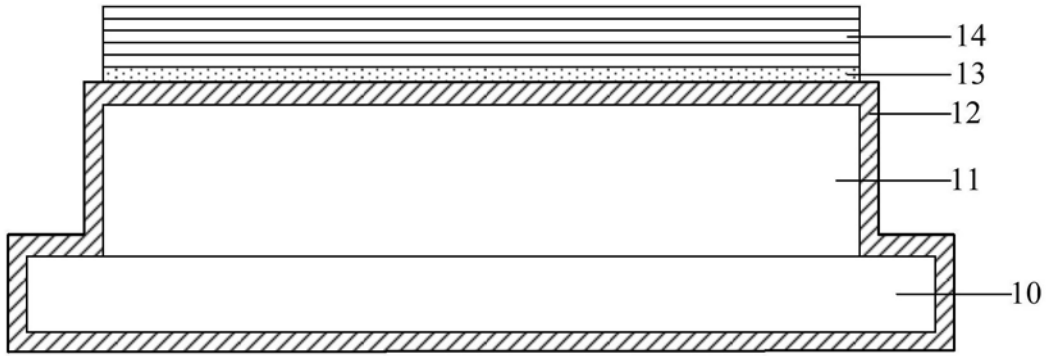


图14

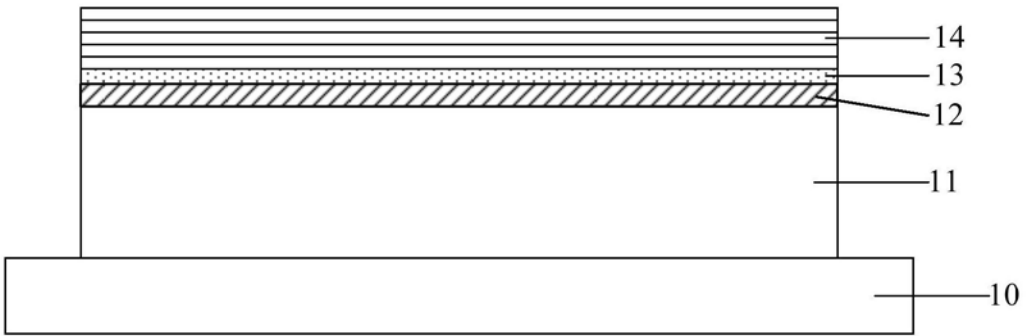


图15

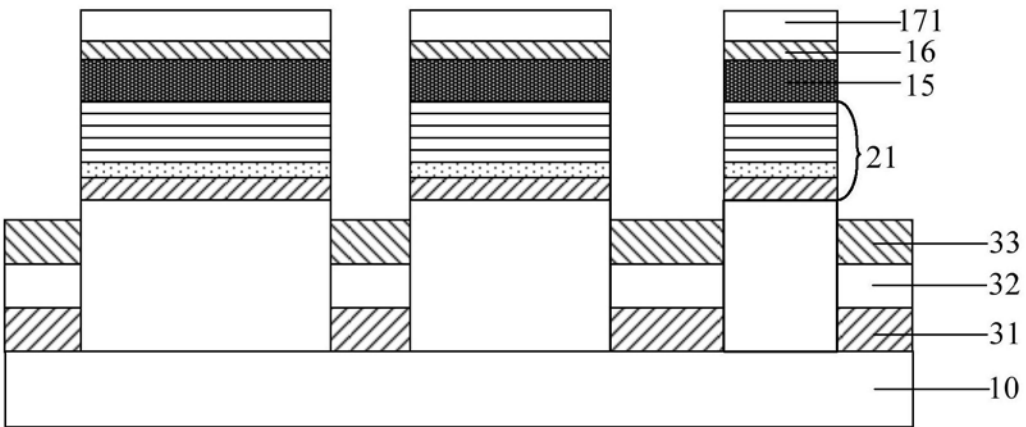


图16

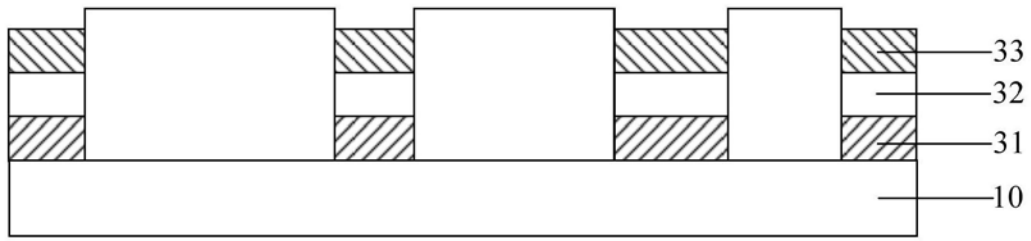


图17