



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년06월10일
(11) 등록번호 10-0963003
(24) 등록일자 2010년06월03일

(51) Int. Cl.

H01L 29/786 (2006.01)

(21) 출원번호 10-2008-0011492

(22) 출원일자 2008년02월05일

심사청구일자 2008년02월05일

(65) 공개번호 10-2009-0085738

(43) 공개일자 2009년08월10일

(56) 선행기술조사문헌

JP19250982 A*

JP2006098480 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

박진성

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소

김광숙

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소

(뒷면에 계속)

(74) 대리인

신영무

전체 청구항 수 : 총 8 항

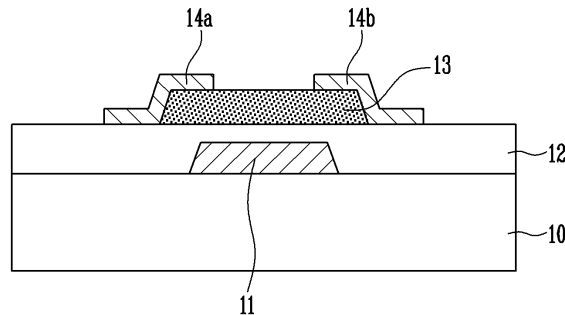
심사관 : 김태훈

(54) 박막 트랜지스터, 그의 제조 방법 및 박막 트랜지스터를 구비하는 평판 표시 장치

(57) 요약

본 발명은 산화물 반도체를 활성층으로 하는 박막 트랜지스터, 그의 제조 방법 및 박막 트랜지스터를 구비하는 평판 표시 장치에 관한 것으로, 본 발명의 박막 트랜지스터는 기판 상에 형성된 게이트 전극, 게이트 절연막에 의해 게이트 전극과 절연되며 채널 영역, 소스 영역 및 드레인 영역을 제공하는 산화물 반도체층, 그리고 소스 영역 및 드레인 영역과 접촉되는 소스 전극 및 드레인 전극을 포함한다. 산화물 반도체층이 지르코늄(Zr)을 포함하는 InZnO(IZO)층으로 이루어지고, Zr에 의해 IZO층의 캐리어 농도가 $1e+13$ 내지 $1e+18$ 개수/cm²로 조절된다.

대표도 - 도1



(72) 발명자

정종환

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙
연구소

정재경

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙
연구소

모연곤

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙
연구소

특허청구의 범위

청구항 1

기관;

상기 기관 상에 형성된 게이트 전극;

게이트 절연막에 의해 상기 게이트 전극과 절연되며 채널 영역, 소스 영역 및 드레인 영역을 포함하는 산화물 반도체층; 및

상기 소스 영역 및 상기 드레인 영역과 접촉되는 소스 전극 및 드레인 전극을 포함하며,

상기 산화물 반도체층이 Zr을 포함하는 IZO층으로 이루어지고,

상기 Zr의 양에 의해 상기 IZO층의 캐리어 농도가 $1e+13$ 개수/cm² 내지 $1e+18$ 개수/cm²로 조절되는 박막 트랜지스터.

청구항 2

삭제

청구항 3

기관 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극을 포함하는 상부에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 채널 영역, 소스 영역 및 드레인 영역을 제공하는 산화물 반도체층을 형성하는 단계; 및

상기 소스 영역 및 드레인 영역과 접촉되는 소스 전극 및 드레인 전극을 형성하는 단계를 포함하며,

상기 산화물 반도체층 형성 단계는 타겟으로부터 In, Zn 및 Zr을 포함하는 이온이 증착되어 상기 게이트 절연막 상에 Zr을 포함하는 IZO층이 형성되도록 하되, 상기 Zr의 양을 조절하여 상기 IZO층의 캐리어 농도가 $1e+13$ 개수/cm² 내지 $1e+18$ 개수/cm²가 되도록 하는 단계를 포함하는 박막 트랜지스터의 제조 방법.

청구항 4

제 3 항에 있어서, 상기 타겟은 InZnO 타겟 및 Zr 타겟을 포함하는 박막 트랜지스터의 제조 방법.

청구항 5

제 4 항에 있어서, 상기 Zr 타겟에 인가되는 바이어스 전력의 크기를 조절하여 상기 Zr의 양을 조절하는 박막 트랜지스터의 제조 방법.

청구항 6

제 4 항에 있어서, 상기 Zr 타겟에 조사되는 펄스 레이저의 세기를 조절하여 상기 Zr의 양을 조절하는 박막 트랜지스터의 제조 방법.

청구항 7

삭제

청구항 8

제 3 항에 있어서, 상기 Zr의 양을 20at% 내지 0at%의 범위 내에서 조절하는 박막 트랜지스터의 제조 방법.

청구항 9

다수의 제 1 도전선과 제 2 도전선에 의해 다수의 화소가 정의되고, 각 화소로 공급되는 신호를 제어하는 박막 트랜지스터 및 박막 트랜지스터와 연결된 제 1 전극이 형성된 제 1 기관;

제 2 전극이 형성된 제 2 기관; 및

상기 제 1 전극과 제 2 전극 사이의 밀봉된 공간에 주입된 액정층을 포함하고,

상기 박막 트랜지스터는 상기 제 1 기관 상에 형성된 게이트 전극;

게이트 절연막에 의해 상기 게이트 전극과 절연되며 채널 영역, 소스 영역 및 드레인 영역을 포함하는 산화물 반도체층; 및

상기 소스 영역 및 상기 드레인 영역과 접촉되는 소스 전극 및 드레인 전극을 포함하며,

상기 산화물 반도체층이 Zr을 포함하는 IZO층으로 이루어지고,

상기 Zr의 양에 의해 상기 IZO층의 캐리어 농도가 $1e+13$ 개수/cm³ 내지 $1e+18$ 개수/cm³로 조절되는 박막 트랜지스터를 구비하는 평판 표시 장치.

청구항 10

삭제

청구항 11

제 1 전극, 유기 박막층 및 제 2 전극으로 이루어진 유기전계발광 소자와, 상기 유기전계발광 소자의 동작을 제어하기 위한 박막 트랜지스터가 형성된 제 1 기관; 및

상기 제 1 기관에 대향되도록 배치된 제 2 기관을 포함하고,

상기 박막 트랜지스터는 상기 제 1 기관 상에 형성된 게이트 전극;

게이트 절연막에 의해 상기 게이트 전극과 절연되며 채널 영역, 소스 영역 및 드레인 영역을 포함하는 산화물 반도체층; 및

상기 소스 영역 및 상기 드레인 영역과 접촉되는 소스 전극 및 드레인 전극을 포함하며,

상기 산화물 반도체층이 Zr을 포함하는 IZO층으로 이루어지고,

상기 Zr의 양에 의해 상기 IZO층의 캐리어 농도가 $1e+13$ 개수/cm³ 내지 $1e+18$ 개수/cm³로 조절되는 박막 트랜지스터를 구비하는 평판 표시 장치.

청구항 12

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 박막 트랜지스터, 그의 제조 방법 및 박막 트랜지스터를 구비하는 평판 표시 장치에 관한 것으로, 보다 상세하게는 산화물 반도체를 활성층으로 하는 박막 트랜지스터, 그의 제조 방법 및 박막 트랜지스터를 구비하는 평판 표시 장치에 관한 것이다.

배경기술

[0002] 일반적으로 박막 트랜지스터(Thin Film Transistor)는 채널 영역, 소스 영역 및 드레인 영역을 제공하는 활성층과, 채널 영역 상부에 형성되며 게이트 절연막에 의해 활성층과 전기적으로 절연되는 게이트 전극으로 이루어진다.

[0003] 이와 같이 이루어진 박막 트랜지스터의 활성층은 대개 비정질 실리콘(amorphous silicon)이나 폴리 실리콘(poly-silicon)과 같은 반도체 물질로 형성되는데, 활성층이 비정질 실리콘으로 형성되면 이동도(mobility)가 낮아 고속으로 동작되는 구동 회로의 구현이 어려우며, 폴리 실리콘으로 형성되면 이동도는 높지만 문턱전압이 불균일하여 별도의 보상 회로가 부가되어야 하는 문제점이 있다.

- [0004] 또한, 저온 폴리 실리콘(low temperature poly-silicon; LTPS)을 이용한 종래의 박막 트랜지스터 제조 방법은 레이저 열처리 등과 같은 고가의 공정이 포함되고 특성 제어가 어렵기 때문에 대면적의 기판에 적용이 어려운 문제점이 있다.
- [0005] 이러한 문제점을 해결하기 위해 최근에는 산화물 반도체를 활성층으로 이용하는 연구가 진행되고 있다.
- [0006] 일본공개특허 2004-273614호에는 산화아연(Zinc Oxide; ZnO) 또는 산화아연(ZnO)을 주성분으로 하는 산화물 반도체를 활성층으로 이용한 박막 트랜지스터가 개시되어 있다.
- [0007] 산화아연(ZnO)을 주성분으로 하는 산화물 반도체는 비정질 형태이면서 안정적인 재료로서 평가되고 있으며, 이러한 산화물 반도체를 활성층으로 이용하면 기존의 저온 폴리 실리콘(LTPS) 공정으로 박막 트랜지스터를 제조할 수 있고, 300℃ 이하의 저온에서도 공정이 가능해진다.
- [0008] 그러나 산화아연(ZnO)을 주성분으로 하는 산화물 반도체를 소자에 적용하기 위해서는 전기적 특성을 만족시킬 수 있는 공정 개발 및 특성 개선이 요구되는 실정이다.

발명의 내용

해결 하고자하는 과제

- [0009] 본 발명의 목적은 산화물 반도체층의 캐리어 농도를 용이하게 조절할 수 있는 박막 트랜지스터, 그의 제조 방법 및 박막 트랜지스터를 구비하는 평판 표시 장치를 제공하는 데 있다.

과제 해결수단

- [0010] 상기한 목적을 달성하기 위한 본 발명의 일 측면에 따른 박막 트랜지스터는 기판; 상기 기판 상에 형성된 게이트 전극; 게이트 절연막에 의해 상기 게이트 전극과 절연되며 채널 영역, 소스 영역 및 드레인 영역을 포함하는 산화물 반도체층; 및 상기 소스 영역 및 상기 드레인 영역과 접촉되는 소스 전극 및 드레인 전극을 포함하며, 상기 산화물 반도체층이 Zr을 포함하는 IZO층으로 이루어진다.
- [0011] 상기한 목적을 달성하기 위한 본 발명의 다른 일 측면에 따른 박막 트랜지스터의 제조 방법은 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극을 포함하는 상부에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 채널 영역, 소스 영역 및 드레인 영역을 제공하는 산화물 반도체층을 형성하는 단계; 및 상기 소스 영역 및 드레인 영역과 접촉되는 소스 전극 및 드레인 전극을 형성하는 단계를 포함하며, 상기 산화물 반도체층 형성 단계는 타겟으로부터 In, Zn 및 Zr을 포함하는 이온이 증착되어 상기 게이트 절연막 상에 Zr을 포함하는 IZO층이 형성되도록 하는 단계를 포함한다.
- [0012] 상기한 목적을 달성하기 위한 본 발명의 또 다른 일 측면에 따른 박막 트랜지스터를 구비하는 평판 표시 장치는 다수의 제 1 도전선과 제 2 도전선에 의해 다수의 화소가 정의되고, 각 화소로 공급되는 신호를 제어하는 박막 트랜지스터 및 박막 트랜지스터와 연결된 제 1 전극이 형성된 제 1 기판; 제 2 전극이 형성된 제 2 기판; 및 상기 제 1 전극과 제 2 전극 사이의 밀봉된 공간에 주입된 액정층을 포함하고, 상기 박막 트랜지스터는 상기 제 1 기판 상에 형성된 게이트 전극; 게이트 절연막에 의해 상기 게이트 전극과 절연되며 채널 영역, 소스 영역 및 드레인 영역을 포함하는 산화물 반도체층; 및 상기 소스 영역 및 상기 드레인 영역과 접촉되는 소스 전극 및 드레인 전극을 포함하며, 상기 산화물 반도체층이 Zr을 포함하는 IZO층으로 이루어진다.
- [0013] 또한, 상기한 목적을 달성하기 위한 본 발명의 또 다른 일 측면에 따른 박막 트랜지스터를 구비하는 평판 표시 장치는 제 1 전극, 유기 박막층 및 제 2 전극으로 이루어진 유기전계발광 소자와, 상기 유기전계발광 소자의 동작을 제어하기 위한 박막 트랜지스터가 형성된 제 1 기판; 및 상기 제 1 기판에 대향되도록 배치된 제 2 기판을 포함하고, 상기 박막 트랜지스터는 상기 제 1 기판 상에 형성된 게이트 전극; 게이트 절연막에 의해 상기 게이트 전극과 절연되며 채널 영역, 소스 영역 및 드레인 영역을 포함하는 산화물 반도체층; 및 상기 소스 영역 및 상기 드레인 영역과 접촉되는 소스 전극 및 드레인 전극을 포함하며, 상기 산화물 반도체층이 Zr을 포함하는 IZO층으로 이루어진다.

효과

- [0014] 본 발명의 박막 트랜지스터는 활성층으로 이용되는 산화물 반도체층이 Zr을 포함하는 IZO층으로 이루어지며, Zr에 의해 IZO층의 캐리어 농도가 $1e+13$ 내지 $1e+18$ 개수/cm²로 조절된다. 본 발명은 Zr을 도핑하여 IZO층의 높은

캐리어 농도를 반도체 특성을 가질 수 있도록 용이하게 감소시킴으로써 제조 공정이 간단해지고, 소자의 전기적 특성이 보다 향상될 수 있다.

발명의 실시를 위한 구체적인 내용

- [0015] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 이하의 실시예는 이 기술 분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서, 여러 가지 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다.
- [0016] 도 1은 본 발명에 따른 박막 트랜지스터를 설명하기 위한 단면도이다.
- [0017] 절연물로 이루어진 기판(10) 상에 게이트 전극(11)이 형성된다. 기판(10)과 게이트 전극(11) 사이에는 버퍼층(도시안됨)이 형성될 수 있다.
- [0018] 게이트 전극(11)을 포함하는 상부에는 게이트 절연막(12)에 의해 게이트 전극(11)과 전기적으로 절연되며, 채널 영역, 소스 영역 및 드레인 영역을 제공하는 산화물 반도체층(13)이 형성된다. 산화물 반도체층(13)은 지르코늄(Zr)이 포함된 InZnO(IZO)층으로 형성되며, Zr에 의해 IZO층의 캐리어 농도가 $1e+13$ 내지 $1e+18$ 개수/cm²로 조절된다.
- [0019] 산화물 반도체층(13) 상에는 소스 영역 및 드레인 영역과 접촉되는 소스 전극 및 드레인 전극(14a 및 14b)이 형성된다.
- [0020] 도 2a 내지 도 2c는 본 발명에 따른 박막 트랜지스터의 제조 방법을 설명하기 위한 단면도로서, 제조 공정을 통해 본 발명의 박막 트랜지스터를 보다 상세히 설명한다.
- [0021] 도 2a를 참조하면, 절연물로 이루어진 기판(10) 상에 게이트 전극(11)을 형성한 후 게이트 전극(11)을 포함하는 상부에 게이트 절연막(12)을 형성한다. 이 때 기판(10) 상에 버퍼층(도시안됨)을 형성한 후 버퍼층 상에 게이트 전극(11)을 형성할 수 있다. 게이트 전극(11)은 Mo, MoW, Al 등의 금속으로 형성하고, 게이트 절연막(12)은 실리콘 산화막(SiO₂)이나 실리콘 질화막(SiNx)으로 형성한다.
- [0022] 도 2b를 참조하면, 게이트 전극(11)과 중첩되도록 게이트 절연막(12) 상에 채널 영역, 소스 영역 및 드레인 영역을 제공하는 산화물 반도체층(13)을 형성한다. 산화물 반도체층(13)은 지르코늄(Zr)이 포함된 InZnO(IZO)층으로 형성하며, Zr의 양을 조절하여 IZO층의 캐리어 농도가 $1e+13$ 내지 $1e+18$ 개수/cm²로 유지되도록 한다. 지르코늄(Zr)이 포함된 InZnO(IZO)층은 증착 방법에 따라 비정질 또는 나노 결정 등의 결정질로 형성할 수 있다.
- [0023] Zr을 포함하는 IZO층을 형성하는 실시예로서, 타겟(target)으로부터 In, Zn 및 Zr을 포함하는 이온이 증착되어 게이트 절연막(12) 상에 Zr이 포함된 IZO층이 형성되도록 할 수 있다. 타겟으로는 InZnO 타겟 및 Zr 타겟을 사용할 수 있으며, 타겟에 인가되는 바이어스 전력이나, 펄스 레이저의 세기로 Zr의 양을 조절함으로써 IZO층의 캐리어 농도가 조절될 수 있다.
- [0024] 예를 들어, 코스퍼터링(co-sputtering) 방법의 경우, Zr 타겟에 인가되는 바이어스 전력의 크기를 조절하거나, Zr 타겟에 조사되는 펄스 레이저의 세기를 조절하여 Zr의 양을 조절할 수 있다. 양이온의 비율(In:Zn:Zr) 중 Zr의 양(비율)을 20at% 이상으로 조절하면 측정 조건(Hall measurement)에서 캐리어 농도가 $1e+13$ 개수/cm² 이하로 나타나는 것으로 추정된다. 따라서 Zr의 양을 20 내지 0at%의 범위 내에서 선형적으로 변화(감소)시키면 캐리어 농도를 $1e+21$ 개수/cm² 정도까지 증가시킬 수 있다.
- [0025] 도 2c를 참조하면, 산화물 반도체층(13)을 포함하는 상부에 도전층을 형성한 후 패터닝하여 산화물 반도체층(13)의 소스 영역 및 드레인 영역과 접촉되는 소스 전극 및 드레인 전극(14a 및 14b)을 형성한다.
- [0026] IZO와 같은 산화물 반도체는 증착 과정에서 산소(O₂)의 양을 조절하여 캐리어 농도를 조절함으로써 반도체 특성을 갖도록 한다. 그러나 실제 공정에서 IZO층의 높은 캐리어 농도($1e+20$ 내지 $1e+21$ 개수/cm²)를 반도체 특성을 가질 수 있는 정도의 캐리어 농도($1e+13$ 내지 $1e+18$ 개수/cm²)로 감소시키는 데는 많은 어려움이 따른다.
- [0027] 본 발명은 Zr을 도핑하여 IZO층의 높은 캐리어 농도($1e+20$ 내지 $1e+21$ 개수/cm²)를 반도체 특성을 가질 수 있는 정도의 캐리어 농도($1e+13$ 내지 $1e+18$ 개수/cm²)로 용이하게 감소시킨다. 즉, IZO층에 Zr을 도핑하면 ZrO_x가 형성되어 산소의 공핍이 감소되기 때문에 전기 전도성이 감소되는 것으로 추정되며, 이와 같이 Zr의 양을 조절하면 전기 전도성을 조절할 수 있게 된다.
- [0028] 도 3은 산소 및 Zr의 양에 따른 박막 트랜지스터의 전기적 특성을 도시한 그래프로서, 게이트 전압에 따른 드레

인 전류의 변화를 통해 온/오프(on/off) 특성을 비교하였다. 그래프를 통해 알 수 있듯이, 산소의 양을 조절하는 경우보다 Zr의 양을 조절하는 경우에서 보다 향상된 전기적 특성을 나타낸다. 즉, Zr 타겟에 인가되는 바이어스 전력의 크기를 조절하여 Zr의 양을 증가시킴으로써 캐리어 농도가 효과적으로 감소되어 반도체 특성을 갖게 된다.

- [0029] 상기와 같이 본 발명의 산화물 반도체층(13)은 투명의 반도체 물질(IZO)에 투명의 금속(Zr)이 포함되기 때문에 투명 박막 트랜지스터의 제조에 유리하며, 본 발명의 박막 트랜지스터는 액정 표시 장치, 유기전계발광 표시 장치 등에 응용이 가능하다.
- [0030] 도 4는 본 발명에 따른 박막 트랜지스터를 구비하는 평판 표시 장치의 일 실시예를 설명하기 위한 사시도로서, 화상을 표시하는 표시 패널(100)을 중심으로 개략적으로 설명한다.
- [0031] 표시 패널(100)은 대향하도록 배치된 두 개의 기관(110 및 120)과, 두 개의 기관(110 및 120) 사이에 개재된 액정층(130)으로 이루어지며, 기관(110)에 매트릭스 형태로 배열된 다수의 게이트 선(111)과 데이터 선(112)에 의해 화소 영역(113)이 정의된다. 그리고 게이트 선(111)과 데이터 선(112)이 교차되는 부분의 기관(110)에는 각 화소로 공급되는 신호를 제어하는 박막 트랜지스터(114) 및 박막 트랜지스터(114)와 연결된 화소 전극(115)이 형성된다.
- [0032] 박막 트랜지스터(114)는 도 1과 같은 구조를 가지며, 도 2a 내지 도 2c를 참조하여 설명한 본 발명의 제조 방법에 따라 제조될 수 있다.
- [0033] 또한, 기관(120)에는 컬러필터(121) 및 공통전극(122)이 형성된다. 그리고 기관(110 및 120)의 배면에는 편광판(116 및 123)이 각각 형성되며, 편광판(116)의 하부에는 광원으로서 백 라이트(도시안됨)가 배치된다.
- [0034] 한편, 표시 패널(100)의 화소 영역(113) 주변에는 표시 패널(100)을 구동시키기 위한 구동부(LCD Drive IC; 도시안됨)가 실장된다. 구동부는 외부로부터 제공되는 전기적 신호를 주사 신호 및 데이터 신호로 변환하여 게이트 선과 데이터 선으로 공급한다.
- [0035] 도 5a 및 도 5b는 본 발명에 따른 박막 트랜지스터를 구비하는 평판 표시 장치의 다른 실시예를 설명하기 위한 평면도 및 단면도로서, 화상을 표시하는 표시 패널(200)을 중심으로 개략적으로 설명한다.
- [0036] 도 5a를 참조하면, 기관(210)은 화소 영역(220)과, 화소 영역(220)을 둘러싸는 비화소 영역(230)으로 정의된다. 화소 영역(220)의 기관(210)에는 주사 라인(224) 및 데이터 라인(226) 사이에 매트릭스 방식으로 연결된 다수의 유기전계발광 소자(300)가 형성되고, 비화소 영역(230)의 기관(210)에는 화소 영역(220)의 주사 라인(224) 및 데이터 라인(226)으로부터 연장된 주사 라인(224) 및 데이터 라인(226), 유기전계발광 소자(300)의 동작을 위한 전원공급 라인(도시안됨) 그리고 패드(228)를 통해 외부로부터 제공된 신호를 처리하여 주사 라인(224) 및 데이터 라인(226)으로 공급하는 주사 구동부(234) 및 데이터 구동부(236)가 형성된다.
- [0037] 도 6을 참조하면, 유기전계발광 소자(300)는 애노드 전극(317) 및 캐소드 전극(320)과, 애노드 전극(317) 및 캐소드 전극(320) 사이에 형성된 유기 박막층(319)으로 이루어진다. 유기 박막층(319)은 정공 수송층, 유기발광층 및 전자 수송층이 적층된 구조로 형성되며, 정공 주입층과 전자 주입층이 더 포함될 수 있다. 또한, 유기전계발광 소자(300)의 동작을 제어하기 위한 박막 트랜지스터와 신호를 유지시키기 위한 캐패시터가 더 포함될 수 있다.
- [0038] 박막 트랜지스터는 도 1과 같은 구조를 가지며, 도 2a 내지 도 2c를 참조하여 설명한 본 발명의 제조 방법에 따라 제조될 수 있다.
- [0039] 상기와 같이 구성된 박막 트랜지스터를 포함하는 유기전계발광 소자(300)를 도 5a 및 도 6을 통해 보다 상세히 설명하면 다음과 같다.
- [0040] 기관(210) 상에 게이트 전극(11)이 형성된다. 이 때 화소 영역(220)에는 게이트 전극(11)과 연결되는 주사 라인(224)이 형성되고, 비화소 영역(230)에는 화소 영역(220)의 주사 라인(224)으로부터 연장되는 주사 라인(224) 및 외부로부터 신호를 제공받기 위한 패드(228)가 형성될 수 있다.
- [0041] 게이트 전극(11)을 포함하는 상부에는 게이트 절연막(12)에 의해 게이트 전극(11)과 전기적으로 절연되며, 채널 영역, 소스 영역 및 드레인 영역을 제공하는 산화물 반도체층(13)이 형성된다. 산화물 반도체층(13)은 Zr이 포함된 IZO층으로 형성되며, Zr에 의해 IZO층의 캐리어 농도가 $1e+13$ 내지 $1e+18$ 개수/cm²로 조절된다.
- [0042] 산화물 반도체층(13) 상에는 소스 영역 및 드레인 영역과 접촉되는 소스 및 드레인 전극(14a 및 14b)이 형성된

다. 이 때 화소 영역(220)에는 소스 및 드레인 전극(14a 및 14b)과 연결되는 데이터 라인(226)이 형성되고, 비화소 영역(230)에는 화소 영역(220)의 데이터 라인(226)으로부터 연장되는 데이터 라인(226) 및 외부로부터 신호를 제공받기 위한 패드(228)가 형성될 수 있다.

[0043] 소스 및 드레인 전극(14a 및 14b)을 포함하는 상부에는 평탄화층(316)이 형성되고, 평탄화층(316)에는 소스 또는 드레인 전극(14a 또는 14b)이 노출되도록 비아홀이 형성된다.

[0044] 비아홀을 통해 소스 또는 드레인 전극(14a 또는 14b)과 연결되는 애노드 전극(317)이 형성되고, 애노드 전극(317)의 일부 영역(발광 영역)이 노출되도록 평탄화층(316) 상에 화소 정의막(318)이 형성된다. 그리고 노출된 애노드 전극(317) 상에 유기 박막층(319)이 형성되고, 유기 박막층(319)을 포함하는 화소 정의막(318) 상에 캐소드 전극(320)이 형성된다.

[0045] 도 5b를 참조하면, 유기전계발광 소자(300)가 형성된 기관(210) 상부에는 화소 영역(220)을 밀봉시키기 위한 봉지 기관(400)이 배치되며, 밀봉재(410)에 의해 봉지 기관(400)이 기관(210)에 합착되어 표시 패널(200)이 완성된다.

[0046] 이상에서와 같이 상세한 설명과 도면을 통해 본 발명의 최적 실시예를 개시하였다. 용어들은 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면의 간단한 설명

[0047] 도 1은 본 발명에 따른 박막 트랜지스터를 설명하기 위한 단면도.

[0048] 도 2a 내지 도 2c는 본 발명에 따른 박막 트랜지스터의 제조 방법을 설명하기 위한 단면도.

[0049] 도 3은 산소 및 지르코늄(Zr)의 양에 따른 박막 트랜지스터의 전기적 특성을 도시한 그래프.

[0050] 도 4는 본 발명에 따른 박막 트랜지스터를 구비하는 평판 표시 장치의 일 실시예를 설명하기 위한 사시도.

[0051] 도 5a 및 도 5b는 본 발명에 따른 박막 트랜지스터를 구비하는 평판 표시 장치의 다른 실시예를 설명하기 위한 평면도 및 단면도.

[0052] 도 6은 도 5a의 유기전계발광 소자를 설명하기 위한 단면도.

[0053] <도면의 주요 부분에 대한 부호의 설명>

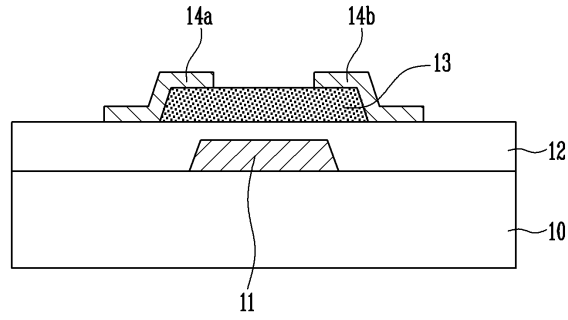
- [0054] 10, 110, 120, 210: 기관 11: 게이트 전극
- [0055] 12: 게이트 절연막 13: 산화물 반도체층
- [0056] 13a, 13b: GIZO층 14a: 소스 전극
- [0057] 14b: 드레인 전극 100, 200: 표시 패널
- [0058] 111: 게이트 선 112: 데이터 선
- [0059] 113: 화소 영역 114: 박막 트랜지스터
- [0060] 115: 화소 전극 116, 123: 편광판
- [0061] 121: 컬러필터 122: 공통전극
- [0062] 130: 액정층 220: 화소 영역
- [0063] 224: 주사 라인 226: 데이터 라인
- [0064] 228: 패드 230: 비화소 영역
- [0065] 234: 주사 구동부 236: 데이터 구동부
- [0066] 300: 유기전계발광 소자 316: 평탄화층

- [0067] 317: 애노드 전극
- [0068] 319: 유기 박막층
- [0069] 400: 봉지 기판

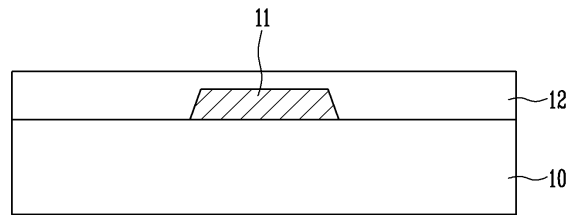
- 318: 화소 정의막
- 320: 캐소드 전극
- 410: 밀봉재

도면

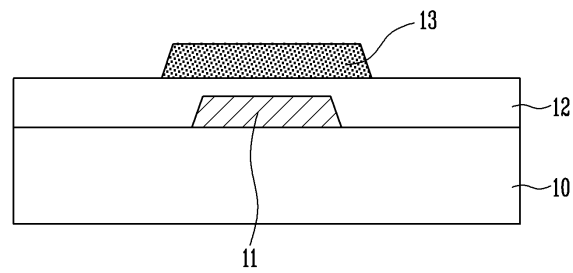
도면1



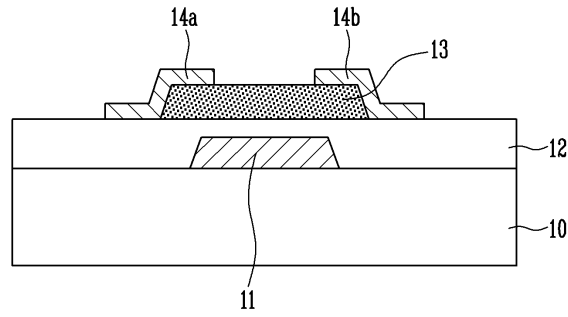
도면2a



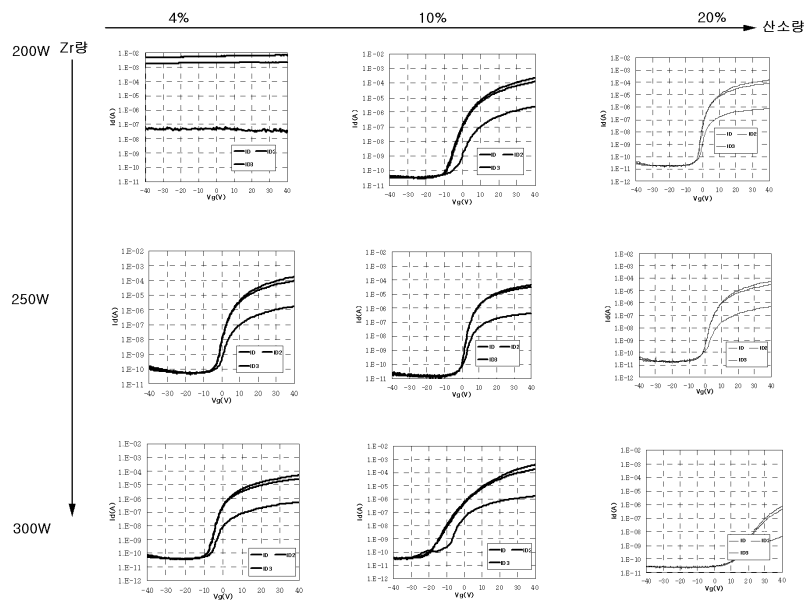
도면2b



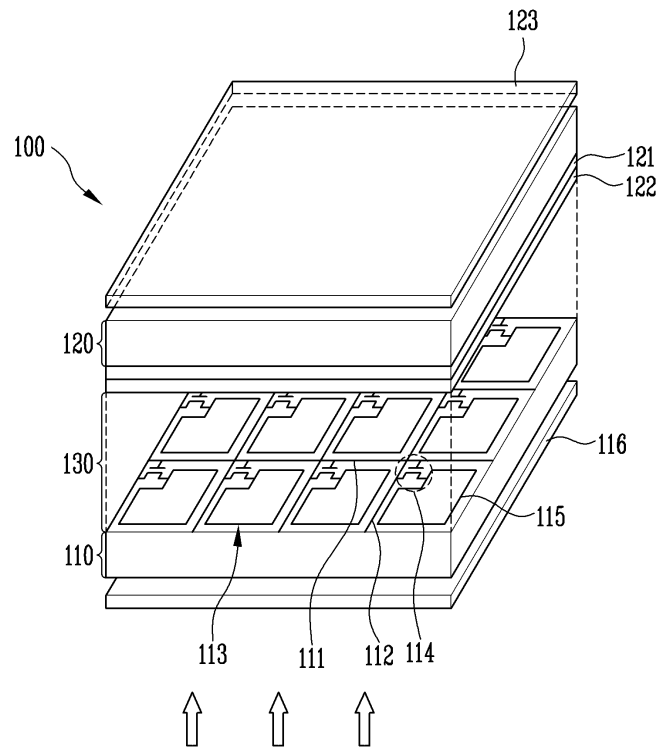
도면2c



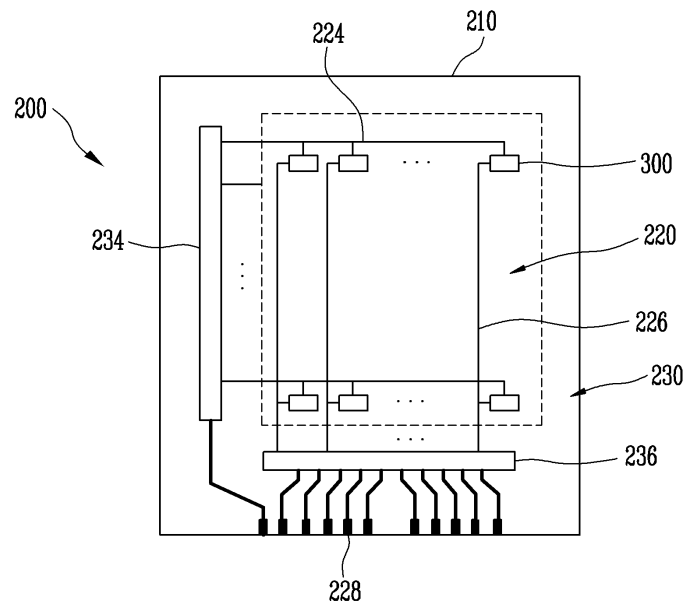
도면3



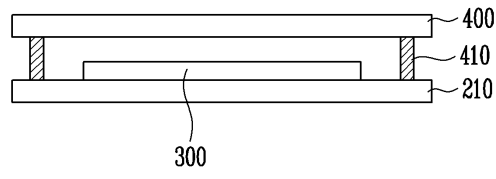
도면4



도면5a



도면5b



도면6

