



(21) 申請案號：105103011

(22) 申請日：中華民國 105 (2016) 年 01 月 30 日

(51) Int. Cl. : **H01L27/118 (2006.01)****H01L21/77 (2006.01)**

(30) 優先權：2015/10/27 美國

14/923,589

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR  
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72) 發明人：張至揚 CHANG, CHIH YANG (TW)；朱文定 CHU, WEN TING (TW)

(74) 代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：10 項 圖式數：34 共 48 頁

## (54) 名稱

積體電路及其製造方法

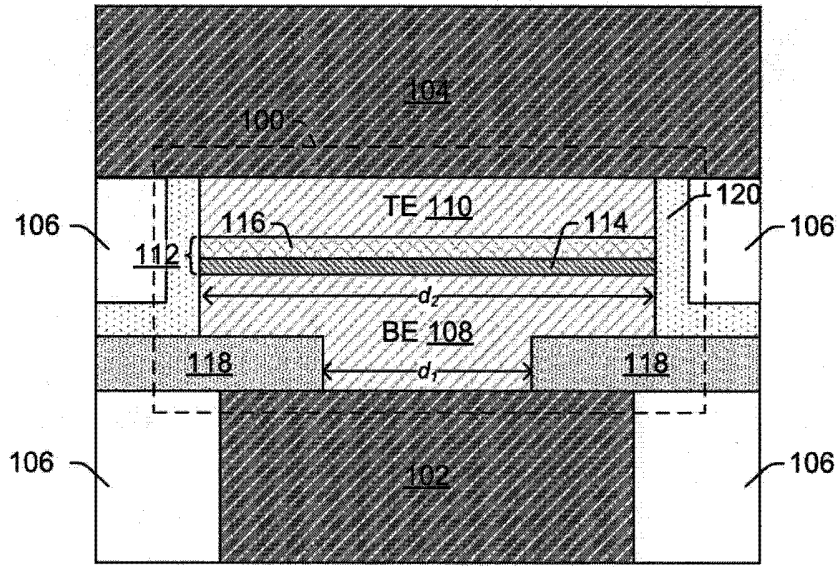
INTEGRATED CIRCUIT AND METHOD FOR FORMING THE SAME

## (57) 摘要

本揭露包含一些與含有記憶單元之積體電路相關的實施例。上述積體電路包括一半導體基板及設於其上之互連結構，上述互連結構包括複數個介電層及複數個金屬層，並以交替之方式相互堆疊。金屬層包括下方金屬層及上方金屬層，上方金屬層設於下方金屬層之上。下電極設於下方金屬層之上且與下方金屬層電性接觸。資料儲存層設於下電極上表面之上。上電極設於資料儲存層上表面之上且與上方金屬層之下表面直接電性接觸。

Some embodiments relate to an integrated circuit including a memory cell. The integrated circuit includes a semiconductor substrate and an interconnect structure disposed over the semiconductor substrate. The interconnect structure includes a plurality of dielectric layers and a plurality of metal layers that are stacked over one another in alternating fashion. The plurality of metal layers include a lower metal layer and an upper metal layer disposed over the lower metal layer. A bottom electrode is disposed over and in electrical contact with the lower metal layer. A data storage layer is disposed over an upper surface of bottom electrode. A top electrode is disposed over an upper surface of the data storage layer and is in direct electrical contact with a lower surface of the upper metal layer.

指定代表圖：



第 1 圖

符號簡單說明：

- 100 . . . 電阻式隨機存取記憶體單元
- 102 . . . 下方金屬層
- 104 . . . 上方金屬層
- 106 . . . 介電材料
- 108 . . . 下電極
- 110 . . . 上電極
- 112 . . . 可變電阻元件
- 114 . . . 電阻切換層
- 116 . . . 蓋層
- 118 . . . 蝕刻停止層
- 120 . . . 介電襯層
- d1、d2 . . . 距離

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

**【發明名稱】** 積體電路及其製造方法

Integrated circuit and method for forming the same

**【技術領域】**

**【0001】** 本揭露係有關於一種積體電路，且特別有關於一種電阻式隨機存取記憶體與其製造方法。

**【先前技術】**

**【0002】** 許多現代電子裝置具有電子記憶體。電子記憶體可以是揮發性記憶體或非揮發性記憶體。非揮發性記憶體在無電源時也能夠保存資料，而揮發性記憶體在電源消失時失去其儲存資料。電阻式隨機存取記憶體(Resistive Random Access Memory，簡稱RRAM)因其結構簡單及與互補式金氧半場效電晶體(CMOS)邏輯製造方法相容之特性，在下一世代的非揮發性記憶體技術中極具發展潛力而備受期待。

**【發明內容】**

**【0003】** 本揭露包括一種積體電路(IC)，包括：一個或一個以上置於一上方金屬互連層及一下方金屬互連層之間之記憶單元，一記憶單元包括：一下電極，連接下方金屬互連層；一資料儲存層或一介電層，置於下電極之上；一蓋層，置於資料儲存層或介電層之上；以及一上電極，置於蓋層之上，其中上電極之上表面直接與上方金屬互連層接觸，而不使用介層窗(via)或接觸窗(contact)連結上方金屬互連層。

**【0004】** 本揭露亦包括一種積體電路，包括：一半導體基板，包括一記憶體區域及一邏輯區域；一置於記憶體區域及邏

輯區域上之互連結構，互連結構包括複數個層層設置之金屬互連層，金屬互連層間以層間介電材料(Interlayer Dielectric，簡稱ILD)作為隔離；複數個置於記憶體區域上之記憶單元或金屬-絕緣體-金屬(Metal-Insulator-Metal，簡稱MIM)電容器，記憶單元或金屬-絕緣體-金屬(MIM)電容器介於一上方金屬互連層及一下方金屬互連層之間，上方金屬互連層與下方金屬互連層相鄰，一記憶單元或MIM電容器包括：一下電極，下電極連結下方金屬互連層之上部，一上電極，上電極之上平面在其側壁間連續延伸且與上方金屬互連層之下表面直接抵靠。

**【0005】** 本揭露亦包括一種積體電路的製造方法，包括：接收一半導體基板，其具有一互連結構設於半導體基板之一記憶體區及一邏輯區上；在位於記憶體區上方之互連結構上，形成一下電極及一上電極，其中下電極連結互連結構中之一下方金屬層，且下電極及上電極被一資料儲存層或介電層隔開；在上電極上形成一層間介電材料層；在層間介電材料層中形成暴露上電極上表面的一溝槽開口，溝槽開口有垂直或幾乎垂直之側壁；在溝槽開口中形成與上電極直接接觸之一上方金屬層。

### **【圖式簡單說明】**

**【0006】** 以下將配合所附圖式詳述本揭露之實施例。應注意的是，依據在業界的標準做法，各種特徵並未按照比例繪製且僅用以說明例示。事實上，可能任意地放大或縮小元件的尺寸，以清楚地表現出本揭露的特徵。

第1圖根據一些實施例繪示出一電阻式隨機存取記憶體單元之剖面圖。

第2圖根據一些其他的實施例繪示出一電阻式隨機存取記憶體單元之剖面圖。

第3A圖繪示出一些積體電路實施例的橫剖面，該積體電路包含置於一互連結構中之電阻式隨機存取記憶體單元。

第3B圖根據第3A圖繪示出一些積體電路實施例的俯視圖。

第4圖根據一些實施例繪示出一積體電路製造方法的流程圖。

第5圖至第16圖以一系列剖面圖繪示出一系列遞增的製造步驟。

第17圖根據一些實施例繪示出一積體電路製造方法的流程圖。

第18圖至第34圖以一系列剖面圖繪示出一系列遞增的製造步驟。

### **【實施方式】**

**【0007】** 以下公開許多不同的實施方法或是例子來實行本揭露之不同特徵，以下描述具體的元件及其排列的實施例以闡述本揭露。當然這些實施例僅用以例示，且不該以此限定本揭露的範圍。例如，在說明書中提到第一特徵形成於第二特徵之上，其包括第一特徵與第二特徵是直接接觸的實施例，另外也包括於第一特徵與第二特徵之間另外有其他特徵的實施例，亦即，第一特徵與第二特徵並非直接接觸。此外，在不同實施例中可能使用重複的標號或標示，這些重複僅爲了簡單清楚地敘述本揭露，不代表所討論的不同實施例及/或結構之間有特定

的關係。

**【0008】** 此外，其中可能用到與空間相關用詞，例如“在...下方”、“下方”、“較低的”、“上方”、“較高的”及類似的用詞，這些空間相關用詞係爲了便於描述圖示中一個(些)元件或特徵與另一個(些)元件或特徵之間的關係，這些空間相關用詞包括使用中或操作中的裝置之不同方位，以及圖式中所描述的方位。裝置可能被轉向不同方位(旋轉90度或其他方位)，則其中使用的空間相關形容詞也可相同地照著解釋。

**【0009】** 電阻式隨機存取記憶體(RRAM)單元包括一上電極、一下電極及設於上下電極之間的一可變電阻元件。可變電阻元件可在不同電阻值間切換，不同電阻值可對應到不同的資料狀態，藉此使電阻式隨機存取記憶體單元可以儲存一個或一個以上位元之資料。在傳統的電阻式隨機存取記憶體單元中，上電極藉由一接觸窗(contact)或介層窗(via)與一覆蓋其上的金屬層連接(例如，第一金屬、第二金屬...等)。雖然上述之接觸窗及介層窗被廣泛採用，然而上述電阻式隨機存取記憶體單元及接觸窗或介層窗之總高度卻大於一般兩相鄰之金屬層之垂直間距(例如，一第二金屬層及一第三金屬層之間)。爲使上述電阻式隨機存取記憶體單元及接觸窗或介層窗之總高度與一般兩相鄰之金屬層之垂直間距更相近，本揭露中一些實施例將提供直接連接上述上電極及覆蓋其上之金屬線的技術，而不使用接觸窗或介層窗作爲連結。

**【0010】** 第1圖根據一些實施例繪示出一電阻式隨機存取記憶體單元100之剖面圖。電阻式隨機存取記憶體單元100設於

一下方金屬層102及一上方金屬層104之間，且被一介電材料106包圍，介電材料106可能但不必為金屬間介電層(IMD)或層間介電層(ILD)。在一些實施例中，上方金屬層102及下方金屬層104由鋁(Al)、銅(Cu)、鎢(W)或其組合所形成，介電材料106為一介電常數低於3.9之低介電常數材料或極低介電常數材料(Extreme low k，簡稱ELK)。

**【0011】** 電阻式隨機存取記憶體單元100包含一下電極108及一上電極110，兩者被一可變電阻元件112隔開。在一些實施例中，下電極108及/或上電極110由鉑(Pt)、鋁銅(AlCu)、氮化鈦(TiN)、金(Au)、鈦(Ti)、鉭(Ta)、氮化鉭(TaN)、鎢(W)、氮化鎢(WN)或銅(Cu)所形成。在一些實施例中下電極108與上電極110可由同種材料形成，然而在另一些實施例中，下電極108與上電極110可由不同種材料形成。

**【0012】** 可變電阻元件112可包括一電阻切換層114及一蓋層116，兩者堆疊於下電極108及上電極110之間。在一些實施例中，電阻切換層114由如：氧化鎳(NiO)、氧化鈦(TiO)、氧化鈦(HfO)、氧化鋯(ZrO)、氧化鋅(ZnO)、氧化鎢(WO<sub>3</sub>)、氧化鋁(Al<sub>2</sub>O<sub>3</sub>)、氧化鉭(TaO)、氧化鉬(MoO)或氧化銅(CuO)所形成。在一些實施例中，蓋層116可由鉑(Pt)、鋁銅(AlCu)、氮化鈦(TiN)、金(Au)、鈦(Ti)、鉭(Ta)、氮化鉭(TaN)、鎢(W)、氮化鎢(WN)或銅(Cu)所形成，且其形成材料可與下電極108及/或上電極110相同或不同。

**【0013】** 一蝕刻停止層118置於下方金屬層102之上，且下電極108之一下部向下延伸穿過位於蝕刻停止層118之一開

口，並與下方金屬層102接觸。下電極108之下部較下電極108之上部窄，其中下電極108之下部側壁被一第一距離d1間隔開，下電極108之上部被一第二距離d2間隔開。一介電襯層120沿著上電極110之側壁、蓋層116之側壁、電阻切換層114之側壁以及下電極108之上部側壁共形。介電襯層120也在蝕刻停止層118上橫向延伸。在一些實施例中，介電襯層120及蝕刻停止層118由碳化矽(SiC)、二氧化矽(SiO<sub>2</sub>)、氮氧化矽(SiON)或氮化矽(Si<sub>3</sub>N<sub>4</sub>)所形成，且兩者可由相同或不同之材料所形成。

**【0014】** 值得注意的是，電阻式隨機存取記憶體單元100之上電極110直接與上方金屬層104連接，而其間沒有介層窗或接觸窗。上電極110有一上平面在上電極110之側壁間連續延伸並直接抵靠上方金屬層104，且上電極110之上平面與介電襯層120之上平面共平面。因此，上電極110在一些實施例中，可以有一長方形之剖面圖。與傳統上以介層窗或接觸窗連結上電極及覆蓋其上金屬線之電阻式隨機存取記憶體單元比較，電阻式隨機存取記憶體單元100展現出縮小的高度，該高度與一般兩相鄰之金屬層之垂直間距更相近，這可以優化整合，因此在一些實施例中可降低成本及/或增加裝置之可靠性。

**【0015】** 在操作電阻式隨機存取記憶體單元100時，電阻切換層114有一可變之電阻，該電阻代表一個數據的單位如一個位元數據(或多個位元數據)，而蓋層116被認為用以將對應氧空孔之氧離子轉移至或轉移出電阻切換層114中的燈絲，而改變電阻切換層114之電阻。離子是被從電阻切換層114中的燈絲奪去或填充入電阻切換層114中的燈絲裡，取決於施加於上電極



108及下電極110間之偏壓。例如爲了寫入一第一資料態於電阻式隨機存取記憶體單元100(例如，”設”一邏輯”1”)，可以施加第一偏壓於上電極108及下電極110間以奪去在電阻切換層114中燈絲之氧離子，並將該些離子移動至蓋層116而使電阻切換層114處於一低電阻狀態。相反地，爲了寫入一第二資料態於電阻式隨機存取記憶體單元100(例如，”重設”一邏輯”0”)，可以施加不同於第一偏壓之第二偏壓於上電極108及下電極110間，以將氧離子從蓋層116填充回入電阻切換層114燈絲中，而使電阻切換層114處於一高電阻狀態。另外藉由施加第三偏壓狀態(不同於第一偏壓及第二偏壓狀態)於上電極108及下電極110間，電阻切換層114之電壓可以被量測以確定電阻式隨機存取記憶體單元100之儲存電阻(例如，資料狀態)。

**【0016】** 第2圖根據一些其他實施例繪示出一電阻式隨機存取記憶體單元100B的另一實施例。如第1圖之實施例，電阻式隨機存取記憶體單元100B包括一上電極110，上電極110有與上方金屬層104直接接觸之一上表面。同樣如第1圖之實施例，第2圖之上電極110有一上平面沿著上電極110側壁間連續延伸且與上方金屬層104直接抵靠，電阻式隨機存取記憶體單元100B也包含電阻式隨機存取記憶體單元側壁間隔物122a及122b抵靠於上電極110及蓋層116之外側壁。電阻式隨機存取記憶體單元側壁間隔物坐靠於電阻切換層114上表面之外邊緣，而且舉例來說可由一介電材料如氮化矽( $\text{Si}_3\text{N}_4$ )、多層氧化物-氮化物-氧化物薄膜或無摻雜矽玻璃(USG)所形成。電阻式隨機存取記憶體單元側壁間隔物122a及122b可有錐形(tapered)的或

圓(rounded)的上表面，而介電襯層120共形地設於電阻式隨機存取記憶體單元側壁間隔物122a及122b之外側壁，且沿電阻切換層114及下電極108之外側壁向下延伸。然而，第1圖中下電極108上部及上電極110有相同的寬度d2；第2圖的下電極108有一寬度d2，該寬度d2大於上電極110之寬度d3。

**【0017】** 第3A圖根據一積體電路300的一些實施例繪示出一剖面圖，積體電路300包括電阻式隨機存取記憶體單元302a及302b，該些電阻式隨機存取記憶體單元設於積體電路300之一互連結構304中。積體電路300包括一基板306，該基板舉例來說可能為一大塊(bulk)基板(例如，矽塊基板)，或絕緣層上矽(SOI)基板，且所示圖中繪示有一個或更多的淺溝槽隔離(STI)區308。

**【0018】** 兩字元線電晶體310及312設於淺溝槽隔離區308之間。字元線電晶體310及312分別包括字元線閘極電極314及316；分別包括字元線閘極介電質318及320；字元線側壁間隔物322及源極/汲極區324。源極/汲極區324設於基板306中並介於字元線閘極電極314、316及淺溝槽隔離區308之間，且被摻雜而具有一第一導電形態，該第一導電形態分別與位於閘極介電質318及320下之通道區的一第二導電形態相反。字元線閘極電極314及316舉例來說可能為摻雜多晶矽或一金屬，如鋁、銅或其組合。字元線閘極介電質318及320舉例來說可能為氧化物(例如，二氧化矽)或高介電常數材料。字元線側壁間隔物322舉例來說可由氮化矽( $\text{Si}_3\text{N}_4$ )所形成。

**【0019】** 互連結構304置於基板306之上且將多個裝置連接

(例如，電晶體310及312)。互連結構304包括複數個金屬間介電層326、328、330以及複數個金屬化層332、334、336並層層交替設置於彼此之上。金屬間介電層326、328及330可由氧化物(例如，二氧化矽)、低介電常數材料或極低介電常數材料所形成。金屬化層332、334及336包括金屬線338、340、341及342，該些金屬線在溝槽中形成且可能由金屬如銅、鋁或其組合所形成。接觸窗344從底部金屬化層332延伸至源極/汲極區324及/或閘極電極314及316；介層窗346在金屬化層332及334間延伸。接觸窗344及介層窗346延伸穿過介電保護層350及352，介電保護層可由介電材料所形成且可於生產中充當蝕刻停止層。介電保護層350及352可能由極低介電常數材料(例如，碳化矽)所形成。接觸窗344及介層窗346可能由金屬(例如，銅、鋁、鎢或其組合)所形成。

**【0020】** 配置來儲存個別資料狀態的電阻式隨機存取記憶體單元302a及302b置於互連結構304中並介於兩相鄰金屬層之間。電阻式隨機存取記憶體單元302a及302b各自包含由導電材料所形成之一下電極354及一上電極356。在其上下電極354及356之間，電阻式隨機存取記憶體單元302a及302b各自包括一可變電阻元件358，且一共形介電層360沿著電阻式隨機存取記憶體單元側壁設置，並設於介電保護層352上方。金屬線341及342，各自有一最低表面與上電極356之一上表面共平面且直接電性接觸(例如，歐姆連接)。電阻式隨機存取記憶體單元302a內之結構可對應先前關於第1圖或第2圖之描述，且在其中，上電極356與上方金屬層341及342直接接觸。

【0021】 雖然第3A圖繪示出電阻式隨機存取記憶體單元302a及302b置於第二金屬層334及第三金屬層336之間，應可理解的是，電阻式隨機存取記憶體單元可置於任何互連結構304中之相鄰金屬層之間。另外，雖然第3圖只繪示出三個金屬層作為說明，任何數量之金屬線可包括在互連結構304中。此外，電阻式隨機存取記憶體單元不需如圖中繪示置於最高兩金屬化層，更多的介電保護層及金屬化層可被包含在電阻式隨機存取記憶體單元之上。另外，雖然本揭露只以電阻式隨機存取記憶體單元作為敘述，應可理解的是這些觀念可應用於不同形式之記憶體單元，舉例來說如鐵電隨機存取記憶體(Ferromagnetic Random Access Memory，簡稱FeRAM)或相變化記憶體(Phase Change Random Access Memory，簡稱PCRAM)，該些記憶體設於相鄰之金屬化層間，且也可應用於金屬-絕緣體-金屬(MIM)電容器。因此，在這些替代的實施例中，電阻切換層(例如，第1圖之112或第3圖之358)可更廣義地視為以記憶裝置或金屬-絕緣體-金屬電容器的資料儲存層或介電層。

【0022】 第3B圖描繪出一些第3A圖中積體電路300之俯視圖之一些實施例，該俯視圖如第3A-3B圖之切開線所指。如圖所示，在一些實施例中電阻式隨機存取記憶體單元302a及302b由上方俯視時可為一正方形或矩形。然而在一些其他實施例中，例如因為一些蝕刻製程之實際情況，該繪示之方形的角可變為圓形因而造成電阻式隨機存取記憶體單元302a及302b由上方俯視時可為有圓角之方形或矩形，抑或是圓形或橢圓形。電阻式隨機存取記憶體單元302a及302b分別置於金屬線341及

342之下，且分別有一上電極356直接與金屬線341及342電性接觸，而沒有位於其間之介層窗或接觸窗。

**【0023】** 第4圖根據一些實施例，提供一電阻式隨機存取記憶體單元製造方法400一些實施例之流程圖。然而在此所揭示之製造方法400及其他繪示及/或描述之方法可能以一系列動作或事件繪示及/或描述，應可理解的是該繪示及描繪之動作或事件的次序，不應作為其詮釋之限制。例如一些動作可能發生於不同次序，及/或與在此未繪示及/或描述之其他動作或事件同時發生。此外，在執行一個或更多在此描述之層面或實施例時，並非需要所有繪示之動作，且於此描繪之一個或更多動作，可能以一個或更多分開的動作及/或階段完成。

**【0024】** 在401中，提供一基板，該基板包含電阻式隨機存取記憶體單元上電極及下電極。

**【0025】** 為形成電阻式隨機存取記憶體單元上電極及下電極，接收一基板於402。一互連結構設於該基板上，該互連結構包含複數個層層交替堆疊之金屬層及介電層。

**【0026】** 在404中，於互連結構中之一金屬層及一介電層之上表面上形成一蝕刻停止層。一第一罩幕形成於蝕刻停止層之上。

**【0027】** 在406中，以備妥之第一罩幕執行一第一蝕刻而於蝕刻停止層中形成一開口。

**【0028】** 於408中，形成一下電極層延伸穿過蝕刻停止層中之開口並與金屬層接觸。一電阻切換層形成於下電極之上，一蓋層形成於電阻切換層之上及一上電極層形成於蓋層之上。一

第二罩幕隨後形成並圖案化於上電極層之上。

【0029】 在410中，以備妥之第二罩幕執行一第二蝕刻而圖案化上電極及下電極。

【0030】 於412中，形成一共形介電襯層於圖案化上電極之上表面及側壁上，共形介電襯層沿著蓋層、電阻切換層及下電極之側壁向下延伸。

【0031】 於414中，形成一底部抗反射塗層(BARC)及/或光阻層於共形介電襯層之上。

【0032】 於416中，執行一第三蝕刻而回蝕刻底部抗反射塗層(BARC)及/或光阻層。第三蝕刻移除共形介電襯層之一部份，而暴露出圖案化上電極之一上表面，同時留下共形介電襯層、底部抗反射塗層及光阻層之一剩餘部份以包覆上電極之側壁及下電極之側壁。

【0033】 於418中，藉由如灰化之方法，將底部抗反射塗層及光阻層之一剩餘部分移除，因此暴露出共形介電襯層之上表面及側壁表面。

【0034】 於420中，一層間介電材料層形成於圖案化上電極暴露之上表面及共形介電襯層之上表面及側壁上。

【0035】 於422中，形成介層窗開口及溝槽開口於層間介電材料層中。

【0036】 於424中，以金屬填滿介層窗開口及溝槽開口而形成導電金屬線及導電介層窗，而金屬線與圖案化上電極直接接觸。

【0037】 參考第5-16圖提供一系列剖面圖，該系列剖面圖集

體繪示出與第4圖的一些實例一致的一生產流程實例。雖然第5-16圖以關於方法400描述，應可理解的是於第5-16圖中所揭示之結構並不限於方法400，反而可視為獨立於方法400之結構。同樣地，雖然該方法以關於第5-16圖描述，應可理解的是該方法並不限於第5-16圖所揭示之結構，反而可視為獨立於第5-16圖所揭示之結構。

**【0038】** 第5圖根據一些實施例繪示出與第4圖動作402對應之一剖面圖。

**【0039】** 第5圖繪示出一些實施例的剖面圖，該實施例繪示出一基板306及一設於其上之互連結構304。該基板繪示部分包括一記憶體區域502及圍繞記憶體區域502之一邏輯區域504。互連結構304包括一金屬間介電層328及一個或更多之金屬線340，金屬線340水平延伸穿過金屬間介電層328。其他金屬間介電層也可被包括於互連結構304中，但為了清楚起見在此省略。金屬間介電層328可為氧化物(例如，二氧化矽)、低介電常數材料或極低介電常數材料。金屬線340可由一金屬如鋁、銅或其組合所形成。在一些實施例中，基板306可為一大塊基板，或絕緣層上半導體(SOI)基板(例如，絕緣層上矽基板)。基板306，舉例來說也可為二元半導體基板(例如，GaAs)、三元半導體基板(例如，AlGaAs)或一高階半導體基板。在許多例子中，基板306在方法400中以一半導體晶圓呈現，且該半導體晶圓舉例來說可有一1吋(25mm)、2吋(51mm)、3吋(76mm)、4吋(100mm)、5吋(130mm)或125mm(4.9吋)、150mm(5.9吋，通常稱為”6吋”)、200mm(7.9吋，通常稱為8吋)、300mm(11.8吋，通

常稱爲”12吋”)或450mm(17.7吋，通常稱爲”18”吋)之直徑。在製程完成後，例如在上方金屬層形成於電阻式隨機存取記憶體單元上後，該晶圓可視需要與其他晶圓或晶粒堆疊，然後被分離至對應個別積體電路之個別晶粒上。

**【0040】** 第6圖繪示出一些實施例之一剖面圖，該些實施例對應第4圖動作404。

**【0041】** 在第6圖中，形成一介電保護層352於金屬間介電層328及金屬線340之上。介電保護層352由如氧化物或極低介電常數之介電材料所形成，並充當一蝕刻停止層。在一些實施例中，介電保護層352包含一厚度約爲200埃之碳化矽。一罩幕600如一硬罩幕、一抗反射塗佈(ARC)層及/或光阻層，隨後圖案化於介電保護層352上。罩幕600之形成方式，舉例來說可由旋塗一光阻層於一晶圓上，藉由照射光穿過一光罩選擇性地將光阻層之部分曝光，然後顯影暴露之光阻。

**【0042】** 第7圖繪示出一些實施例之一剖面圖，該些實施例對應第4圖動作406。

**【0043】** 在第7圖中，以備妥之罩幕600執行一第一蝕刻700而選擇性地移除介電保護層352之部分。在第7圖的實施例中，第一蝕刻700是一異向性蝕刻(例如，乾蝕刻或電漿蝕刻)，該第一蝕刻形成有垂直側壁之開口702於介電保護層352中。在其他實施例中，可使用一同向性蝕刻(例如，濕蝕刻)而形成開口702，開口702可能有有角的或錐形的非垂直側壁。

**【0044】** 第8圖繪示出一些實施例的一剖面圖，該些實施例對應第4圖動作408。



【0045】 在第8圖中，一下電極層354形成於介電保護層352之上，且向下延伸穿過位於介電保護層352之開口而與金屬線340有電性接觸。一電阻切換層362隨後形成於下電極層354之一上表面上，且一蓋層364隨後形成於電阻切換層362之一上表面上。一上電極層356隨後形成於蓋層364上。此外，上電極層356的厚度，舉例來說可能為大約10~100奈米。一第二罩幕802設於上電極層356之一上表面上。在一些實施例中，第二罩幕802為一光阻罩幕，但也可為一硬罩幕(例如，氮化物罩幕)。

【0046】 第9圖繪示出一些實施例的一剖面圖，該些實施例對應第4圖動作410。

【0047】 在第9圖中，以備妥之第二罩幕802執行一第二蝕刻902而選擇性地移除上電極356、蓋層364、電阻切換層362及下電極354之部分直到暴露介電保護層352之一上表面。在一些實施例中，第二蝕刻902是一異向性蝕刻(例如，單向或垂直蝕刻)。

【0048】 第10圖繪示出一些實施例的一剖面圖，該些實施例對應第4圖動作412。

【0049】 在第10圖中，形成一共形介電層1002於該結構上並襯於第二罩幕802之上表面及側壁、上電極356之側壁、蓋層364之側壁、電阻切換層362之側壁及下電極354之上部側壁。共形介電層1002，舉例來說可能由氮化矽、碳化矽或前述一個或數個之組合所形成。共形介電層1002形成之厚度，舉例來說可能為大約500埃。

【0050】 第11圖繪示出一些實施例的一剖面圖，該些實施

例對應第4圖動作414。

【0051】 在第11圖中，形成一保護層1100於該結構上，在一些實施例中，保護層1100為一底部抗反射塗層及/或光阻層。

【0052】 第12圖繪示出一些實施例的一剖面圖，該些實施例對應第4圖動作416。

【0053】 在第12圖中，保護層1100已被回蝕刻，以移除第二罩幕802及共形介電層1002之部分，因而暴露出上電極356之一上表面。保護層1100所剩餘之部分，被留在原處以包覆共形介電層1002之側壁，且水平延伸於共形介電層1002之上表面上。

【0054】 第13圖繪示出一些實施例的一剖面圖，該些實施例對應第4圖動作418。

【0055】 在第13圖中，保護層1100所剩餘之部分已被移除，該移除，舉例來說可能由執行一灰化製程1300(例如，電漿灰化製程)而達成。

【0056】 第14圖繪示出一些實施例的一剖面圖，該些實施例對應第4圖動作420。

【0057】 在第14圖中，形成一金屬間介電層1400(例如，極低介電常數介電層)於該結構之上。

【0058】 第15圖繪示出一些實施例的一剖面圖，該些實施例對應第4圖動作422。

【0059】 第15圖中，進行微影技術以圖案化一個或更多之罩幕(未繪示)，且執行一個或更多相應之蝕刻製程以形成溝槽開口1500及介層窗開口1502。在一些實施例中，該些開口可為

雙鑲嵌開口。於第15圖中，介層窗開口1502形成於邏輯區域中且向下延伸至下方金屬化線340之一上表面。

**【0060】** 第16圖繪示出一些實施例的一剖面圖，該些實施例對應第4圖動作424。

**【0061】** 在第16圖中一上方金屬層341、342及1600填入溝槽開口1500及介層窗開口1502中。因此上方金屬層341及342可與上電極356之上表面直接接觸，其間沒有連結上電極及上方金屬層的介層窗或接觸窗。舉例來說，上方金屬層341、342及1600的形成可能包括上方沉積一阻障層於介層窗開口及溝槽開口、在介層窗開口及溝槽開口中形成一銅晶種層於阻障層之上，然後運用晶種層電鍍銅以填充介層窗開口及溝槽開口。因此在一些實施例中，介層窗開口及溝槽開口可同時被填充。在上方金屬層形成之後，可能運用化學機械平坦化製程(CMP)以平坦化上方金屬層之上表面及金屬間介電層1400。

**【0062】** 第17圖根據一些其他實施例，提供一電阻式隨機存取記憶體單元製造方法1700一些實施例之流程圖。

**【0063】** 於1071中，提供一基板，該基板包含電阻式隨機存取記憶體單元上電極及下電極。為形成該些結構，於1702中接收基板。該基板包括一設於其上之互連結構，該互連結構包含複數個層層交替堆疊之金屬層及介電層。

**【0064】** 於1704中，於互連結構中之一金屬層及一介電層之上表面上形成一蝕刻停止層。一第一罩幕形成於蝕刻停止層之上。

**【0065】** 在1706中，以備妥之第一罩幕執行一第一蝕刻，

以圖案化蝕刻停止層。

**【0066】** 於1708中，形成一下電極層於蝕刻停止層之上，然後形成一電阻切換層於下電極之上。一蓋層形成於電阻切換層之上及一上電極層形成於蓋層之上。形成一第二罩幕並圖案化於上電極層之上。

**【0067】** 在1710中，以備妥之第二罩幕執行一第二蝕刻以圖案化上電極及蓋層。

**【0068】** 於1712中，形成一共形介電間隔物層於圖案化上電極之上表面及側壁上。共形介電間隔物沿著蓋層側壁向下延伸，且也可橫向延伸於電阻切換層之一上表面上。

**【0069】** 於1714中，共形介電間隔物層被回蝕刻以形成電阻式隨機記憶體側壁間隔物，該間隔物鄰設於圖案化上電極及蓋層之側壁。

**【0070】** 於1716中，形成一第三罩幕於上電極上，且以備妥之第三罩幕執行一第三蝕刻，以移除電阻切換層及下電極之暴露部分。

**【0071】** 於1718中，形成一共形介電層於該結構上。共形介電層延伸於圖案化上電極之上表面及側壁、蓋層之側壁、電阻切換層之側壁、及下電極之側壁之上。

**【0072】** 於1720中，形成一底部抗反射塗層(BARC)及/或光阻塗佈於該結構之上，且底部抗反射塗層(BARC)及/或光阻層隨後被回蝕刻，以移除位於上電極上之共形介電層，因而暴露上電極之一上表面。底部抗反射塗層(BARC)及/或光阻塗佈之剩餘部分仍然包覆共形介電層之側壁。

【0073】 於1722中，移除底部抗反射塗層(BARC)及/或光阻層之剩餘部分，因而暴露出共形介電襯層之側壁。

【0074】 於1724中，形成一層間介電層於圖案化上電極暴露之上表面及共形介電襯層之上。在一些實施例中，層間介電層由極低介電常數材料所形成。

【0075】 於1726中，形成介層窗開口及溝槽開口於層間介電層中。

【0076】 於1728中，填充金屬於介層窗開口及溝槽開口以形成導電金屬線及導電介層窗，而金屬線與圖案化上電極直接接觸。

【0077】 參考第18-34圖，提供一系列剖面圖，該系列剖面圖集體繪示出與第17圖的一些實例一致的一生產流程實例。

【0078】 第18圖繪示出一些實施例之一剖面圖，該些實施例對應第17圖動作1702。

【0079】 第18圖繪示出一些實施例的剖面圖，該些實施例繪示出一基板306及一設於其上之互連結構304，且可與先前所述之圖5相同。該基板所繪示出的部分包括一記憶體區域502及圍繞記憶體區域502之一邏輯區域504。互連結構304包括一金屬間介電層328及一個或更多之金屬線340，金屬線340水平延伸穿過金屬間介電層328。

【0080】 第19圖繪示出一些實施例之一剖面圖，該些實施例對應第17圖動作1704。

【0081】 在第19圖中，形成一介電保護層352於金屬間介電層328及金屬線338之上。介電保護層352由如氧化物或極低介

電常數之介電材料所形成，並充當一蝕刻停止層。在一些實施例中，介電保護層352包含一厚度約為200埃之碳化矽。一罩幕1900(例如，一硬罩幕、一抗反射塗佈(ARC)層及/或光阻層)隨後圖案化於介電保護層352上。

**【0082】** 第20圖繪示出一些實施例之一剖面圖，該些實施例對應第17圖動作1706。

**【0083】** 在第20圖中，以備妥之罩幕1900執行一第一蝕刻2000而選擇性地移除介電保護層352之部分。在第20圖的實施例中，第一蝕刻是一同向性蝕刻(例如，濕蝕刻)，該第一蝕刻形成有圓形或錐形側壁之開口2002於介電保護層352中。在其他實施例中，一異向性蝕刻(例如，乾蝕刻或電漿蝕刻)可被使用而可能形成有垂直側壁之開口。

**【0084】** 第21圖繪示出一些實施例之一剖面圖，該些實施例對應第17圖動作1708。

**【0085】** 在第21圖中，形成一下電極層354於介電保護層352之上，且向下延伸穿過位於介電保護層352之開口而與金屬線340有電性接觸。一電阻切換層362隨後形成於下電極層354之一上表面上，且一蓋層364隨後形成於電阻切換層362之一上表面上。一上電極層356形成於蓋層364上。此外，上電極層356的厚度，舉例來說可能為大約10~100奈米。一第二罩幕2100設於上電極層356之一上表面上。在一些實施例中，第二罩幕2100為一光阻罩幕，但也可為一硬罩幕(例如，氮化物罩幕)。

**【0086】** 第22圖繪示出一些實施例之一剖面圖，該些實施例對應第17圖動作1710。

【0087】 在第22圖中，以備妥之第二罩幕2100執行一第二蝕刻2200而選擇性地移除上電極356及蓋層364之部分直到暴露電阻切換層之一上表面。在一些實施例中，第二蝕刻是一異向性蝕刻(例如，單向或垂直蝕刻)。第二罩幕2100可於第二蝕刻2200後視情況移除。

【0088】 第23圖繪示出一些實施例之一剖面圖，該些實施例對應第17圖動作1712。

【0089】 在第23圖中，形成一共形介電間隔物層2300於該結構上並襯於上電極356之上表面及側壁、沿蓋層364之側壁、並延伸於電阻切換層362上表面之上。共形介電間隔物層2300，舉例來說可能由氮化矽、碳化矽或前述一個或數個之組合所形成。此外，共形介電間隔物層形成之厚度，舉例來說可能為大約500埃。

【0090】 第24圖繪示出一些實施例之一剖面圖，該些實施例對應第17圖動作1714。

【0091】 在第24圖中，用一回蝕刻製程2400回蝕刻共形介電間隔物層2300以形成電阻式隨機存取記憶體側壁間隔物122。

【0092】 第25圖繪示出一些實施例之一剖面圖，該些實施例對應第17圖動作1716。

【0093】 在第25圖中，一第三罩幕2500形成於上電極356之上。第三罩幕，舉例來說可為硬罩幕或光阻罩幕。第三罩幕2500之形成方法，舉例來說可由旋塗一光阻層於一晶圓上，藉由照射光穿過一光罩選擇性地將光阻層之部分曝光，然後顯影暴露

之光阻。

**【0094】** 第26圖繪示出一些實施例之一剖面圖，該些實施例對應第17圖動作1716。

**【0095】** 在第26圖中，以備妥之罩幕2500執行一第三蝕刻2600而移除電阻切換層362及下電極354之暴露部分。於第27圖中，第三罩幕2500已藉由如電漿蝕刻之方法移除。

**【0096】** 第28圖繪示出一些實施例之一剖面圖，該些實施例對應第17圖動作1718。

**【0097】** 在第28圖中，形成一共形介電層2800於該結構上。共形介電層2800，舉例來說可能由氮化矽、碳化矽或前述一個或數個之組合所形成。共形介電層2800形成之厚度，舉例來說可能為大約500埃。

**【0098】** 第29圖繪示出一些實施例之一剖面圖，該些實施例對應第17圖動作1720。

**【0099】** 在第29圖中，一底部抗反射塗層(BARC)2900及/或光阻塗佈形成於該結構之上。

**【0100】** 第30圖繪示出一些實施例之一剖面圖，該些實施例對應第17圖動作1720。

**【0101】** 於第30圖中，底部抗反射塗層(BARC)2900及/或光阻塗佈被回蝕刻。該回蝕刻移除位於上電極356上共形介電層2800之部分，且沿著電阻式隨機存取記憶體間隔物122之側壁及下電極354之側壁，留下共形介電層2800之剩餘部分。在第30圖中，其他的罩幕及蝕刻(未繪示)被用以將共形介電層2800位於邏輯區504上之部分移除。



【0102】 第31圖繪示出一些實施例之一剖面圖，該些實施例對應第17圖動作1722。

【0103】 在第31圖中，執行一原位的灰化製程3100以移除共形介電層2800之剩餘部分。

【0104】 第32圖繪示出一些實施例之一剖面圖，該些實施例對應第17圖動作1724。

【0105】 在第32圖中，形成一金屬間介電層3200(例如，極低介電常數介電層)於該結構之上。

【0106】 第33圖繪示出一些實施例之一剖面圖，該些實施例對應第17圖動作1726。

【0107】 在第33圖中，進行微影技術以圖案化一個或更多之罩幕(未繪示)，且執行一個或更多相應之蝕刻以形成溝槽開口3300及介層窗開口3302。在一些實施例中，該些開口可為雙鑲嵌開口。在圖33中，介層窗開口3302形成於邏輯區中且向下延伸至下方金屬化線340之一上表面。

【0108】 第34圖繪示出一些實施例之一剖面圖，該些實施例對應第17圖動作1728。

【0109】 在第34圖中，填充上方金屬層341、342及3400於溝槽開口3300及介層窗開口3302中。因此上方金屬層341及342可與上電極356之上表面直接接觸，其間沒有連結上電極及上方金屬層的介層窗。舉例來說，上方金屬層341、342及3400的形成可能包括上方沉積一阻障層於介層窗開口及溝槽開口、在介層窗開口及溝槽開口中形成一銅晶種層於阻障層之上，然後運用晶種層電鍍銅以填充介層窗開口及溝槽開口。在上方金屬

層形成之後，可使用化學機械平坦化製程(CMP)以平坦化上方金屬層之上表面及金屬間介電層3200。

**【0110】** 應可理解的是，在此說明書之描述以及後面之申請專利範圍中，“第一”、“第二”及“第三”等用語僅是用於簡化描述及辨認一圖示或一系列圖示之不同元件。這些用語並非意味著這些元件有任何時間的順序或結構鄰近性，且不應被刻意認為是對應不同繪示實施例及/或未繪示之實施例中之元件。舉例來說，第1圖描述之“第一介電層”，可能不必然對應關於其他圖描述之“第一介電層”，也可能不必然對應於一未繪示實施例之“第一介電層”。

**【0111】** 在一些與積體電路有關之實施例中，該積體電路包括一個或更多之記憶體單元，記憶體單元置於一上方金屬互連層及一下方金屬互連層之間。一記憶體單元包括連接下方金屬互連層之下電極、置於下電極上之資料儲存層及置於電阻切換層上之蓋層。上電極設於蓋層上。上電極之上表面與上方金屬互連層直接接觸，其間沒有連結上電極上表面及上方金屬層的介層窗或接觸窗。

**【0112】** 在其他關於一積體電路之實施例中，該積體電路包括一半導體基板，該基板包括一記憶體區及一邏輯區。一互連結構設於記憶體區及邏輯區之上。互連結構包括複數個層層設置之金屬互連層，金屬互連層間以層間介電材料(ILD)作為隔離。複數個置於記憶體區域上之記憶單元或金屬-絕緣體-金屬(MIM)電容器介於一上方金屬互連層及一下方金屬互連層之間，其中上方金屬互連層與下方金屬互連層相鄰。一記憶單元

或MIM電容器包括一下電極連結下方金屬互連層之上部。記憶單元或MIM電容器也包括一上電極，該上電極之上平面在其側壁間連續延伸且與上方金屬互連層之下表面直接抵靠。

**【0113】** 在其他關於一積體電路製造方法之實施例中，於該方法中，一半導體基板被接收，該半導體基板有一互連結構設於其上。一下電極及一上電極在記憶體區上之互連結構上形成，其中下電極連結互連結構中之一下方金屬層，且下電極及上電極被一資料儲存層或介電層隔開。在上電極上形成一層間介電材料層。在層間介電材料層中形成暴露上電極上表面的一溝槽開口，該溝槽開口有垂直或幾乎垂直之側壁。此外上方金屬層與上電極直接接觸。

**【0114】** 雖然本揭露已以數個較佳實施例揭露如上，然其並非用以限定本揭露，任何所屬技術領域中具有通常知識者，在不脫離本揭露之精神和範圍內，當可作任意之更動與潤飾，因此本揭露之保護範圍當視後附之申請專利範圍所界定者為準。

### **【符號說明】**

#### **【0115】**

100~電阻式隨機存取記憶體單元

102~下方金屬層

104~上方金屬層

106~介電材料

108~下電極

110~上電極

- 112~可變電阻元件
- 114~電阻切換層
- 116~蓋層
- 118~蝕刻停止層
- 120~介電襯層
- 122a、122b~電阻式隨機存取記憶體側壁間隔物
- 300~積體電路
- 302a、302b~電阻式隨機存取記憶體單元
- 304~互連結構
- 306~基板
- 308~淺溝槽隔離
- 310、312~字元線電晶體
- 314、316~字元線閘極電極
- 318、320~字元線閘極介電質
- 322 ~ 字元線側壁間隔物
- 326、328、330~金屬間介電層
- 332、334、336~金屬化層
- 338、340、341、342~金屬線
- 344~接觸窗
- 346~介層窗
- 354~下電極
- 356~上電極
- 358~可變電阻元件
- 360~共形介電層

400~流程圖

401、402、404、406、408、410、412、414、416、418、

420、422、424~步驟

502~記憶體區域

504~邏輯區域

600~罩幕

700~蝕刻

702~開口

802~罩幕

902~蝕刻

1002~共形介電層

1100~保護層

1300~灰化

1400~金屬間介電層

1500~溝槽開口

1502~介層窗開口

1600~上方金屬層

1700~流程圖

1701、1702、1704、1706、1708、1710、1712、1714、1716、

1718、1720、1722、1724、1726、1728~步驟

1900~罩幕

2000~蝕刻

2002~開口

2100~罩幕

2200~蝕刻

2300~共形介電間隔物層

2400~回蝕刻

2500~罩幕

2600~蝕刻

2800~共形介電層

2900~底部抗反射塗層(BARC)及/或光阻塗佈

3100~原位灰化

3200~金屬間介電層

3300~溝槽開口

3302~介層窗開口

3400~上方金屬層

d1、d2、d3~距離

## 發明摘要

※ 申請案號：105103011

※ 申請日：105.1.30

※IPC 分類：H01L 27/118 (2006.01)  
H01L 27/27 (2006.01)

## 【發明名稱】 積體電路及其製造方法

Integrated circuit and method for forming the same

## 【中文】

本揭露包含一些與含有記憶單元之積體電路相關的實施例。上述積體電路包括一半導體基板及設於其上之互連結構，上述互連結構包括複數個介電層及複數個金屬層，並以交替之方式相互堆疊。金屬層包括下方金屬層及上方金屬層，上方金屬層設於下方金屬層之上。下電極設於下方金屬層之上且與下方金屬層電性接觸。資料儲存層設於下電極上表面之上。上電極設於資料儲存層上表面之上且與上方金屬層之下表面直接電性接觸。

## 【英文】

Some embodiments relate to an integrated circuit including a memory cell. The integrated circuit includes a semiconductor substrate and an interconnect structure disposed over the semiconductor substrate. The interconnect structure includes a plurality of dielectric layers and a plurality of metal layers that are stacked over one another in alternating fashion. The plurality of metal layers include a lower metal layer and an upper metal layer disposed over the lower metal layer. A bottom electrode is disposed over and in electrical contact with the lower metal

layer. A data storage layer is disposed over an upper surface of bottom electrode. A top electrode is disposed over an upper surface of the data storage layer and is in direct electrical contact with a lower surface of the upper metal layer.

**【代表圖】**

**【本案指定代表圖】**：第(1)圖。

**【本代表圖之符號簡單說明】**：

100~電阻式隨機存取記憶體單元

102~下方金屬層

104~上方金屬層

106~介電材料

108~下電極

110~上電極

112~可變電阻元件

114~電阻切換層

116~蓋層

118~蝕刻停止層

120~介電襯層

d1、d2~距離

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

無



## 申請專利範圍

1. 一種積體電路(IC)，包括一個或一個以上置於一上方金屬互連層及一下方金屬互連層之間之記憶單元，一記憶單元包括：
  - 一下電極，連接該下方金屬互連層；
  - 一資料儲存層或一介電層，置於該下電極之上；
  - 一蓋層，置於該資料儲存層或該介電層之上；以及
  - 一上電極，置於該蓋層之上，其中該上電極之上表面直接與該上方金屬互連層接觸，不使用介層窗(via)或接觸窗(contact)連結該上方金屬互連層。
2. 如申請專利範圍第 1 項所述之積體電路，其中該上電極之上平面在該上電極之側壁間連續延伸，且與該上方金屬互連層直接抵靠。
3. 如申請專利範圍第 2 項所述之積體電路，其中該下電極之側壁和該上電極之側壁對齊，且該資料儲存層或該介電層及該蓋層之側壁，也與該上電極之側壁對齊。
4. 如申請專利範圍第 3 項所述之積體電路，其中該記憶體單元更包括：一共形介電層，沿著該上電極之側壁且沿該蓋層之側壁、該資料儲存層或該介電層之側壁及該下電極上部之側壁向下延伸。
5. 如申請專利範圍第 2 項所述之積體電路，其中該下電極有一下電極寬度，該上電極有一上電極寬度，該上電極寬度小於該下電極寬度。
6. 如申請專利範圍第 5 項所述之積體電路，其中該記憶單元

更包括：

沿著該上電極側壁及該蓋層側壁設置之側壁間隔物，該側壁間隔物之下表面設置在該資料儲存層或該介電層之上表面；以及

一共形介電層，該共形介電層沿著該側壁間隔物之外側壁且沿該資料儲存層或該介電層及該下電極之外側壁向下延伸。

7. 一種積體電路，包括：

一半導體基板，包括一記憶體區域及一邏輯區域；

一置於該記憶體區域及該邏輯區域上之互連結構，包括複數個層層設置之金屬互連層，該些金屬互連層間以層間介電材料(ILD)作為隔離；以及

複數個置於該記憶體區域上之記憶單元或金屬-絕緣體-金屬(MIM)電容器，該些記憶單元或該些金屬-絕緣體-金屬(MIM)電容器介於一上方金屬互連層及一下方金屬互連層之間，該上方金屬互連層與該下方金屬互連層相鄰，一記憶單元或 MIM 電容器包括：一下電極，該下電極連結該下方金屬互連層之上部，一上電極，該上電極之上平面在其側壁間連續延伸且與該上方金屬互連層之下表面直接抵靠。

8. 如申請專利範圍第 7 項所述之積體電路，該記憶單元更包括：

置於該上電極及該下電極之間之一資料儲存層或一介電層及材料不同於該資料儲存層或該介電層之一蓋層。

9. 一種積體電路的製造方法，包括：

接收一半導體基板，其具有一互連結構設於該半導體基板之一記憶體區及一邏輯區上；

在位於該記憶體區上方之該互連結構上，形成一下電極及一上電極，其中該下電極連結該互連結構中之一下方金屬層，且該下電極及該上電極被一資料儲存層或介電層隔開；在該上電極上形成一層間介電材料層；

在該層間介電材料層中形成暴露該上電極上表面的一溝槽開口，該溝槽開口有垂直或幾乎垂直之側壁；以及在該溝槽開口中形成與該上電極直接接觸之一上方金屬層。

10.如申請專利範圍第 9 項所述之積體電路的製造方法，其中該下電極及該上電極的形成包括：

在該互連結構中的一介電層上表面及一金屬體上表面形成一蝕刻停止層，該介電層上表面及該金屬體上表面共平面；形成穿過該蝕刻停止層並暴露該金屬體上表面的開口；

在該蝕刻停止層上形成一下電極層，該下電極層與該金屬體連結；

在該下電極層上形成一資料儲存層或一介電層；

在該資料儲存層或該介電層上形成一蓋層；

在該蓋層上形成一上電極層；

圖案化該上電極層及該蓋層；

在上述圖案化之該上電極層及該蓋層上形成一共形介電層；

在該共形介電層上形成一底部抗反射塗層(BARC)或光阻

層；以及

使用蝕刻製程回蝕刻該底部抗反射塗層或該光阻層，以去除一部分該上電極上表面上的共形介電層。































