

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G11C 7/06

(45) 공고일자 1991년08월 13일
(11) 공고번호 특1991-0006109

(21) 출원번호	특1988-0004808	(65) 공개번호	특1989-0008826
(22) 출원일자	1988년04월27일	(43) 공개일자	1989년07월12일
(30) 우선권주장	62-292721 1987년11월18일	일본(JP)	
(71) 출원인	미쓰비시 덴끼 가부시끼가이샤 시기 모리야 일본국 도오교오도 지요다구 마루노우찌 2쪼메 2-3		
(72) 발명자	도비다 요오이찌 일본국 효고쎡 이다미시 미즈하라 4쪼메 1반지 미쓰비시 덴끼 가부시끼 가이샤 기다이다미 세이사쿠쇼내		
(74) 대리인	김영길		

심사관 : 김영길 (책자공보 제2421호)

(54) 다이나믹 랜덤 액세스메모리에 있어서의 센스앰프 구동장치 및 센스앰프 구동방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

다이나믹 랜덤 액세스메모리에 있어서의 센스앰프 구동장치 및 센스앰프 구동방법

[도면의 간단한 설명]

제1도는 본 발명의 일실시예인 다이나믹 랜덤 액세스메모리에 있어 센스앰프 구동장치의 구성표시도.

제2도는 본 발명의 일실시예인 센스앰프 구동장치를 동작시킨 경우의 각 신호선에 의한 전위변화를 표시한 파형도.

제3도는 본 발명의 일실시예인 전위변화 전달회로의 동작을 제어하기 위한 클럭 신호를 발생하기 위한 회로구성의 일예시도.

제4도는 제1도에 표시되는 전위변화 전달회로의 제1의 변형예시도.

제5도는 제1도에 표시되는 전위변화 전달회로의 제2의 변형예시도.

제6도는 제1도에 표시되는 전위변화 전달회로의 제3의 변형예시도.

제7도는 제1도에 표시되는 전위변화 전달회로의 제4의 변형예시도.

제8도는 본 발명의 타실시예에 있어서 비트선 구성에 더미셀방식을 적용한 경우의 구성의 일예시도.

제9도는 종래부터 사용되고 본 발명이 적용되는 다이나믹 랜덤 액세스메모리의 판독부에 대한 개략 구성도.

제10도는 제9도에 표시되는 메모리셀 어레이부의 상세한 구성을 표시한 블록도.

제11도는 종래의 1쌍의 비트선의 구성 및 센스앰프 및 센스앰프 구동계의 구성도.

제12도는 종래의 센스앰프 구동방식에 있어 각 신호선상의 전위변화 표시도.

제13도는 메모리셀 데이터 판독시에 있어 비트선 및 센스앰프 구동신호선상의 전위변화 및 전하의 흐름 표시도.

제14도는 종래의 센스앰프에 있어 메모리셀 데이터 판독시에 있어 각 신호선상의 전위변화 표시도.

* 도면의 주요부분에 대한 부호의 설명

- 1 : 메모리셀
- 2, 7 : 비트선
- 44 : 전위변화 전달회로
- 3 : 워드선
- 14 : 제1의 센스앰프 구동신호선
- 50 : 센스앰프
- 17 : 제2의 센스앰프 구동신호선
- 100 : 정전압발생회로
- 150 : 비트선대 프리차아지/아퀼라이즈회로

[발명의 상세한 설명]

본 발명은 다이나믹 랜덤 액세스메모리 등에 있어서 사용되는 센스앰프 회로를 구동하기 위한 장치 및 방법에 관한 것으로 특히 센스앰프회로 증폭도의 개량에 관한 것이다.

제9도는 종래부터 사용되었으며 또한 본 발명이 적용되는 다이나믹 랜덤 액세스 메모리의 판독부 전체의 개략구성 표시도이다.

제9도에 있어서 다이나믹 랜덤 액세스 메모리는 정보를 기억하기 위한 메모리셀이 복수개의 행 및 열상태로 배열된 메모리셀 어레이(MA)와 외부에서 부여되는 외부 어드레스를 받아서 내부 어드레스를 발생하는 어드레스버퍼(AB)와 어드레스버퍼(AB)에서의 내부 어드레스신호를 디코드하여 대응하는 메모리셀 어레이의 행을 선택하는 X 디코더(ADX)와 어드레스버퍼(AB)에서의 내부열 어드레스를 디코드하여 메모리셀 어레이의 대응하는 열을 선택하기 위한 Y 디코더(ADY)와 메모리셀 어레이(MA)의 선택된 메모리셀이 가진 정보를 검지하고 증폭하여 Y 디코더(ADY)에서의 신호에 응답하고 출력버퍼(OB)에 전달하기 위한 (센스앰프+I/O)(SI)와, (센스앰프+I/O)(SI)에서의 판독데이터를 받아서 외부에 출력데이터(Dout)를 전달하기 위한 출력버퍼(OB)와를 구비한다.

또 다이나믹 랜덤 액세스 메모리의 각종 동작의 타이밍을 제어하기 위한 제어신호를 발생하기 위한 제어신호 발생계(CG)가 주변회로로서 설치된다.

제어신호 발생계(CG)가 발생하는 각 제어신호에 상세에 대하여 후술한다.

제10도는 제9도에 표시되는 메모리셀 어레이부의 구성을 표시한 개략도이다.

제10도에 있어서 메모리셀 어레이(MA)는 복수의 워드선(WL₁), (WL₂), ..., (WL_n), 및 복수의 비트선

(BL₀), $\overline{(BL_0)}$, (BL₁), $\overline{(BL_1)}$, ..., (BL_m), $\overline{(BL_m)}$ 을 포함한다.

워드선(WL₁), ..., (WL_n)의 각각에는 메모리셀의 1행이 접속된다. 비트선은 반대비트선을 구성하고 2본의 비트선이 1쌍의 비트선대를 구성한다.

즉 비트선(BL₀), $\overline{(BL_0)}$ 이 1쌍의 비트선대를 구성하고 (BL₁), $\overline{(BL_1)}$ 가 1쌍의 비트선을 구성하고 이하 동일하게 하여 비트선(BL_m), $\overline{(BL_m)}$ 이 비트선대를 구성한다.

각 비트선(BL₀), $\overline{(BL_0)}$, ..., (BL_m), $\overline{(BL_m)}$ 에는 1본 건너의 워드선과의 교차점에 메모리셀(1)이 접속된다.

즉 각 비트선대에 있어서는 1본의 워드선과 1대의 비트선의 어느 것인가의 비트선과의 교차점에 메모리셀이 접속되는 구성으로 된다.

각 비트선대에는 각 비트선대 전위를 평형화하고 또한 소정의 전위(V_B)에 프리차아지하기 위한 프리차아지/아퀼라이즈회로(150)가 설치된다.

또 각 비트선대에는 신호선(14), (17)상에 전달되는 신호(ϕ_A), (ϕ_B)에 응답하여 활성화되며 당해 비트선대의 전위차를 검지하고 차동적으로 증폭하는 센스앰프(50)가 설치된다.

각 비트선은 Y 디코더(ADY)에서의 어드레스 디코드신호에 응답하여 선택적으로 데이터 입출력버스(I/O), $\overline{(I/O)}$ 에 접속된다.

즉 비트선 (BL₀), $\overline{(BL_0)}$ 은 각각 트랜스퍼게이트(T₀)(T₀')를 통하여 데이터 입출력버스(I/O), $\overline{(I/O)}$ 에 접속된다.

동일하게 하여 비트선(BL₁), $\overline{(BL_1)}$ 은 각각 트랜스퍼게이트 (T₁)(T₁')를 통하여 데이터 입출력버스(I/O), $\overline{(I/O)}$ 에 접속되며 비트선 (BL_m), $\overline{(BL_m)}$ 은 각각 트랜스퍼게이트 (T_m)(T_m')를 통하여 데이터

$(\overline{I/O})$

입출력버스(I/O), $(\overline{I/O})$ 에 접속된다.

각 트랜스퍼게이트 (T_0), (T_0'), ..., (T_m), (T_m')의 게이트에는 Y 디코더(ADY)에서의 어드레스 디코드 신호가 전달된다.

$(\overline{I/O})$

이것에 의하여 1쌍의 비트선이 데이터 입출력버스(I/O), $(\overline{I/O})$ 에 접속되는 것이 된다.

제11도는 제10도에 표시되는 비트선대중 1쌍의 비트선 및 센스앰프 제어회로의 상세한 구성을 표시한 표시도이다.

단, 제11도에 있어서는 도면의 번잡화를 피하기 위하여 1본의 워드선만이 표시된다.

1쌍의 비트선(2), (7)을 메모리의 스태바이시에 소정전위(V_B)에 프리차아지하고 또 비트선(2), (7) 전위를 소정전위에 이퀄라이즈하기 위한 프리차아지/ 이퀄라이즈회로(150)는 프리차아지 신호(ϕ_P)에 응답하여 비트선(2), (7)에 각각 소정의 프리차아지 전위(V_B)를 전달하는 n채널 전열게이트 전계 효과 트랜지스터(이하, 단순하게 MOS 트랜지스터라고 칭한다)와 신호선(13)을 통하여 부여되는 이퀄라이즈 신호(ϕ_E)에 응답하여 비트선(2), (7)을 전기적으로 접속하고 그것에 의하여 비트선(2), (7)전위를 이퀄라이즈하는 n채널 MOS 트랜지스터(12)로 구성된다.

프리차아지용의 n채널 MOS 트랜지스터(9), (10)는 함께 신호선(11)을 통하여 부여되는 프리차아지 신호(ϕ_P)에 응답하여 온상태가 되어 신호선(8)상에 전달되어 있는 프리차아지 전위(V_B)를 각각 비트선(2), (7)상에 전달한다.

비트선(2), (7)의 신호를 자동적으로 증폭하는 센스앰프(50)는 게이트와 그 일방전극이 고차접속되어서 비트선(2), (7)에 각각 접속되는 1쌍의 p채널 MOS 트랜지스터(15), (16)와 그 일방전극과 게이트 전극이 고차 접속되어서 비트선(2), (7)에 각각 접속되는 1쌍의 n채널 MOS 트랜지스터(18), (19)로 구성된다.

p채널 MOS 트랜지스터(15), (16)의 타방전극은 함께 신호선(14)에 접속되어 신호(ϕ_A)를 받는다.

n채널 MOS 트랜지스터(18), (19)의 타방전극은 신호선(17)에 접속되어 신호선(17)상의 신호(ϕ_B)를 받는다.

제1의 센스앰프 구동신호선(14)에는 센스앰프 활성화의 타이밍을 부여하는 제어신호(ϕ_R)에 응답하여 온 상태가 되어 전원전압(V_{CC})를 제 1의 센스앰프 구동신호선(14)상에 전달하는 p채널 MOS 트랜지스터(24)와 비트선 프리차아지 기간중 제1의 센스앰프 구동신호선(14)을 소정전위에 유지하기 위한 n채널 MOS 트랜지스터(30)와 정전압 발생회로(100)와가 설치된다.

제2의 센스앰프 구동신호선(17)에는 센스앰프 활성화의 타이밍을 부여하는 제2의 제어신호(ϕ_S)에 응답하여 제2의 센스앰프 구동신호선(17)을 접지전위에 접속하기 위한 n채널 MOS 트랜지스터(27)가 설치된다.

제1의 센스앰프 구동신호선(14)을 전원전위(V_{CC})에 충전하기 위한 p채널 MOS 트랜지스터(24)는 센스앰프 활성화신호(ϕ_R)를 신호선(25)을 통하여 게이트에 받아서 전원전위(V_{CC})를 신호선(26)을 통하여 받는다.

제2의 센스앰프 구동신호선(17)을 접지전위로 방전하기 위한 n채널 MOS 트랜지스터(27)는 제2의 센스앰프 활성화신호(ϕ_S)를 신호선(28)을 통하여 게이트에 받는다.

정전압발생회로(100)는 전원전위(V_{CC})에 신호선(26)을 통하여 그 일방단자가 접속되는 저항(33)과, 저항(33)에 노드(32)를 통하여 접속되는 다이오드 접속된 n채널 MOS 트랜지스터(35)와 n채널 MOS 트랜지스터(35)와 직렬에 노드(34)를 통하여 접속되는 다이오드 접속된 p채널 MOS 트랜지스터(36)와 노드(32)상의 전위를 게이트에 받아 전원전위(V_{CC})를 신호선(26)을 통하여 받아 노드(29)에 소정전위를 전달하는 n채널 MOS 트랜지스터(31)와를 구비한다.

n채널 MOS 트랜지스터(30)는 프리차아지신호(ϕ_P)에 응답하여 온상태가 되고 노드(29)상의 전위를 제1의 센스앰프 구동신호(14)상에 전달한다.

n 채널 MOS 트랜지스터(35)는 그 게이트 및 드레인이 노드(32)에 접속되며 노드(32)의 전위를 노드(34)의 전위보다 그 드레시홀드 전압(V_{TN})만큼 높게한다.

p채널 MOS 트랜지스터(36)는 그 게이트와 드레인과가 접속되며 또 신호선(8)을 통하여 프리차아지 전위(V_B)에 접속된다.

따라서 노드(34)에는 프리차아지 전위(V_B)보다 그 드레시홀드 전압(V_{TP})의 절대치 만큼 높은 전압이 부여된다.

저항(33)은 노드(32)에 전압만을 공급하기 위하여 설치되어 수 M~수 10M Ω 의 커다란 저항치를 가지고 있다.

이 구성에 의하여 노드(32)의 전위는 $V_B + |V_{TS}| + V_{TN}$ 가 된다.

n채널 MOS 트랜지스터(31)는 드레시홀드 전압(V_{TN})을 보유하고 따라서 노드(29)에 $V_B + |V_{TP}|$ 의 전위를 전달한다.

메모리셀(1)은 그 게이트가 워드선(3)에 접속되며 그 소오스가 비트선(2)에 접속되는 트랜스퍼게이트(5)와 트랜스퍼게이트(5)의 드레인에 노드(4)를 통하여 접속되는 용량(6)과를 구비한다.

노드(4)에 메모리셀(1)의 데이터가 기억된다.

즉, 노드(4)는 소위 스트레치 노드이다.

워드선(3)의 선택시에는 워드선 구동신호(R_n)가 절단되며 이것에 의하여 n채널 절연게이트 전계효과 트랜지스터로 된 트랜스퍼게이트(5)가 온상태가 되어 메모리셀(1)이 보유하는 정보가 비트선(2)상에 전달된다.

비트선(7)에 접속되는 메모리셀은 표시하고 있지 아니하지만 워드선(3)과 비트선(7)과의 교차점에는 메모리셀은 설치되지 않고 따라서 제11도의 구성에 의하여 메모리셀(1)의 선택된 경우 비트선(2)에 대한 기준전위를 비트선(7)이 부여하는 것이 된다.

비트선(2), (7)은 각각 기생용량(20), (21)을 보유하고 제1의 센스앰프 구동신호선(14), (17)은 각각 기생용량(22), (23)을 가지고 있다.

제12도는 제11도에 표시되는 회로구성 동작을 설명하기 위한 파형도이고, 제12도에 있어서는 메모리셀(1)에 논리 "1"의 데이터가 기억되고 있고 이 메모리셀(1)이 기억하는 정보 "1"를 판독할 경우의 동작이 표시된다.

여기에서 메모리셀(1)에서의 데이터 판독동작을 설명하기 위하여서는 앞의 사이클에서의 동작을 설명할 필요가 있기 때문에 제12도에는 앞의 사이클에서 동작파형도도 합병하여 표시된다.

이하 제11도 및 제12도를 참조하여 메모리셀(1)이 보유하는 논리 "1"의 데이터를 판독할 경우의 동작에 대하여 설명한다.

전 사이클에 있어서 비트선(2) 또는 비트선(7)에 접속된 메모리셀에서 데이터를 판독한 것에 의하여 이제 비트선(2)의 전위가 0V 비트선(7)의 전위가 V_{cc} 의 상태가 되어 있다고 한다.

물론 이 상태를 한정되는 것은 아니고 전 사이클에서 판독된 메모리셀의 데이터에 따라서는 역의 상태도 있을 수 있다.

전 사이클에서 메모리셀을 선택한 워드선(도시없음)의 레벨이 0V가 된 후 시각(t_0)에 있어서 센스앰프 구동신호(ϕ_s), (ϕ_r)가 각각 하강, 상승을 시작하여 MOS 트랜지스터(27), (24)가 함께 비도통상태가 되어 센스앰프(50)가 비활성화 된다.

다음에 시각(t_1)에 있어서 비트선의 평형화신호(ϕ_E)가 상승하기 시작하면 이퀄라이즈용의 MOS 트랜지스터(12)가 도통한다.

이 결과 전위가 높은 비트선(2)측에 전하가 이동하고 비트선(2), (7)의 전위는 함께 $V_{cc}/2$ 에 평형화된다.

각 비트선(2), (7)의 전위가 $V_{cc}/2$ 가 되기까지 센스앰프 구동신호선(14), (17)의 사이가 센스앰프(50)에 포함되는 MOS 트랜지스터에 의하여 도통하고 전위가 높은 센스앰프 구동신호선(14)에서 전위가 낮은 센스앰프 구동신호선(17)측에 전하가 이동한다.

즉, 센스앰프 구동신호선(14)의 전위는 비트선의 이퀄라이즈 전위($V_{cc}/2$)보다 MOS 트랜지스터(15), (16)의 드레시홀드 전압(V_{TP})의 절대치분 만큼 높은 $V_{cc}/2 + |V_{TP}|$ 가 되며 일방센스앰프 구동신호선(17)의 전위는 비트선의 이퀄라이즈 전위($V_{cc}/2$)보다 MOS 트랜지스터(18), (19)의 드레시홀드 전압(V_{TN})만큼 낮은 전위 $V_{cc}/2 - V_{TN}$ 가 된다.

다음은 시각(t_2)에 있어서 비트선(2), (7)의 전위를 $V_{cc}/2$ 레벨에 안정화하기 위하여 프리차아지용의 클럭신호(ϕ_P)가 0V에서 상승하고 이것에 의하여 프리차아지용의 MOS 트랜지스터(9), (10)가 도통상태가 되어 $V_{cc}/2$ 의 전위를 가진 전원선(8)이 비트선(2), (7)과 접속된다.

여기서 프리차아지 전위(V_B)는 동작전원 전위(V_{cc})의 반분 즉 $V_{cc}/2$ 에 설정되어 있다.

시각(t_3)에 있어서 프리차아지용 클럭신호(ϕ_P)의 상승이 종료되어 앞의 사이클동작이 종료한다.

다음은 시각(t_4)에 있어서 비트선(2), (7)의 평형화의 충전과를 종료하여 현 사이클을 개시하기 위하여 비트선 이퀄라이즈용 신호(ϕ_E)와 프리차아지용 클럭신호(ϕ_P)가 함께 하강을 시작하여 이것 때문에 MOS 트랜지스터(9), (10), (12)가 비도통상태가 된다.

시각(t_5)에 있어서 X 디코더에서의 행어드레스 디코드신호에 응답하여 워드선(3)이 선택되면 워드선 선택신호(R_n)가 워드선(3)상에 전달되어 워드선(3) 전위가 상승한다.

이 결과 MOS 트랜지스터(5)가 도통하여 용량(6)에 축적되어 있던 전하가 비트선(2)측에 이동하고 비트선(2)의 전위가 상승을 시작한다.

이 비트선(2)의 전위변화는 센스앰프(50)에 함유되는 MOS 트랜지스터(19)를 도통시켜서 이 결과로

비트선(7), 센스앰프 구동신호선(14), (17)의 전위가 각각 상승하여 변화한다.

이 비트선(7), 센스앰프 구동신호선(14), (17)의 전위가 각각 상승하여 변환한다.

이 비트선(7), 센스앰프 구동신호선(14), (17)의 전위변화와 상세는 후술한다.

이 비트선(2)의 전위변화는 미소(수 100mV)하며 또한 일반적으로 수 10nS의 입상 시정수를 보유하고 있다.

시각(t_6)에 있어서 센스앰프 구동신호(ϕ_s)가 상승하여, 이 비트선(2),(7) 사이의 미소한 신호차를 센스앰프(50)를 구동하여 증폭한다.

이때 센스앰프(50)를 안정되게 동작시키기 위하여서는 가능한한 그 입력신호 즉 비트선(2), (7)의 전위차가 큰 측이 바람직하다.

이 비트선(2), (7)의 전위차를 크게하려면 시각(t_5)과 시각(t_6)과의 시간간격을 크게할 필요가 있지만 메모리셀의 데이터 판독속도를 빠르게 하기 위하여 일반적으로 시각(t_5)에서 시각(t_6)의 사이는 15~25nS에 설정되어 있다.

시각(t_7)에 있어서 센스앰프(50)에 의한 신호전위차의 증폭이 종료하고 비트선(7)의 전위가 접지전위가 되어 전위차가 다시 커지게 된다.

다음에 시각(t_7)에 있어서 동일하게 비트선 충전신호(ϕ_R)가 하강하면 충전용의 MOS 트랜지스터(24)가 온상태가 되고 센스앰프 구동신호선(14)의 전위가 전원전위(V_{cc})에 상승한다.

이 결과 센스앰프(50)의 MOS 트랜지스터(15)를 개재하여 비트선(2)의 전위도 전원전위(V_{cc}) 레벨에까지 충전된다.

이것에 의하여 센스앰프(50)에 의한 센스동작이 완료한다.

여기에서 신호(ϕ_s)가 트리거하는 동작을 센스동작, 신호(ϕ_R)가 트리거하는 동작을 리스토어 동작과 구별하는 경우도 있지만 이하의 설명에서는 양자를 포함하여 센스동작이라고 규정한다.

비트선(2), (7)의 전위가 각각 전원전위(V_{cc}) 접지전위 0V에 확정된 후에 Y 디코더 출력에 의하여 비트선(2), (7)이 각각 데이터 입출력버스(I/O)에 접속되어 데이터의 판독이 실행된다.

다음 비트선의 데이터 판독시에 있어 미소전위 변화에 대하여 제13도 및 제14도를 사용하여 상세하게 설명한다.

제13도는 센스앰프를 개재한 센스앰프 구동신호선과 비트선과의 사이의 전하의 이동 및 각 신호선에 있어 전위변화 후의 전위 표시도이다.

제14도는 메모리셀 데이터 판독시에 있어 각 신호선에서의 전위변화 표시도이다.

이하, 제13도 및 제14도를 참조하여 메모리셀 데이터 판독시에 있어서 비트선상의 미소전위 변화에 대하여 상세하게 설명한다.

지금 메모리셀(1)에서는 논리 "1"의 데이터를 판독할 경우를 고려한다.

이 경우 워드선(3)에 부여되는 워드선 구동신호(R_n)가 입상하여 그 전위레벨이 $V_{cc}/2+V_{TN}$ 를 초과하면 메모리셀(1)의 MOS 트랜지스터(5)가 도통을 시작하여 비트선(2)과 노드(4)가 접속되고 이것에 의하여 노드(4)에서 비트선(2)에 향하여 전하가 이동하여 비트선(2)의 전위가 상승한다.

이 비트선(2)의 전위상승에 의하여 MOS 트랜지스터(19)가 도통을 시작하여 비트선(7)에서 센스앰프 구동신호선(17)에 향하여 전하가 이동한다.

이것에 의하여 센스앰프 구동신호선(17)의 전위가 상승함과 함께 비트선(7)의 전위가 저하한다.

이 비트선(7)의 전위가 저하하므로써 MOS 트랜지스터(15)가 도통하고 센스앰프 구동신호선(14)에서 비트선(2)에 향하여 전하가 이동하여 비트선(2)의 전위가 상승한다.

이 상승의 현상이 반복되면 비트선(2)의 전위가 점차 커질것으로 생각되지만 실제로는 센스앰프 구동신호선(17)의 기생용량(21)의 용량치가 비트선(7)의 기생용량(28)의 용량치에 비교하여 작기 때문에 센스앰프 구동신호선(17)의 전위가 비트선(7)의 전위저하보다도 빠르게 상승하며 이것에 의하여 MOS 트랜지스터(19)가 도통하기 어렵게 되어 비트선(2)의 전위상승이 비교적 작은값에 정지한다.

이 비트선(2)의 전위상승을 다시 크게하기 위하여서는 센스앰프 구동신호선(17)에 용량을 부가하는 것이 고려되지만 이 방법에서는 비트선(7)에서의 방전경로의 방전의 시정수가 커지게되어 도리어 비트선(7)의 전위저하가 작아지는 경우도 생긴다.

상술한 비트선(2), (7)에 있어 전위변화의 현상은 과도현상이고 그 상세는 과도현상의 계산이 필요하지만 여기에서는 후술의 본 발명의 구성과 대체로 비교할 목적 때문에 전하의 이동이 정지된 최종 상태에 대하여 제13도를 사용하여 설명한다.

제13도에서 표시된 바와 같이 전하이동 후의 비트선(2), (7) 센스앰프 구동신호선(14), (17)의 전위변화를 각각 $\Delta V_1, \Delta V_2, \Delta V_7, \Delta V_{14}, \Delta V_{17}$ 로 한다.

여기에서 ΔV 는 메모리셀(1)에서의 논리 "1" 데이터를 판독한 것에 의하여 생긴 전위변화량이다.

또 기생용량(20), (21), (27), (28)의 용량치를 각각 C20, C21, C27, C28로 한다.

우선 비트선(2)과 센스앰프 구동신호선(14)과의 사이의 전하의 이동을 고려한다.

이 경우, 전하의 보존칙에 의하여

$$(V_{cc}/2 + \Delta V) \cdot C27 + (V_{cc}/2 + |V_{TP}|) \cdot C20 = (V_{cc}/2 + \Delta V + \Delta V_2) \cdot C27 + (V_{cc}/2 + |V_{TP}| - \Delta V_{14}) \cdot C20$$

즉,

$$C27 \cdot \Delta V_2 = C20 \cdot \Delta V_{14} \dots\dots\dots(1)$$

동일하게 비트선(7)과 센스앰프 구동신호선(17)과의 사이에서의 전하의 보존칙을 고려하므로서

$$C27 \cdot \Delta V_7 = C21 \cdot \Delta V_{17} \dots\dots\dots(1)$$

가 얻어진다.

또 MOS 트랜지스터(19)가 비도통상태가 되어 센스앰프 구동신호선(17)으로의 전하의 이동이 정지한다는 것에 의하여

$$V_{cc}/2 + \Delta V + \Delta V_2 - V_{TN} = V_{cc}/2 - V_{TN} + \Delta V_{17}$$

즉,

$$\Delta V + \Delta V_2 = \Delta V_{17} \dots\dots\dots(3)$$

동일하게 MOS 트랜지스터(15)가 비도통상태가 되어 비트선(2)으로의 전하의 이동이 정지한다는 것에 의하여

$$V_{cc}/2 - \Delta V_{17} + |V_{TP}|$$

$$V_{cc}/2 + |V_{TP}| - \Delta V_{14}$$

즉,

$$\Delta V_7 = \Delta V_{14} \dots\dots\dots(4)$$

가 얻어진다.

위의 식(4)을 위의 식(2)에 대입하므로서

$$C28 \cdot \Delta V_{14} = C21 \cdot \Delta V_{17} \dots\dots\dots(5)$$

가 얻어진다.

일방 위의 식(1)에서

$$\Delta V_{14} = (C27/C20) \cdot \Delta V_2 \dots\dots\dots(6)$$

가 된다.

이 식(6)을 식(5)에 대입하면 $(C27 \cdot C28/C20) \cdot \Delta V_2 = C21 \cdot \Delta V_{17}$

즉,

$$\Delta V_{17} = (C27 \cdot C28/C20 \cdot C21) \cdot \Delta V_2 \dots\dots\dots(7)$$

식(7)을 식(3)에 대입하면

$$\Delta V = \{(C27 \cdot C28/C20 \cdot C21) - 1\} \cdot \Delta V_2$$

즉,

$$\Delta V_2 = \Delta V / \{(C27 \cdot C28/C20 \cdot C21) - 1\} \dots\dots\dots(8)$$

동일하게 하여

$$\Delta V_7 = \Delta V_{14} = \Delta V / \{(C28/C21) - (C20/C27)\} \dots\dots\dots(9)$$

$$\Delta V_{17} = (C28/C21) \cdot \Delta V_{14} = \Delta V / \{1 - (C20 \cdot C21/C27 \cdot C28)\} \dots\dots(10)$$

이제 여기에서 $(C27=C28) : (C20=C21) \sim 10 : 1$, 또한 $\Delta V \sim 200mV$ 로 하면

$$\Delta V_2 = 200/99 \approx 2mV$$

$$\Delta V_7 = \Delta V_{14} = 1.1 \times 200 = 220mV$$

$$\Delta V_{17} = 100 \cdot 200/99 = 202mV$$

가 되는 값이 얻어진다.

상술한 값을 사용하면 센스앰프(50)에 주어지는 입력전위차(V_S)는

$$V_S = \Delta V_2 - \Delta V_7 \dots \dots \dots (11)$$

$$= V_{cc}/2 + \Delta V + \Delta V_2 - (V_{cc}/2 - \Delta V_7) = \Delta V + \Delta V_2 + \Delta V_7$$

$$= 200 + 2 + 220 = 422mV$$

가 된다.

이 값은 시각(T_5)과 시각(T_6)의 사이를 무한대로 한 경우의 값이고 이 값은 실제로는 메모리셀 데이터의 고속판독을 위하여 비교적 짧은 유한의 시간(예를 들면 15~25ns)에 설정할 필요가 있다.

또한 일방에 있어서 인접 비트선간의 용량결합에 의한 전압노이즈, 더욱이 실제의 메모리 디바이스 제조시에 있어서 부수적으로 생기는 비트선간의 전기적 비평형에 의하여 비트선간의 전위는 상술한 값의 1/3~1/4 정도의 크기가 되어 센스앰프 회로의 동작 여유도가 작아지는 문제가 생긴다.

즉, 센스앰프가 정확하게 동작하기 위하여서는 입력신호의 전위차가 클수록 좋지만 상술한 바와 같이 센스앰프로의 입력신호 전위차가 작게되어 센스앰프 회로의 동작여유도가 작아져서 확실한 센스 동작이 할 수 없는 경우가 생긴다는 문제가 있었다.

그러므로 본 발명의 목적은 상술한 바와 같은 종래의 다이내믹 랜덤 액세스메모리에 있어 센스앰프로의 입력전위차가 적게된다는 결정을 제거하고 비트선대 간의 데이터 판독시의 전위차를 크게하고 이것에 의하여 센스앰프의 동작을 안정 및/또는 고속으로 하는 것이 가능하게 되는 센스앰프의 구동장치 및 방법을 제공하는 것이다.

본 발명에 의한 랜덤 액세스메모리에 있어 센스앰프 구동장치 및 방법은 센스앰프를 구동하는 1쌍의 센스앰프 구동신호선의 사이에 메모리셀 데이터 판독시에 있어서 생기는 일방의 구동신호선의 전위변화를 타방의 센스앰프 구동신호선에 전달하는 전달수단을 설치한 것이다.

이 전위변화 전달수단을 센스앰프의 동작시 이전에 비능동화 된다.

바람직하기는 전위변화 전달수단은 결합용량 수단에 의하여 구성된다.

이 발명에 의한 센스앰프의 구동방법은 1쌍의 센스앰프 구동신호선을 용량결합하고 메모리셀 데이터를 판독하고 1쌍의 센스앰프 구동신호선을 전기적으로 분리하고 다음에 센스앰프를 능동화하는 스텝을 구비한다.

본 발명에 의한 센스앰프의 구동장치 및 방법에 따르면 메모리셀 데이터 판독시에 있어서 생기는 일방의 비트선의 전위변화는 일방의 센스앰프 구동신호선에서 전위변화 전달수단을 통하여 타방의 센스앰프 구동신호선에 전달되며 더욱이 센스앰프에 포함되는 트랜지스터를 통하여 타방의 비트선에 전달된다.

이것에 의하여 메모리셀 데이터 판독시에 있어 비트선대간의 전위차를 크게할 수가 있어 센스앰프의 동작마진을 확대할 수가 있다.

이하 본 발명의 일실시예에 대하여 제1도를 참조하여 설명한다.

제1도에 표시되는 장치구성과 제11도에 표시된 종래의 장치구성과를 비교하면 명백한 바와 같이 본 발명의 일실시예에 있어서는 제1의 센스앰프 구동신호선(14)과 제2의 센스앰프 구동신호선(17)과의 사이에 일방의 센스앰프 구동신호선에 발생하는 전위변화를 타방의 센스앰프 구동신호선에 전달하기 위한 전위변화 전달회로(44)가 설치된다.

전위변화 전달회로(44)는 그 일방 도통단자가 제1의 센스앰프 구동신호선(14)에 접속되고 그 타방 도통단자가 노드(37)에 접속되고 그 게이트가 클럭신호 (ϕ) 에 결합되는 P채널 MOS 트랜지스터(38)와 노드(37)와 노드(40)와의 사이에 설치되는 용량(41)과 그 일방 도통단자가 노드(40)에 접속되고 그 타방 도통단자가 제2의 센스앰프 구동신호선(17)에 접속되고 그 게이트가 신호선(43)을 통하여 클럭신호 (ϕ_T) 에 결합되는 N채널 MOS 트랜지스터(42)로 구성된다.

이 전위변화 전달회로(44)는 제2의 센스앰프 구동신호선(17)에 생긴 전위변화를 용량결합에 의하여 제1의 센스앰프 구동신호선(14)상에 전달하고 이것에 의하여 센스앰프에 포함되는 트랜지스터를 개재하여 일방의 비트선에서 타방의 비트선에 전하를 전송하는 기능을 보유하고 있다.

제2도는 제1도에 표시된 센스앰프 구동장치를 사용한 경우의 동작을 표시한 파형도이고 메모리셀 데이터 판독시에 있어 각 신호선의 전위변화 표시도이다.

더욱이 제2도의 동작파형도에 있어서 센스앰프 구동신호(ϕ_R), (ϕ_S), 프리차아지 신호(ϕ_P), 이퀄라이즈 신호(ϕ_E) 및 워드선 구동신호(R_n)의 동작타이밍은 종래와 동일하다.

더욱이 이하의 설명에 있어서 각 비트선을 프리차아지하는 전위(V_B)는 동작 전원전위(V_{cc})의 반분 즉 $V_{cc}/2$ 라고 하고 설명한다.

이하 제1도 및 제2도를 참조하여 본 발명의 일실시예인 센스앰프 구동장치의 동작에 대하여 설명한다.

종래와 동일하게 하여 행어드레스 디코드신호에 응답하여 워드선(3)이 선택되고 워드선(3)상에 워드선 구동신호(R_n)가 전달되고 워드선 구동신호(R_n)가 상승하기 시작한다.

그리고 시각(t_A)에 있어서는 워드선 구동신호(R_n)가 $V_{cc}/2 + V_{TX}$ (V_{TX} 는 메모리셀(1)에 포함되는 트랜스퍼 게이트 트랜지스터(5)의 드레시홀드 전압)에 도달한 때 메모리셀(1)의 n채널 MOS 트랜지스터(5)가 도통을 시작하며 이것에 의하여 메모리셀(1)에서 논리 "1"의 데이터가 판독된다.

즉, 메모리셀(1)의 용량(6)에 축적되어 있던 전하가 MOS 트랜지스터(5)를 개재하여 비트선(2)측에 이동하고 비트선(2)의 전위가 상승하기 시작한다.

이 비트선(2)의 전위상승에 수반하여 MOS 트랜지스터(19)가 도통하기 시작한다.

이 결과 비트선(7)의 기생용량(21)에 축적되어 있던 전하가 MOS 트랜지스터(19)를 통하여 제2의 센스앰프 구동신호선(17)에 이동하고 그 전위를 상승시키도록 작용한다.

(ϕ_r)

일방 이때 클럭신호(ϕ_r), 는 각각 0, V_{cc} 레벨에 있기 때문에 전위변화 전달회로(44)의 MOS 트랜지스터(38), (42)는 함께 충분히 도통된 상태로 되어 있다.

이 결과 제2의 센스앰프 구동신호선(17)에 생긴 전위변화는 그대로 결합용량(41)을 통하여 제1의 센스앰프 구동신호선(14)에 전달된다.

이때 MOS 트랜지스터(15)는 비트선(7)의 MOS 트랜지스터(19)를 개재한 방전에 의하여 전위저하하고 도통상태가 되어 있다.

따라서 제1의 센스앰프 구동신호선(14)에 전달되는 전위변화량은 MOS 트랜지스터(15)를 개재하여 비트선(2)에 전달되며 이것에 의하여 비트선(2)의 전위가 다시 상승한다.

이하 비트선(2)의 전위상승에 수반하여 MOS 트랜지스터(19)는 온상태 비트선(7)의 전위하강에 수반하여 n채널 MOS 트랜지스터(15)는 온상태를 유지하기 때문에 비트선(7)의 전하가 MOS 트랜지스터(19)→제2의 센스앰프 구동신호선(17)→MOS 트랜지스터(42)→용량(41)→MOS 트랜지스터(38)→제1의 센스앰프 구동신호선(14)→MOS 트랜지스터(15)를 통하여 비트선(2)에 전달되는 것이 된다.

이 결과 비트선(2)의 전위는 메모리셀(1)에서 판독된 전위 이상으로 변화하고 일방 비트선(7)의 전위도 점차 하강해간다.

이때 센스앰프 구동신호선(14), (17)은 단순히 상승한 전하 이동매체로서만 가능하기 때문에 이 전위(ϕ_A), (ϕ_B)는 변화하지 않고 각각 $V_{cc}/2 + |V_{TP}|$, $V_{cc}/2 - V_{TN}$ 이다.

(ϕ_r)

다음에 시각(t_B)에 있어서 클럭신호(ϕ_r), 를 각각 상승, 하강시키는 것에 의하여 MOS 트랜지스터(38), (42)가 함께 오프상태가 되어 센스앰프 구동신호선(14), (17)이 전기적으로 분리된다.

다음은 시각(t_C)에 있어서 센스앰프 구동신호선(ϕ_S)가 입상 메모리셀 데이터의 센스동작이 실행되는 것이 된다.

이때 이 실시예에 있어서는 기히 비트선(2), (7) 각기에서 상호 역방향으로 전위변화가 생기고 있기 때문에 종래것에 비교하여 약2배의 전위차가 생기고 있는 것이 되어 센스앰프(50)에 대한 판독마진을 크게할 수가 있어 그 동작의 안전화를 도모할 수가 있다.

또, 종래의 메모리 디바이스와 동일한 비트선대의 전위차의 시점에서 센스앰프(50)를 동작시킬 경우에는 그 전위차에 도달하는 시간이 종래 보다도 대폭 단축되어 있기 때문에 종래의 장치보다도 빠른 시점에서 센스앰프(50)를 동작시킬 수가 있어 고속데이터 판독이 가능하게 된다.

또한 센스앰프(50)의 동작은 시각(t_C)에 있어서 센스앰프 구동신호(ϕ_S)를 상승시켜서 MOS 트랜지스터(27)를 온상태로 하여 제1의 센스앰프 구동신호선(17)의 전위를 $V_{cc}/2 - V_{TN}$ 에서 접지전위 0V에 하강시키므로써 실행되지만 이 전위변화가 용량(41)을 개재하여 제2의 센스앰프 구동신호선(14)상에 전달되지 않게 하기 위하여 시각(t_C)의 직전의 시각(t_B)에 있어서 MOS 트랜지스터(38), (42)를 함께 비도통상태로 하여 제1과 제2의 센스앰프 구동신호를 전기적으로 분리한다.

더욱이 상기 실시예에서는 메모리셀(1)이 "1"을 기억하고 있는 상태에 대하여서도 설명하였지만 그것이 "0"을 기억한 상태에서도 동일한 이론이 성립한다.

이때에는 비트선(2)의 전위가 하강하지만 비트선(2)→MOS 트랜지스터(18)→용량(41)→MOS 트랜지스터(16)→비트선(7)의 계로에서 전하가 이동한다.

제3도는 전위변화 전달회로(44)의 동작을 제어하기 위한 클럭신호를 발생하는 회로구성을 개략적으로 표시한 도면이다.

제3도에 표시된 구성에 있어서는 워드선 구동신호(R_n)를 소정시간 지연시켜서 출력하는 지연회로

(ϕ_r)

(200)와 지연회로(200)에서의 신호에 응답하여 클럭신호(ϕ_T), 를 발생하는 클럭신호 발생회로(201)와 클럭신호(ϕ_T)를 소정시간 지연시켜서 출력하는 지연회로(202)와 지연회로(202)에서의 신호에 응답하여 센스앰프 구동신호(ϕ_S), (ϕ_R)를 각각 발생하는 센스앰프 구동신호 발생회로(203)로 구성된다.

이 구성에 있어서 클럭신호 발생회로(201)는 워드선 구동신호(R_n)가 입상한 후 소정시간 경과 후 각

각 클럭신호 (ϕ_r), $(\overline{\phi_r})$ 를 각각 하강, 상승시킨다.

센스앰프 구동신호(ϕ_s), (ϕ_R)는 각각 클럭신호(ϕ_T)가 입하한 후 소정시간 경과 후에 상승, 하강한다.

여기에서 클럭신호 (ϕ_T), $(\overline{\phi_T})$ 의 각 입상 개시시점 및 입하 개시시점을 명확하게 표시하고 있지 아니하지만 이 개시시점은 센스앰프 구동신호(ϕ_s)가 입상하여 비트선대의 전위차가 확대된 후이면 어떤 시점이어도 좋다.

즉, 전위변화 전도수단(44)은 메모리셀 데이터 판독시에 있어 비트선대 간의 전위차를 증폭하여 센스앰프의 입력전위차를 크게하는 것이기 때문에 제1의 센스앰프 구동신호선(14)과 제2의 센스앰프 구동신호선(17)이 전기적으로 분리되는 것은 비트선대간의 전위차 센스시에 있어서 제2의 구동신호선의 전위하강이 제1의 구동신호선에 전도되지 않게 하는 타이밍이라면 어느 시점이라도 좋다.

더욱이 제3도의 구성에 있어서 지연회로(200), (202)가 가진 지연시간은 각각 메모리 디바이스의 설계에 있어 적당한 값으로 설정된다.

더욱이 상기 실시예에 있어서는 센스앰프 구동신호선(14), (17)의 분리를 위하여 P채널 MOS 트랜지스터와 N채널 MOS 트랜지스터를 각각 1개 사용하여 구성하고 있지만 이 구성에 대신하여 제4도 및 제5도에 각기 표시된 바와 같이 동일 도전형의 채널을 가진 MOS 트랜지스터를 사용하여도 상기 실시예와 동일한 효과가 얻어진다.

여기에서 제4도는 2개의 n채널 MOS 트랜지스터(42), (42')가 사용된 경우의 회로구성을 표시하고 제5도는 p채널 MOS 트랜지스터(38), (38')가 사용된 경우의 구성이 표시한다.

단 이 구성의 경우에 있어서는 클럭신호의 극성을 각각 역으로 할 필요가 있다.

더욱이 제4도, 제5도에 표시된 구성에 있어서는 MOS 트랜지스터를 2개 사용한 구성을 표시하고 있지만 이것에 대신하여 제6도, 제7도에 표시된 바와 같이 1개의 MOS 트랜지스터를 사용하여 전달회로(44)를 구성하여도 상기 실시예와 동일한 효과가 얻어진다.

즉 제6도의 구성에 있어서는 용량(41)과 제2의 센스앰프 구동신호선(17)과의 사이에 n채널 MOS 트랜지스터(42)가 설치된다.

이 n채널 MOS 트랜지스터(42)의 게이트에 신호선(43)을 통하여 클럭신호(ϕ_T)가 부여된다.

제7도의 구성에 있어서는 제1의 센스앰프 구동신호선(14)과 용량(41)과의 사이에 n채널 MOS 트랜지스터(42')가 설치된다.

더욱이 제6도, 제7도의 구성에 있어서 n채널 MOS 트랜지스터(42), (42')에 대신하여 각각 p채널 MOS 트랜지스터를 사용하여도 동일한 효과가 얻어진다.

단지 이 경우는 용량(41)에 센스동작시에 필요없는 전류가 흘러 소비전력의 약간의 증대를 초래할 것이 고려되지만 실용상에는 지장은 없고 상기 실시예와 동일한 효과가 얻어진다.

여기에서 제6도, 제7도에 표시되는 n채널 MOS 트랜지스터의 대신에 p채널 MOS 트랜지스터를 사용할 경우에는 클럭신호(ϕ_T)의 극성을 역으로 할 필요가 있다.

더욱이 제1도에 표시되는 실시예에 있어서는 소위 더미셀을 생략하였지만 이 비트선에 더미셀을 접속하면 더욱 본원 발명의 효과가 개선된다.

이 더미셀 방식에 있어서는 예를 들면 제8도에 표시된 바와 같이 더미워드선(62), (65)이 설치되며 또한 비트선(2)과 더미워드선(65)의 교차점에 메모리셀(1)의 MOS 트랜지스터(5)와 동일형상의 MOS 트랜지스터(64)가 접속되고 또 더미워드선(62)과 비트선(7)과의 교차점에 동일하게 MOS 트랜지스터(5)와 동일형상의 MOS 트랜지스터(61)가 설치된다.

워드선(3)이 선택되고 워드선 구동신호(R_n)가 워드선(3)에 전달되고 워드선(3)의 전위가 0V에서 V_{cc} 까지 상승할 경우 워드선(3)과 비트선(2)과의 사이의 기생용량(60)에 의하여 워드선과 비트선이 결합하여 비트선(2)의 전위가 약간 상승하는 것이 고려된다.

이것을 피하기 위하여 비트선(7)측에 더미워드선(62)과의 교차점에 설치된 MOS 트랜지스터(5)와 동일형상의 MOS 트랜지스터(61)에 의하여 더미워드선(62)과 비트선(7)과의 사이에 동일한 기생용량(63)을 형성하고 이것에 의하여 비트선(2)측과 동일한 결합전압을 비트선(7)에도 부여하여 용량결합에 의한 전압노이즈가 상쇄된다.

즉 워드선(3)이 선택된 경우에 더미워드선(62)이 선택되며 더미워드선(62)상에 더미워드선 구동신호(DR_n)가 전달된다.

일방 비트선(7)이 선택된 경우에는 더미워드선(65)이 선택되어 더미워드선(65)상에 더미워드선 구동신호($\overline{DR_n}$)가 전달된다.

이 더미워드선 구동신호 (DR_n), $(\overline{DR_n})$ 은 함께 워드선 구동신호(R_n)와 동일 타이밍으로 발생되고 또

한 동일 형상의 파형을 보유하고 있다.

$\overline{(DR_n)}$

또, 이 더미워드선 구동신호(DR_n), 는 행어드레스 디코드 신호에 기인하여 용이하게 발생할 수가 있다.

상술한 바와 같이 제1도에 표시된 구성에 있어서 제8도에 표시되는 더미셀 방식을 적용하면 다시 센스앰프의 안정동작을 도모할 수가 가능하게 된다.

더우기 상기 실시예에 있어서는 센스앰프(50)의 구동을 센스앰프 구동신호선(17)을 사용하여 방전동작을 먼저 실행하였지만 이것은 센스앰프 구동신호선(14)을 사용하여 먼저 충전동작을 실행한 경우에 있어서도 상기 실시와 동일한 효과가 얻어진다.

즉, 센스앰프 구동신호(ϕ_s), (ϕ_R)의 어느측이 먼저 활성화상태에 이행하여도 된다.

더욱이 상기 실시예에 있어서는 1/2V_{cc} 프리차아지 방식의 메모리의 바이스에 대하여 설명하였지만 V_{cc} 프리차아지 방식의 메모리 디바이스에도 본원 발명은 적용가능하다.

단 이때 제1의 구동신호선(14)을 프리차아지 전위보다도 높은 전위에 유지할 필요가 있기 때문에 제1도에 있어서 신호선(28)에 부여되는 전원전원(V_{cc})를 이동작 전원전위(V_{cc})보다도 높은 전위(V'_{cc})에 할 필요가 있다.

이상과 같이 본 발명에 의하면 제1의 센스앰프 구동신호와 제2의 센스앰프 구동신호선과의 사이에 메모리셀 데이터 판독시에 있어서 제2의 센스앰프 구동신호선에 생기는 전위변화를 제1의 센스앰프 구동신호선에 전달하는 전위변화 전달회로를 설치하였으므로 이 전달된 전하(즉, 전위변화)가 센스앰프를 개재하여 비트선대간을 전달시킨 것이 되어 메모리셀 데이터 판독시에 있어 비트선대간의 전위차를 확대할 수가 있어 이것에 의하여 센스앰프 동작시에 있어 입력전위차를 크게할 수가 있어 센스앰프의 동작마진을 크게할 수가 있는 동시에 종래와 동일한 비트선대간 전위차의 시점에서 센스앰프를 구동하면 종래보다도 빠른 시점에서 센스앰프를 활성화하는 것이 가능하게 되어 고속데이터 판독이 가능하게 된다.

(57) 청구의 범위

청구항 1

각각의 복수의 메모리셀(1)이 접속되는 제1 및 제2의 비트선(BL₀, $\overline{BL_0}$) 대를 이루도록 반복 배열하여 구성되는 복수의 비트선(BL₀, $\overline{BL_0}$ ~ BL_m, $\overline{BL_m}$)대와 상기 복수의 비트선대의 각각에 설치되어 제1 및 제2의 신호선(14, 17)를 통하여 전달되는 신호에 응답하여 활성화하고 대응의 비트선대의 신호를 차동적으로 증폭하는 복수의 센스앰프(50)와를 보유하는 다이내믹 랜덤 액세스메모리에 있어 센스앰프 구동장치로서 상기 제1및 제2의 신호선(14, 17)의 사이에 설치되고 상기 제2의 신호선(17)의 전위변화를 상기 제1의 신호선(14)에 전달하는 전위변화 전달수단(44)과 상기 메모리셀(1)의 정보판독시간을 규정하는 제어신호에 응답하여 상기 전위변화 전달수단(44)의 동작을 제어하는 신호를 발생하는 제어신호 발생수단(CG)을 구비한 다이내믹 랜덤 액세스메모리에 있어서의 센스앰프 구동장치.

청구항 2

제1항에 있어서, 상기 전위변화 전달수단(44)은 상기 제어신호 발생수단(CG) 출력에 응답하여 상기 센스앰프(50)의 활성화 이전에 비활성화되어 상기 제1의 신호선(14)과 제2의 신호선(17)을 전기적으로 분리하는 수단(38, 42)을 포함한 다이내믹 랜덤 액세스메모리에 있어서의 센스앰프 구동장치.

청구항 3

제2항에 있어서, 상기 전기적 분리수단(38, 42)은 선택된 메모리셀(1)의 정보가 상기 메모리셀(1)의 정보판독시간을 규정하는 제어신호에 응답하여 대응하는 비트선상에 전달되기 이전에 활성화되는 다이내믹 랜덤 액세스메모리에 있어서의 센스앰프 구동장치.

청구항 4

제1항에 있어서, 상기 전위변화 전달수단(44)은 상기 제1의 신호선(14)과 상기 제2의 신호선(17)과를 용량적으로 결합하는 용량결합수단(41)을 포함한 다이내믹 랜덤 액세스메모리에 있어서의 센스앰프 구동장치.

청구항 5

제1항에 있어서의 상기 전위변화 전달수단(44)은 상기 제어신호 발생수단(CG) 출력에 응답하여 오프 상태가 되는 스위칭수단과 상기 스위칭수단과 직렬로 접속되는 용량수단과를 포함한 다이내믹 랜덤 액세스메모리에 있어서의 센스앰프 구동장치.

청구항 6

제1항에 있어서, 상기 전위변화 전달수단(44)은 용량(41)과, 상기 용량(41)과 상기 제1의 신호선(14)과의 사이에 설치되며 상기 제어신호 발생수단(CG) 출력에 응답하여 오프상태가 되는 제1의 절

연계이트 전계효과 트랜지스터(38, 42')와 상기 용량(41)과 상기 제2의 신호선(17)과의 사이에 설치되며 상기 제어신호 발생수단(CG) 출력에 응답하여 오프상태가 되는 제2의 절연게이트 전계효과 트랜지스터(38', 42)와를 구비한 다이내믹 랜덤 액세스메모리에 있어서의 센스앰프 구동장치.

청구항 7

제1항에 있어서, 상기 전위변화 전달수단(44)은 상기 제1의 신호선(14)에 결합되는 일방 전극과 타방 전극과를 보유하는 용량(41)와, 상기 용량(41)의 상기 타방 전극과 상기 제2의 신호선(17)과의 사이에 설치되며 상기 제어신호 발생수단(CG) 출력에 응답하여 오프상태가 되는 제3의 절연게이트 전계효과 트랜지스터(42)와를 구비한 다이내믹 랜덤 액세스메모리에 있어서의 센스앰프 구동장치.

청구항 8

제1항에 있어서, 상기 전위변화 전달수단(44)은 상기 제2의 신호선(17)에 결합되는 일방 전극과 타방 전극과를 보유하는 용량(41)과, 상기 용량(41)의 상기 타방 전극과 상기 제1의 신호선(14)과의 사이에 설치되며 상기 제어신호 발생수단(CG) 출력에 응답하여 오프상태가 되는 제4의 절연게이트 전계효과 트랜지스터(42')와를 구비한 다이내믹 랜덤 액세스메모리에 있어서의 센스앰프 구동장치.

청구항 9

제1항에 있어서, 상기 센스앰프는 상기 제1의 비트선(2)과 상기 제2의 비트선(7)과의 사이에 설치되며 그 일방 전극과 게이트 전극이 교차 접속하는 형태로 설치되고 타방 전극에 상기 제2의 신호선(17)이 결합되는 1쌍의 n채널 절연게이트 전계효과 트랜지스터(18, 19)와 상기 제1의 비트선(2)과 상기 제2의 비트선(7)과의 사이에 설치되어 그 일방전극과 게이트전극이 교차 접속하는 접속형태로 설치되고 그 타방 전극이 상기 제1의 신호선이 결합되는 1쌍의 p채널 절연게이트 전계효과 트랜지스터(15, 16)와를 구비하여 상기 제1의 신호선(14)에는 상기 비트선의 프리차아지 기간중에 상기 제1의 신호선 전위를 프리차아지 전위보다도 상기 p채널 절연게이트 전계효과 트랜지스터(15, 16)의 드레시홀드치 전압의 절대치보다도 높은 값에 유지하는 수단이 설치된 다이내믹 랜덤 액세스메모리에 있어서의 센스앰프 구동장치.

청구항 10

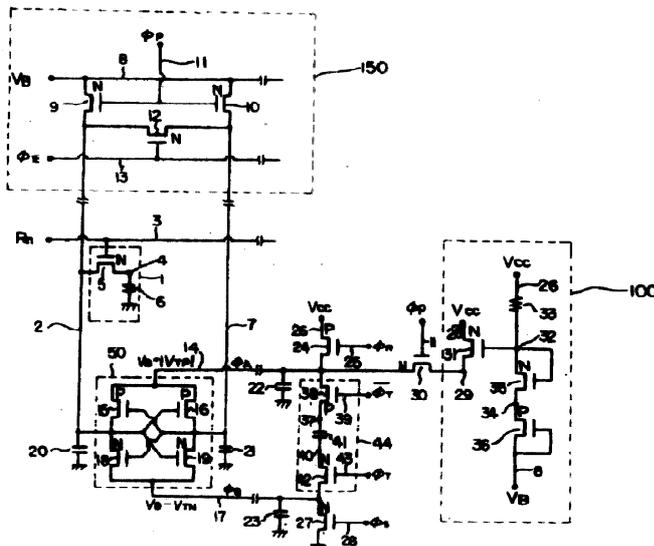
제1항에 있어서, 상기 제1의 비트선(2) 및 제2의 비트선(7)의 각각에 접속되며 상기 복수의 메모리 셀이 각각이 보유하는 용량과 동일 용량의 용량치를 보유하는 더미셀을 다시 비치하는 다이내믹 랜덤 액세스메모리에 있어서의 센스앰프 구동장치.

청구항 11

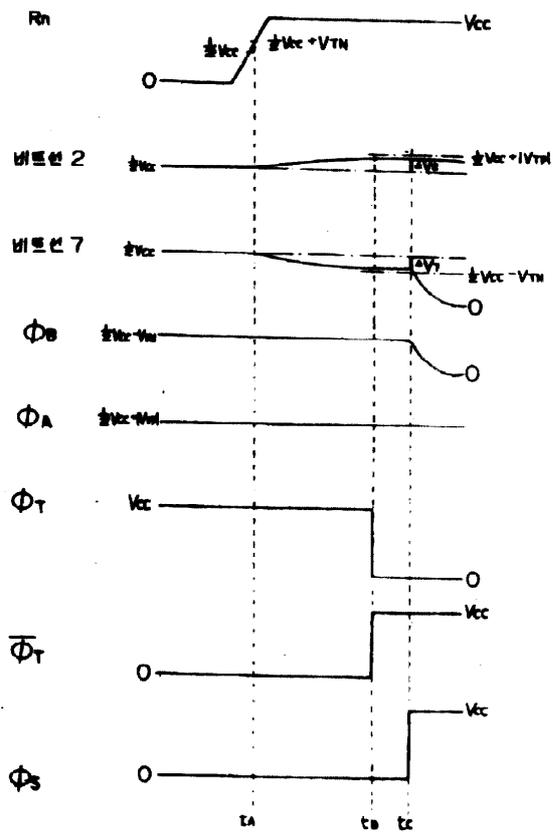
각각 복수의 메모리가 접속된 제1 및 제2의 비트선(2, 7)대를 형성하도록 배열되어서 구성되는 복수의 비트선대와 상기 복수의 비트선대의 각각에 설치되며 제1 및 제2의 신호선(14, 17)을 개재하여 전달되는 신호에 응답하여 활성화되며 대응의 비트선대의 신호를 자동적으로 증폭하는 복수의 센스앰프(50)와를 보유하는 다이내믹 랜덤 액세스메모리에 있어서의 센스앰프 구동방법으로서 상기 제1의 신호선(14)과 제2의 신호선(17)과를 용량결합하는 스텝과 상기 복수의 메모리셀에 액세스하여 선택된 메모리셀이 보유한 정보를 대응의 비트선상에 전달하는 스텝과, 상기 제1의 신호선(14)과 상기 제2의 신호선(17)과를 전기적으로 분리하여 상기 센스앰프를 활성화하는 스텝과를 구비한 다이내믹 랜덤 액세스메모리에 있어서의 센스앰프 구동방법.

도면

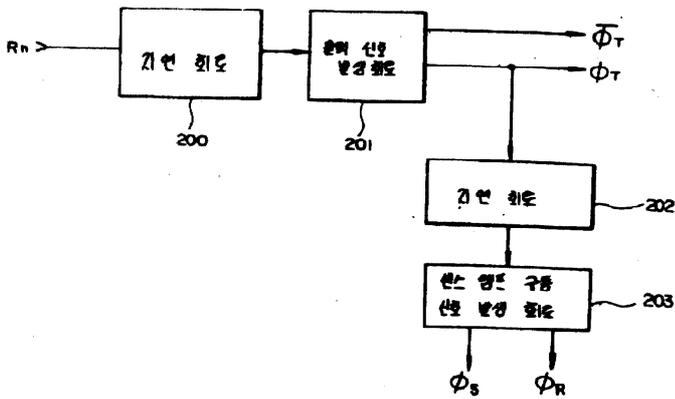
도면1



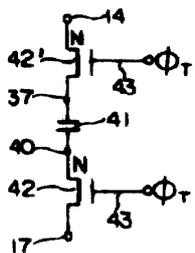
도면2



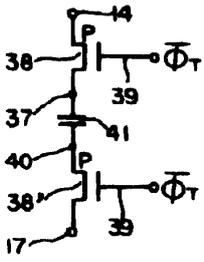
도면3



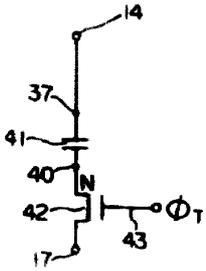
도면4



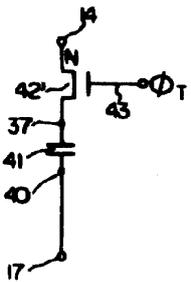
도면5



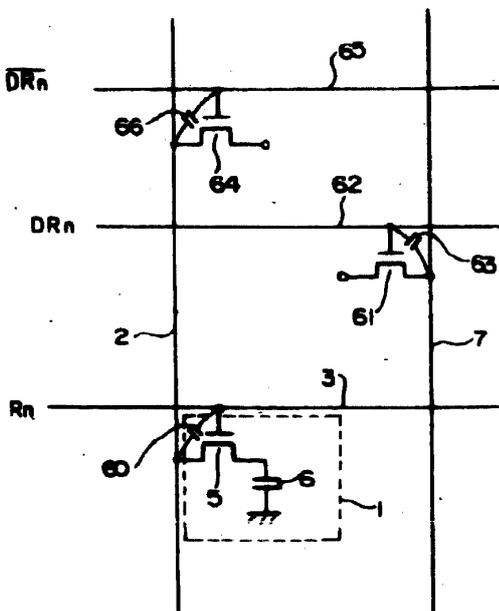
도면6



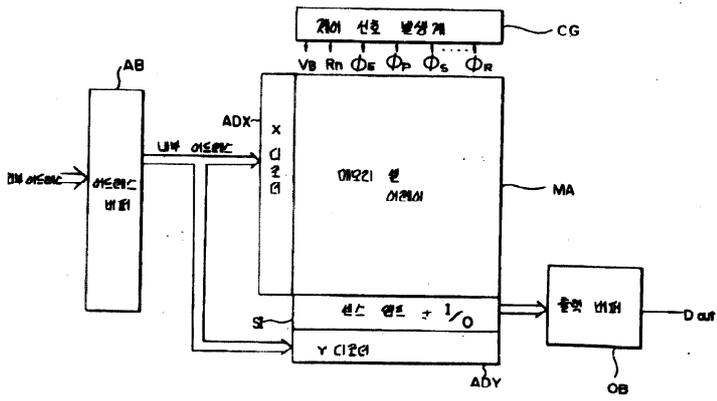
도면7



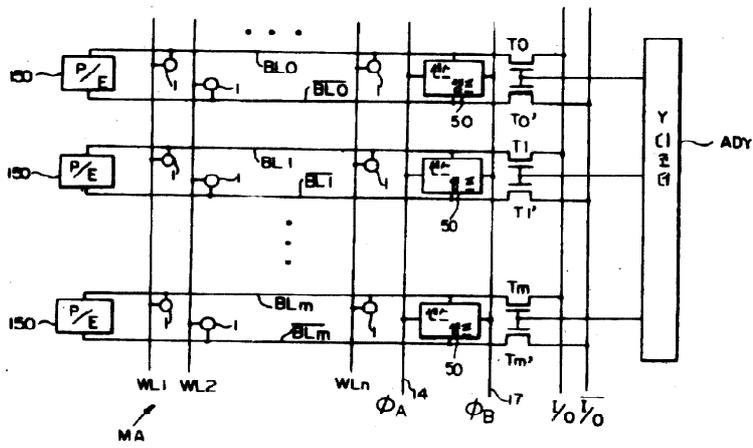
도면8



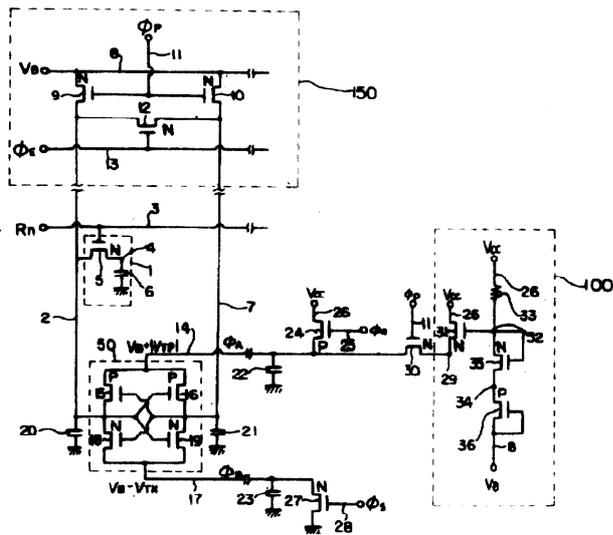
도면9



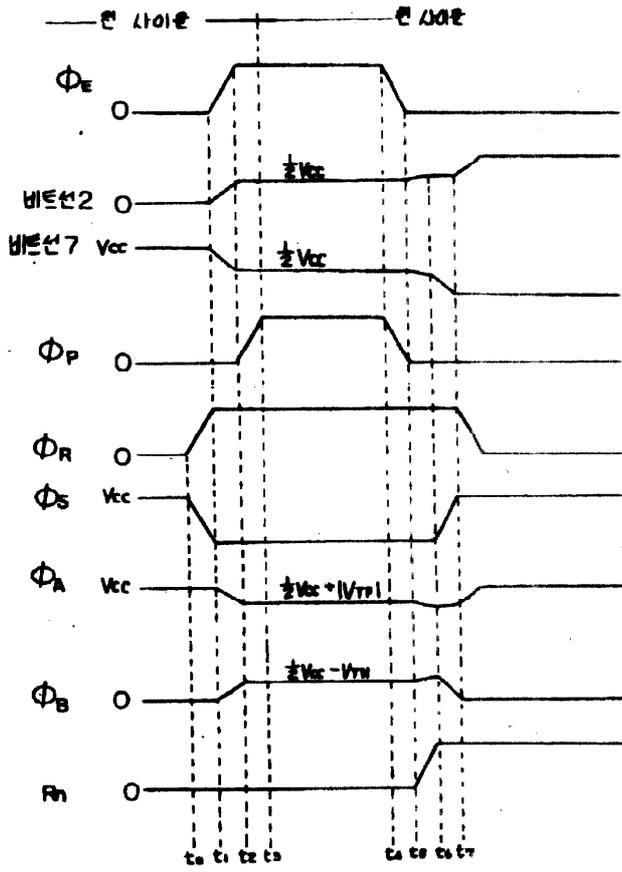
도면10



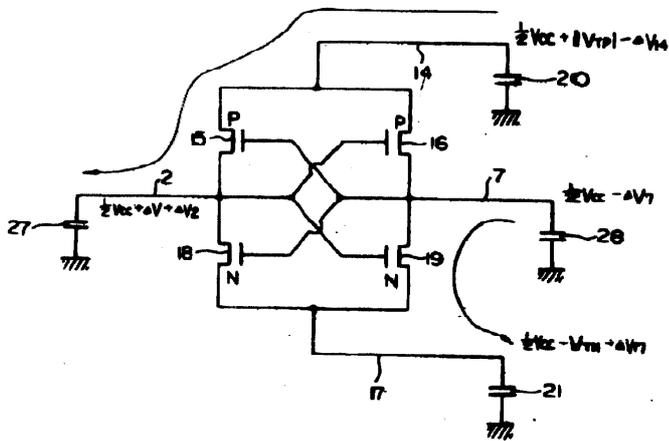
도면11



도면12



도면13



도면 14

