



(12) 发明专利

(10) 授权公告号 CN 109427718 B

(45) 授权公告日 2023.02.28

(21) 申请号 201810233216.0

(22) 申请日 2018.03.21

(65) 同一申请的已公布的文献号
申请公布号 CN 109427718 A

(43) 申请公布日 2019.03.05

(30) 优先权数据
15/690,143 2017.08.29 US

(73) 专利权人 日月光半导体制造股份有限公司
地址 中国台湾高雄市楠梓加工区经三路26
号邮编81170

(72) 发明人 刘玮玮 翁燿翔

(74) 专利代理机构 北京律盟知识产权代理有限
责任公司 11287
专利代理师 萧辅宽

(51) Int.Cl.

H01L 23/485 (2006.01)

H01L 21/60 (2006.01)

(56) 对比文件

US 2015/0171038 A1, 2015.06.18

US 5869881 A, 1999.02.09

JP 特开2001-93935 A, 2001.04.06

CN 103872000 A, 2014.06.18

审查员 韩增智

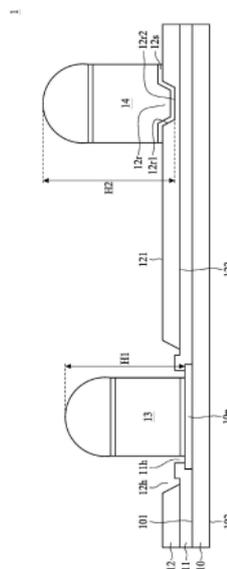
权利要求书5页 说明书5页 附图7页

(54) 发明名称

电子组件及其制造方法

(57) 摘要

本发明提供一种电子组件,其包含芯片、第一保护层、第二保护层、第一导电柱及第二导电柱。所述芯片包含导电衬垫。所述第一保护层安置于所述芯片上。所述第一保护层限定第一开口以暴露所述芯片的所述导电衬垫。所述第二保护层安置于所述第一保护层上。所述第二保护层限定第二开口及第一凹槽。所述第二开口暴露所述芯片的所述导电衬垫。所述第一导电柱安置于所述第二开口内且电连接至所述导电衬垫。所述第二导电柱安置于所述第一凹槽内。所述第一导电柱的高度大体上等于所述第二导电柱的高度。所述第一凹槽的底部表面安置于所述第一保护层的顶部表面与所述第二保护层的顶部表面之间。



1. 一种电子组件,其包括:
芯片,其包含导电衬垫;
安置于所述芯片上的第一保护层,所述第一保护层限定第一开口以暴露所述芯片的所述导电衬垫;
安置于所述第一保护层上的第二保护层,所述第二保护层限定第二开口及第一凹槽,所述第二开口暴露所述芯片的所述导电衬垫;
第一导电柱,其安置于所述第二开口内且电连接至所述导电衬垫;及
第二导电柱,其安置于所述第一凹槽内;
其中所述第一导电柱的高度大体上等于所述第二导电柱的高度;且
其中所述第一凹槽的底部表面安置于所述第一保护层的顶部表面与所述第二保护层的顶部表面之间;
其中所述第一开口的宽度小于所述第二开口的宽度;
其中所述第一凹槽的深度小于所述第二保护层的厚度;
其中所述第二保护层为单层;且
其中所述第二导电柱通过第一晶种层直接接触所述第二保护层,所述第一晶种层安置于所述第一凹槽的所述底部表面、所述第一凹槽的侧壁及所述第二保护层的所述顶部表面上。
2. 根据权利要求1所述的电子组件,其中所述第一保护层与所述第一导电柱之间存在一空间未被所述第二保护层覆盖。
3. 根据权利要求1所述的电子组件,其中所述第一凹槽的宽度小于所述第二导电柱的宽度。
4. 根据权利要求1所述的电子组件,其中
所述第二保护层具有背离所述第一保护层的所述顶部表面及与所述第二保护层的所述顶部表面相对的底部表面;且
所述第一凹槽具有所述底部表面及在所述第一凹槽的所述底部表面与所述第二保护层的所述顶部表面之间延伸的所述侧壁。
5. 根据权利要求4所述的电子组件,其中所述第二导电柱安置于所述第二保护层的所述顶部表面、所述第一凹槽的所述底部表面及所述第一凹槽的所述侧壁上。
6. 根据权利要求5所述的电子组件,其进一步包括在所述第二导电柱与所述第二保护层的所述顶部表面、所述第一凹槽的所述底部表面及所述第一凹槽的所述侧壁之间的所述第一晶种层。
7. 根据权利要求1所述的电子组件,其中
所述第二保护层进一步限定第二凹槽;且
所述第二导电柱安置于所述第一凹槽及所述第二凹槽内。
8. 根据权利要求1所述的电子组件,其中所述第一导电柱的总高度大体上等于所述第二导电柱的总高度。
9. 根据权利要求1所述的电子组件,其中所述第二导电柱安置于所述第二保护层的所述顶部表面上。
10. 根据权利要求1所述的电子组件,其中

所述第二保护层具有背离所述第一保护层的所述顶部表面及与所述第二保护层的所述顶部表面相对的底部表面；且

所述第一保护层具有突出部高于所述第二保护层的所述底部表面；且

所述第二开口曝露所述突出部。

11. 根据权利要求10所述的电子组件，其进一步包括在所述导电衬垫与所述第一导电柱之间的第二晶种层，且所述突出部高于所述第二晶种层的顶部表面。

12. 根据权利要求1所述的电子组件，其中所述第二保护层的所述顶部表面与所述第一凹槽的所述侧壁界定拐角，且所述拐角被所述第二导电柱覆盖。

13. 根据权利要求12所述的电子组件，其中所述拐角大于90度。

14. 根据权利要求12所述的电子组件，其中所述拐角位于所述第一保护层的所述顶部表面与所述第二导电柱之间。

15. 根据权利要求1所述的电子组件，其中所述第二导电柱具有底部表面面对所述第二保护层的所述顶部表面且与所述第二保护层的所述顶部表面平行。

16. 根据权利要求15所述的电子组件，其进一步包括在所述第二导电柱的所述底部表面与所述第二保护层的所述顶部表面之间的所述第一晶种层。

17. 根据权利要求1所述的电子组件，其中所述第一保护层的厚度介于 $0.5\mu\text{m}$ 与 $3\mu\text{m}$ 之间。

18. 根据权利要求17所述的电子组件，其中所述第一保护层的厚度为 $1\mu\text{m}$ 。

19. 根据权利要求1所述的电子组件，其中所述第二保护层为包含感光性材料的单层。

20. 根据权利要求1所述的电子组件，其中所述第二保护层的厚度介于 $4\mu\text{m}$ 与 $6\mu\text{m}$ 之间。

21. 根据权利要求20所述的电子组件，其中所述第二保护层的厚度为 $5\mu\text{m}$ 。

22. 根据权利要求20所述的电子组件，其中所述第二保护层的厚度大于所述第一保护层的厚度。

23. 根据权利要求1所述的电子组件，其中所述第一凹槽的所述深度为 $3\mu\text{m}$ ，且所述第一凹槽的所述底部表面与所述第一保护层的所述顶部表面之间的距离为 $2\mu\text{m}$ 。

24. 一种电子组件，其包括：

芯片，其包含导电衬垫；

安置于所述芯片上的第一保护层，所述第一保护层限定第一开口以暴露所述芯片的所述导电衬垫；

安置于所述第一保护层上的第二保护层，所述第二保护层限定穿透所述第二保护层的第二开口以暴露所述芯片的所述导电衬垫，且限定部分地穿透所述第二保护层的第一凹槽；

第一导电柱，其安置于所述第二开口内且电连接至所述导电衬垫；及

第二导电柱，其安置于所述第一凹槽内；

其中所述第一开口的宽度小于所述第二开口的宽度；且

其中所述第一导电柱的总高度大体上等于所述第二导电柱的总高度。

25. 根据权利要求24所述的电子组件，其中所述第二保护层为单层且包含感光性材料。

26. 根据权利要求24所述的电子组件，其中所述导电衬垫至少局部地曝露至空气。

27. 根据权利要求24所述的电子组件，其中所述第一凹槽的宽度小于所述第二导电柱

的宽度。

28. 根据权利要求24所述的电子组件,其中

所述第二保护层具有背离所述第一保护层的第一表面及与所述第一表面相对的第二表面;且

所述第一凹槽具有底部表面及在所述第一凹槽的所述底部表面与所述第二保护层的所述第一表面之间延伸的侧壁。

29. 根据权利要求28所述的电子组件,其中所述第二导电柱安置于所述第二保护层的所述第一表面、所述第一凹槽的所述底部表面及所述第一凹槽的所述侧壁上。

30. 根据权利要求29所述的电子组件,其进一步包括在所述第二导电柱与所述第二保护层的所述第一表面、所述第一凹槽的所述底部表面及所述第一凹槽的所述侧壁之间的晶种层。

31. 根据权利要求28所述的电子组件,其中所述第二保护层的所述第一表面与所述第二保护层的侧面界定拐角,且所述拐角被所述第二导电柱覆盖。

32. 根据权利要求31所述的电子组件,其中所述拐角大于90度。

33. 根据权利要求31所述的电子组件,其中所述拐角位于所述第一保护层的顶部表面与所述第二导电柱之间。

34. 根据权利要求28所述的电子组件,其中所述第二导电柱具有底部表面面对所述第二保护层的所述第一表面且与所述第二保护层的所述第一表面平行。

35. 根据权利要求34所述的电子组件,其进一步包括在所述第二导电柱的所述底部表面与所述第二保护层的所述第一表面之间的晶种层。

36. 根据权利要求24所述的电子组件,其中

所述第二保护层进一步限定第二凹槽;且

所述第二导电柱安置于所述第一凹槽及所述第二凹槽内。

37. 根据权利要求24所述的电子组件,其中所述第一保护层完全地暴露所述导电衬垫。

38. 根据权利要求37所述的电子组件,其中所述第一保护层未接触所述导电衬垫。

39. 根据权利要求24所述的电子组件,其中所述第一保护层的厚度介于 $0.5\mu\text{m}$ 与 $3\mu\text{m}$ 之间。

40. 根据权利要求39所述的电子组件,其中所述第一保护层的厚度为 $1\mu\text{m}$ 。

41. 根据权利要求24所述的电子组件,其中所述第二保护层的厚度介于 $4\mu\text{m}$ 与 $6\mu\text{m}$ 之间。

42. 根据权利要求41所述的电子组件,其中所述第二保护层的厚度为 $5\mu\text{m}$ 。

43. 根据权利要求41所述的电子组件,其中所述第二保护层的厚度大于所述第一保护层的厚度。

44. 根据权利要求41所述的电子组件,其中所述第一凹槽的深度为 $3\mu\text{m}$,且所述第一凹槽的底部表面与所述第一保护层的顶部表面之间的距离为 $2\mu\text{m}$ 。

45. 一种电子组件,其包括:

芯片,其包含导电衬垫;

安置于所述芯片上的第一保护层,所述第一保护层限定第一开口以暴露所述芯片的所述导电衬垫;

安置于所述第一保护层上的第二保护层,所述第二保护层限定穿透所述第二保护层的

第二开口以暴露所述芯片的所述导电衬垫,且限定第一凹槽;

第一导电柱,其安置于所述第二开口内且电连接至所述导电衬垫;及

第二导电柱,其安置于所述第一凹槽内,

其中所述第二保护层位于所述第一保护层与所述第二导电柱之间,且所述第一凹槽的宽度小于所述第二导电柱的宽度;

其中所述第二保护层为单一层;

其中所述第一导电柱与所述第一保护层及所述第二保护层分离;

其中所述第二保护层相对于所述第一保护层限定所述第一开口处倾斜并侧向地凹陷;

其中所述第一导电柱与限定所述第二开口的所述第二保护层之间的间隙大于所述第一导电柱与限定所述第一开口的所述第一保护层之间的间隙;且

其中所述第一凹槽具有阶梯形侧壁。

46. 根据权利要求45所述的电子组件,其中所述第一凹槽的深度小于所述第二保护层的厚度。

47. 根据权利要求45所述的电子组件,其中

所述第二保护层具有背离所述第一保护层的第一表面及与所述第一表面相对的第二表面;且

所述第一凹槽具有底部表面及在所述第一凹槽的所述底部表面与所述第二保护层的所述第一表面之间延伸的侧壁。

48. 根据权利要求47所述的电子组件,其中所述第二导电柱安置于所述第二保护层的所述第一表面、所述第一凹槽的所述底部表面及所述第一凹槽的所述侧壁上。

49. 根据权利要求48所述的电子组件,其进一步包括在所述第二导电柱与所述第二保护层的所述第一表面、所述第一凹槽的所述底部表面及所述第一凹槽的所述侧壁之间的晶种层。

50. 根据权利要求47所述的电子组件,其中所述第二保护层的所述第一表面与所述第二保护层的侧面界定拐角,且所述拐角被所述第二导电柱覆盖。

51. 根据权利要求50所述的电子组件,其中所述拐角大于90度。

52. 根据权利要求50所述的电子组件,其中所述拐角位于所述第一保护层的顶部表面与所述第二导电柱之间。

53. 根据权利要求47所述的电子组件,其中所述第二导电柱具有底部表面面对所述第二保护层的所述第一表面且与所述第二保护层的所述第一表面平行。

54. 根据权利要求53所述的电子组件,其进一步包括在所述第二导电柱的所述底部表面与所述第二保护层的所述第一表面之间的晶种层。

55. 根据权利要求45所述的电子组件,其中

所述第二保护层进一步限定第二凹槽;且

所述第二导电柱安置于所述第一凹槽及所述第二凹槽内。

56. 根据权利要求45所述的电子组件,其中所述第一保护层完全地暴露所述导电衬垫。

57. 根据权利要求56所述的电子组件,其中所述第一保护层未接触所述导电衬垫。

58. 根据权利要求45所述的电子组件,其中所述第一保护层的厚度介于 $0.5\mu\text{m}$ 与 $3\mu\text{m}$ 之间。

59. 根据权利要求58所述的电子组件,其中所述第一保护层的厚度为 $1\mu\text{m}$ 。
60. 根据权利要求45所述的电子组件,其中所述第二保护层的厚度介于 $4\mu\text{m}$ 与 $6\mu\text{m}$ 之间。
61. 根据权利要求60所述的电子组件,其中所述第二保护层的厚度为 $5\mu\text{m}$ 。
62. 根据权利要求60所述的电子组件,其中所述第二保护层的厚度大于所述第一保护层的厚度。
63. 根据权利要求45所述的电子组件,其中所述第一凹槽的深度为 $3\mu\text{m}$,且所述第一凹槽的底部表面与所述第一保护层的顶部表面之间的距离为 $2\mu\text{m}$ 。

电子组件及其制造方法

技术领域

[0001] 本公开大体上涉及一种电子组件及其制造方法。更具体地，本公开涉及一种包含导电柱的电子组件及其制造方法。

背景技术

[0002] 在电组件中，保护层安置于芯片或晶片的主动表面上，且所述保护层可具有多个开口以使导电衬垫暴露于用于电连接的芯片的主动表面上。导电柱安置于暴露的导电衬垫上以提供外部电连接，而虚设导电柱形成于保护层上以支撑芯片（且还维持共面性）以避免芯片弯曲或破裂。然而，由于虚设导电柱安置于保护层上，因此虚设导电柱的顶部部分高于导电柱的顶部部分，其可导致导电柱与外部电路或待接合的电路板之间的断开。另外，由于虚设导电柱及保护层由不同材料形成，因此其间的连接可相对较弱。

发明内容

[0003] 在一或多个实施例中，一种电子组件包含芯片、第一保护层、第二保护层、第一导电柱及第二导电柱。所述芯片包含导电衬垫。第一保护层经安置于芯片上。第一保护层限定第一开口以暴露芯片的导电衬垫。第二保护层经安置于第一保护层上。第二保护层限定第二开口及第一凹槽。第二开口暴露芯片的导电衬垫。第一导电柱安置于第二开口内且电连接至导电衬垫。第二导电柱安置于第一凹槽内。第一导电柱的高度大体上等于第二导电柱的高度。第一凹槽的底部表面安置于第一保护层的顶部表面与第二保护层的顶部表面之间。

[0004] 在一或多个实施例中，一种电子组件包含芯片、第一保护层、第二保护层、第一导电柱及第二导电柱。所述芯片包含导电衬垫。第一保护层安置于芯片上。第一保护层限定第一开口以暴露芯片的导电衬垫。第二保护层安置于第一保护层上。第二保护层限定穿透第二保护层的第二开口以暴露芯片的导电衬垫，且限定部分地穿透第二保护层的第一凹槽。第一导电柱安置于第二开口内且电连接至导电衬垫。第二导电柱安置于第一凹槽内。

[0005] 在一或多个实施例中，一种电子组件包含芯片、第一保护层、第二保护层、第一导电柱及第二导电柱。芯片包含导电衬垫。第一保护层安置于芯片上。第一保护层限定第一开口以暴露芯片的导电衬垫。第二保护层安置于第一保护层上。第二保护层限定穿透第二保护层的第二开口以暴露芯片的导电衬垫及第一凹槽。第一导电柱安置于第二开口内且电连接至导电衬垫。第二导电柱安置于第一凹槽内。第二保护层在第一保护层与第二导电柱之间。第一凹槽的宽度小于第二导电柱的宽度。

附图说明

[0006] 当结合附图阅读时，根据以下详细描述最佳地理解本公开的方面。应注意，各种特征可能未按比例绘制，且各种特征的尺寸可出于论述清晰起见而任意增大或减小。

[0007] 图1说明根据本公开的一些实施例的电子组件的横截面视图；

- [0008] 图2说明根据本公开的一些实施例的电子组件的横截面视图；
- [0009] 图3说明根据本公开的一些实施例的电子组件的横截面视图；
- [0010] 图4说明根据本公开的一些实施例的电子组件的横截面视图；以及
- [0011] 图5A、图5B及图5C说明根据本公开的一些实施例的制造电子组件的方法的各种阶段。
- [0012] 贯穿所述图式及详细描述使用共同参考数字以指示相同或类似元件。本公开将自结合附图进行的以下详细描述而更显而易见。

具体实施方式

[0013] 下文详细论述本公开的实施例的结构、制造及使用。然而，应了解，所述实施例阐明可实施于广泛多种特定情境中的许多可应用概念。应理解，以下揭示内容提供实施各种实施例的不同特征的许多不同实施例或实例。下文出于论述的目的而描述组件及装置的特定实例。当然，这些组件及配置仅为实例且不意图为限制性的。

[0014] 下文使用特定语言揭示于附图中所说明的实施例(或实例)。然而，将理解，所述实施例或实例并不意图为限制性的。如相关领域中的一般技术者通常将想到，对本发明实施例的任何更改及修饰，以及揭示于本文中的原理的任何其它应用处于本公开的范围内。

[0015] 另外，本公开可在各种实例中重复参考数字及/或字母。此重复是出于简单性及清晰性的目的，且其本身并不指示所论述的各种实施例及/或配置之间的关系。

[0016] 图1说明根据本公开的一些实施例的电子组件1的横截面视图。电子组件1包含芯片10、保护层11、12及导电柱13、14。

[0017] 芯片10具有主动表面101及与所述主动表面101相对的背表面102(也称为背面)。芯片10包含在芯片10的主动表面101上的至少一个导电衬垫10p。芯片10可包含半导体衬底、一或多个集成电路装置及其中的一或多个叠对互连结构。集成电路装置可包含例如晶体管的主动装置及/或例如电阻器、电容器、电感器的被动装置，或其两者或两者以上的组合。

[0018] 保护层11安置于芯片10的主动表面101上。保护层11具有或限定开口11h以暴露导电衬垫10p。在一些实施例中，保护层11可覆盖导电衬垫10p的部分(例如外围部分)。可替代地，保护层11完全地暴露导电衬垫10p。在一些实施例中，保护层11为钝化层，其包含氧化硅、氮化硅、氧化镓、氧化铝、氧化铈、氧化锆、氧化镧、氧化钪或另一金属或非金属氧化物或氮化物。在一些实施例中，保护层11的厚度呈约1微米(μm)或约0.5 μm 至约3 μm 。

[0019] 保护层12安置于保护层11上。保护层12具有背离保护层11的第一表面121(或顶部表面)及与第一表面121相对的第二表面122(或底部表面)。保护层12具有或限定开口12h以暴露开口11h、导电衬垫10p及保护层11的部分。举例来说，开口12h的宽度大于开口11h的宽度。保护层12具有或限定凹槽12r，所述凹槽在保护层12的第一表面121上而并不完全地穿透(或部分地穿透)保护层12。举例来说，凹槽12r的底部表面12r2定位于保护层11的顶部表面与保护层12的第一表面121之间的垂直高度处。举例来说，凹槽12r的深度小于保护层12的厚度。在一些实施例中，保护层12为包含聚酰亚胺或其它合适材料(例如感光性材料)的单层。在一些实施例中，保护层12的厚度为约5 μm 或约4 μm 至约6 μm 。在一些实施例中，凹槽12r的深度为约3 μm ，且凹槽12r的底部表面12r2与保护层11之间的距离为约2 μm 。

[0020] 导电柱13安置于保护层11、12的开口11h、12h内且电接触或连接至芯片10的主动表面101上的导电衬垫10p。在一些实施例中,晶种层可安置于导电柱13与导电衬垫10p之间。晶种层还可视为导电柱13的部分。在一些实施例中,导电柱13可包含铜。然而,例如镍及/或铝或各种金属的组合的其它导电材料或其它导电材料也可用于导电柱13中。

[0021] 导电柱14安置于保护层12上。导电柱14的部分在保护层12的凹槽12r内以与凹槽12r的侧壁12r1及底部表面12r2相接触。在一些实施例中,导电柱14的宽度大于凹槽12r的宽度。在一些实施例中,晶种层12s安置于保护层12的部分、凹槽12r的侧壁12r1及底部表面12r2上。举例来说,晶种层12s在导电柱14与保护层12之间。晶种层12s还可视为导电柱14的部分。在一些实施例中,导电柱14可包含铜。然而,例如镍及/或铝或各种金属的组合的其它导电材料或其它导电材料也可用于导电柱14中。在一些实施例中,导电柱14充当虚设导电柱以提供对电子组件1的支撑而非为芯片10提供电连接。

[0022] 在一些实施例中,导电柱13的高度H1大体上等于导电柱14的高度H2。由于导电柱13经安置于导电衬垫10p上而导电柱14经安置于保护层12上且在凹槽12r内,因此导电柱14的顶部部分可高于导电柱13的顶部部分。

[0023] 在对比电子组件中,用于电连接的导电柱经安置于芯片的导电衬垫上,且虚设导电柱经直接安置于保护层上。然而,由于导电衬垫与保护层之间的高度差,虚设导电柱的顶部部分高于导电柱的顶部部分,其可导致导电柱与外部电路或待接合的电路板之间断开。另外,由于虚设导电柱及保护层由不同材料形成,因此其间的连接相对较弱。在展示于本公开的图1中的实施例中,通过使凹槽12r形成于保护层12中而并不完全地穿透保护层12且将虚设导电柱14安置于凹槽12r内,可改善虚设导电柱14的顶部部分与用于电连接的导电柱13之间的非共面性。另外,使虚设导电柱14形成于凹槽12r内可增强虚设导电柱14与保护层12之间的接合力。

[0024] 图2说明根据本公开的一些实施例的电子组件2的横截面视图。电子组件2类似于图1中的电子组件1,不同之处在于,在图2中,保护层22的开口22h的宽度小于保护层11的开口11h的宽度,而在图1中,保护层12的开口12h的宽度大于保护层11的开口11h的宽度。

[0025] 参考图2,保护层22安置于保护层11上且延伸至保护层11的开口11h中以覆盖导电衬垫10p的部分。导电柱13安置于保护层22上且在保护层22的开口22h内以电接触或连接至导电衬垫10p。

[0026] 图3说明根据本公开的一些实施例的电子组件3的横截面视图。电子组件3类似于图2中的电子组件2,不同之处在于,在图3中,保护层22限定多个凹槽12r及32r。

[0027] 除如图2中所示的凹槽12r的外,保护层22进一步限定在保护层22的第一表面221上而并不完全地穿透保护层22的凹槽32r。凹槽32r邻近于凹槽12r且与凹槽12r间隔开。凹槽32r的底部表面32r2在保护层11的顶部表面与保护层22的第一表面221之间。举例来说,凹槽32r的深度小于保护层22的厚度。在一些实施例中,凹槽32r的深度为约 $3\mu\text{m}$,且凹槽32r的底部表面32r2与保护层11之间的距离为约 $2\mu\text{m}$ 。

[0028] 导电柱14的部分在保护层12的凹槽12r及32r内以与凹槽12r及32r的侧壁12r1、32r1及底部表面12r2、32r2相接触。在一些实施例中,导电柱14的宽度大于凹槽12r的宽度及凹槽32r的宽度的总和。在一些实施例中,可取决于设计规格来选择凹槽的数目。增加凹槽的数目可增强虚设导电柱14与保护层12之间的接合力。

[0029] 图4说明根据本公开的一些实施例的电子组件4的横截面视图。电子组件4类似于图2中的电子组件2,不同之处在于,在图4中,凹槽12r具有阶梯形侧壁12r1'。凹槽12r的阶梯形侧壁12r1'可增强虚设导电柱14与保护层22之间的接合力。

[0030] 图5A、图5B及图5C为根据本公开的一些实施例的在各个阶段制造的半导体结构的横截面视图。各种图式已经简化以更好地理解本公开的方面。

[0031] 参考图5A,提供包含芯片50的多个芯片50的芯片条带(例如晶片)。芯片50包含在芯片50的主动表面上的至少一个导电衬垫50p。每一芯片50可包含半导体衬底、一或多个集成电路装置及其中的一或多个叠对互连结构。集成电路装置可包含例如晶体管的一或多个主动装置及/或例如电阻器、电容器、电感器的被动装置,或其两者或两者以上的组合。

[0032] 保护层51安置或形成于芯片50上。保护层51具有或限定开口51h以暴露导电衬垫50p。在一些实施例中,保护层51可覆盖导电衬垫50p的部分。可替代地,保护层51完全地暴露导电衬垫50p。在一些实施例中,开口51h可通过例如选路、蚀刻或其它合适工艺形成。在一些实施例中,保护层51为钝化层,其包含氧化硅、氮化硅、氧化镓、氧化铝、氧化钪、氧化锆、氧化镧、氧化铪或另一金属或非金属氧化物或氮化物。在一些实施例中,保护层51的厚度呈约 $1\mu\text{m}$ 。

[0033] 保护层52安置或形成于保护层51上。保护层52具有背离保护层51的第一表面521(或顶部表面)及与第一表面521相对的第二表面522(或底部表面)。在一些实施例中,保护层52包含聚酰亚胺或其它合适材料(例如感光性材料)。在一些实施例中,保护层52的厚度为约 $5\mu\text{m}$ 。

[0034] 参考图5B,形成开口52h以完全地穿透保护层52从而暴露导电衬垫50p、开口51h及保护层51的部分。如图5B中所示,开口52h的宽度大于开口51h的宽度。可替代地,取决于设计规格,开口52h的宽度可小于或大体上等于开口51h的宽度。在一些实施例中,开口52h可通过光微影、化学蚀刻、激光钻孔或其它合适工艺形成。

[0035] 参考图5C,凹槽52r形成于保护层52的第一表面521上而并不完全地穿透保护层52。举例来说,凹槽52r的底部表面52r2在保护层51的顶部表面与保护层52的第一表面521之间。举例来说,凹槽52r的深度小于保护层52的厚度。在一些实施例中,凹槽52r的深度为约 $3\mu\text{m}$,且凹槽52r的底部表面52r2与保护层51之间的距离为约 $2\mu\text{m}$ 。在一些实施例中,凹槽52r可通过光微影、化学蚀刻、激光钻孔或其它合适工艺形成。在一些实施例中,可取决于设计规格而形成超过一个凹槽。在一些实施例中,取决于设计规格,凹槽的侧壁52r1可为平面或阶梯形结构。

[0036] 在一些实施例中,导电柱可形成于开口52h内以电接触或连接至导电衬垫50p,且导电柱可形成于凹槽52r内以形成如图1中所示的电子组件1。在一些实施例中,导电柱可通过例如电镀或其它合适技术形成。

[0037] 如本文中所未使用,术语“近似地”、“大体上”、“实质的”及“约”用以描述及解释小变化。当与事件或情形结合使用时,术语可指代其中事件或情形明确发生的例子以及其中事件或情形极近似于发生的例子。举例来说,当结合数值使用时,所述术语可指代小于或等于所述数值的 $\pm 10\%$ 的变化范围,例如小于或等于 $\pm 5\%$ 、小于或等于 $\pm 4\%$ 、小于或等于 $\pm 3\%$ 、小于或等于 $\pm 2\%$ 、小于或等于 $\pm 1\%$ 、小于或等于 $\pm 0.5\%$ 、小于或等于 $\pm 0.1\%$ 或者小于或等于 $\pm 0.05\%$ 的变化范围。举例来说,如果两个数值之间的差异小于或等于所述值的

平均值的 $\pm 10\%$ (例如, 小于或等于 $\pm 5\%$ 、小于或等于 $\pm 4\%$ 、小于或等于 $\pm 3\%$ 、小于或等于 $\pm 2\%$ 、小于或等于 $\pm 1\%$ 、小于或等于 $\pm 0.5\%$ 、小于或等于 $\pm 0.1\%$ 或小于或等于 $\pm 0.05\%$), 则可认为所述两个数值“大体上”或“约”为相同或相等的。举例来说, “大体上”平行可指代相对于 0° 而言小于或等于 $\pm 10^\circ$ 的变化范围, 例如小于或等于 $\pm 5^\circ$ 、小于或等于 $\pm 4^\circ$ 、小于或等于 $\pm 3^\circ$ 、小于或等于 $\pm 2^\circ$ 、小于或等于 $\pm 1^\circ$ 、小于或等于 $\pm 0.5^\circ$ 、小于或等于 $\pm 0.1^\circ$, 或者小于或等于 $\pm 0.05^\circ$ 的变化范围。举例来说, “大体上”垂直可指相对于 90° 而言小于或等于 $\pm 10^\circ$ 的角变化范围, 例如小于或等于 $\pm 5^\circ$ 、小于或等于 $\pm 4^\circ$ 、小于或等于 $\pm 3^\circ$ 、小于或等于 $\pm 2^\circ$ 、小于或等于 $\pm 1^\circ$ 、小于或等于 $\pm 0.5^\circ$ 、小于或等于 $\pm 0.1^\circ$, 或者小于或等于 $\pm 0.05^\circ$ 的变化范围。

[0038] 如果两个表面之间的移位不大于 $5\mu\text{m}$ 、不大于 $2\mu\text{m}$ 、不大于 $1\mu\text{m}$ 或不大于 $0.5\mu\text{m}$, 则可认为所述两个表面共面或大体上共面。

[0039] 如本文中所使用, 术语“导电 (conductive)”、“电导性 (electrically conductive)”及“电导率”指代输送电流的能力。导电材料通常指示呈现对于电流流动的极小或零阻力的彼等材料。电导率的一个量为西门子每米 (S/m)。通常, 导电材料为具有近似地大于 10^4S/m (例如至少 10^5S/m 或至少 10^6S/m) 的电导率的一种材料。材料的电导率有时可随温度而变化。除非另外规定, 否则材料的电导率为在室温下量测。

[0040] 如本文中所使用, 除非上下文另外明确规定, 否则单数术语“一 (a/an)”及“所述”可包含复数个指代物。在对一些实施例的描述中, 提供于另一组件“上”或“上方”的组件可涵盖前一组件直接在后一组件上 (例如, 与后一组件实体接触) 的情况以及一或多个介入组件位于前一组件与后一组件之间的情况。

[0041] 尽管已参考本公开的特定实施例描述且说明本公开, 但这些描述及说明并不限制本公开。所属领域的技术人员可清楚地理解, 可进行各种改变, 且可在实施例内替代等效组件而不脱离如由所附权利要求所限定的本公开的真实精神及范围。说明可不必按比例绘制。由于制造程序之类中的变数, 本公开中的艺术再现与实际设备之间可存在区别。可存在并未特定说明的本公开的其它实施例。应将本说明书及图式视为说明性而非限制性的。可做出修改, 以使特定情形、材料、物质组成、方法或程序适应于本公开的目标、精神及范围。所有此类修改意图在此处所附的权利要求的范围内。尽管已参考按特定次序执行的特定操作来描述本文中所揭示的方法, 但可理解, 在不脱离本公开的教示的情况下, 可组合、细分, 或重新定序这些操作以形成等效方法。因此, 除非在本文中特定指示, 否则操作的次序及分组并非对本公开的限制。

1

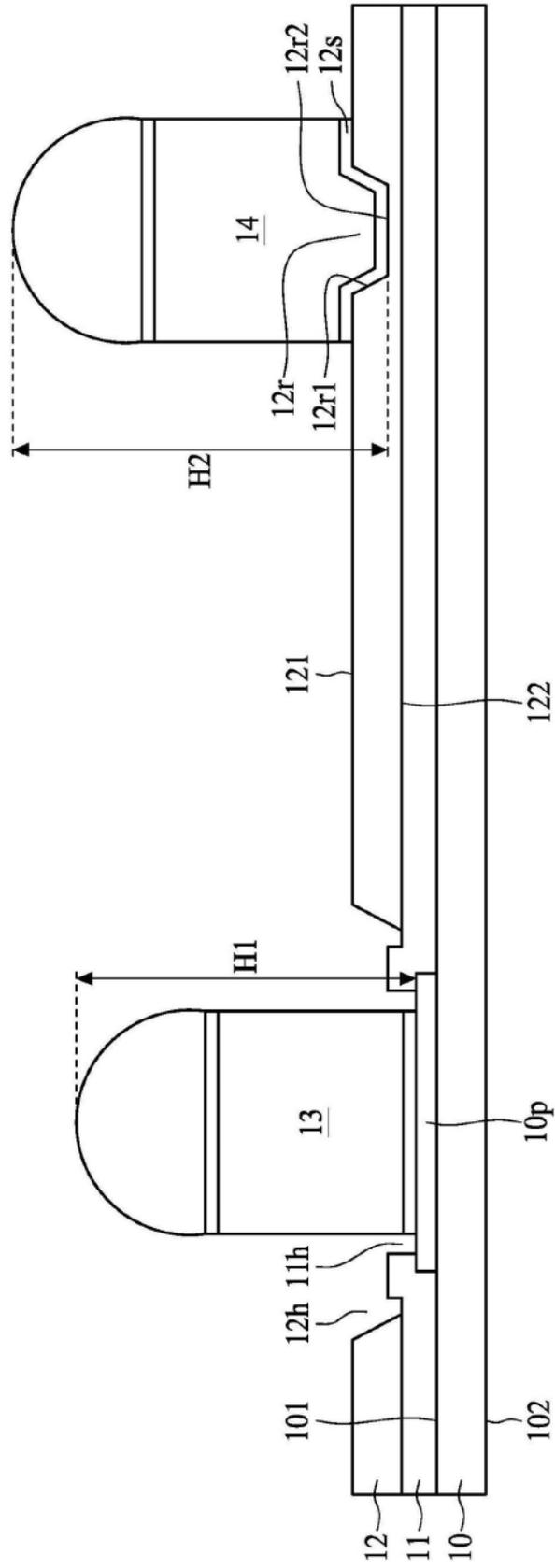


图1

2

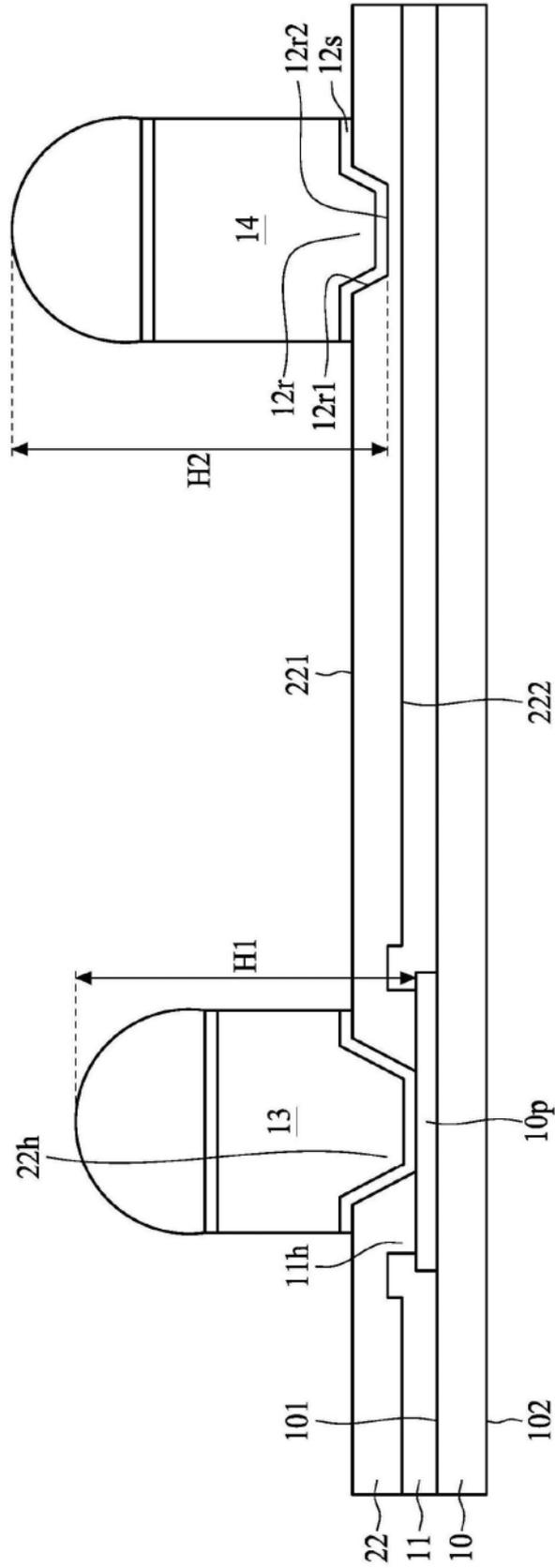


图2

3

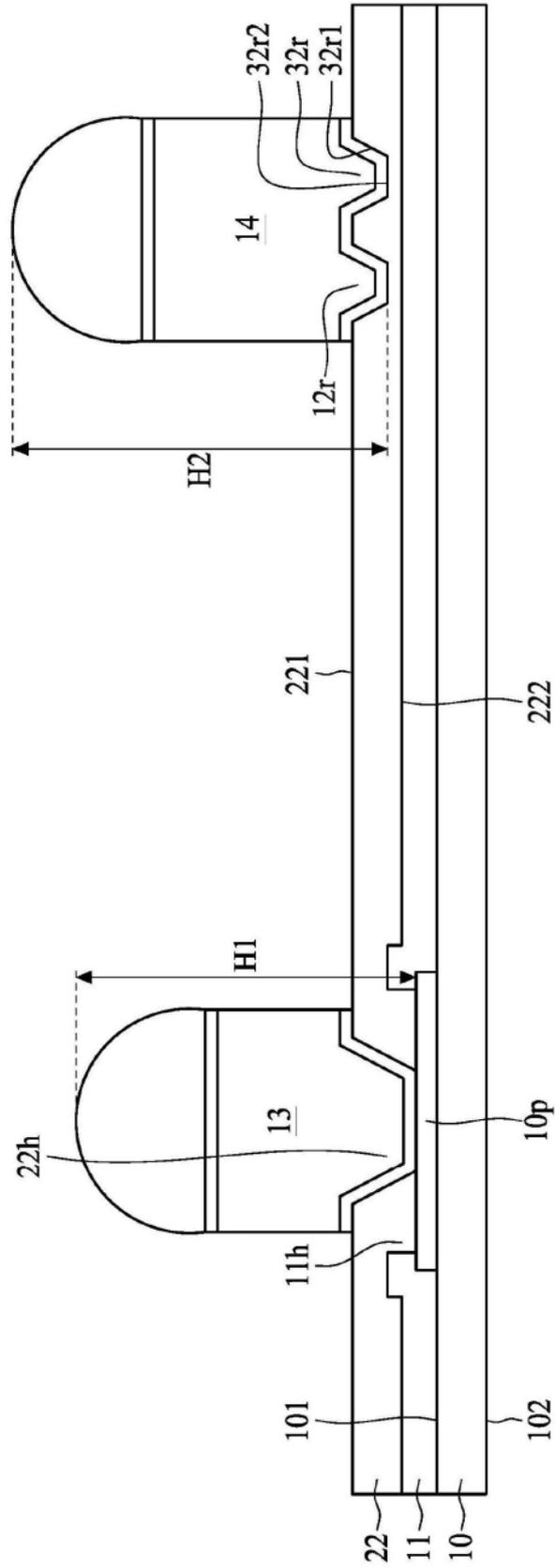


图3

4

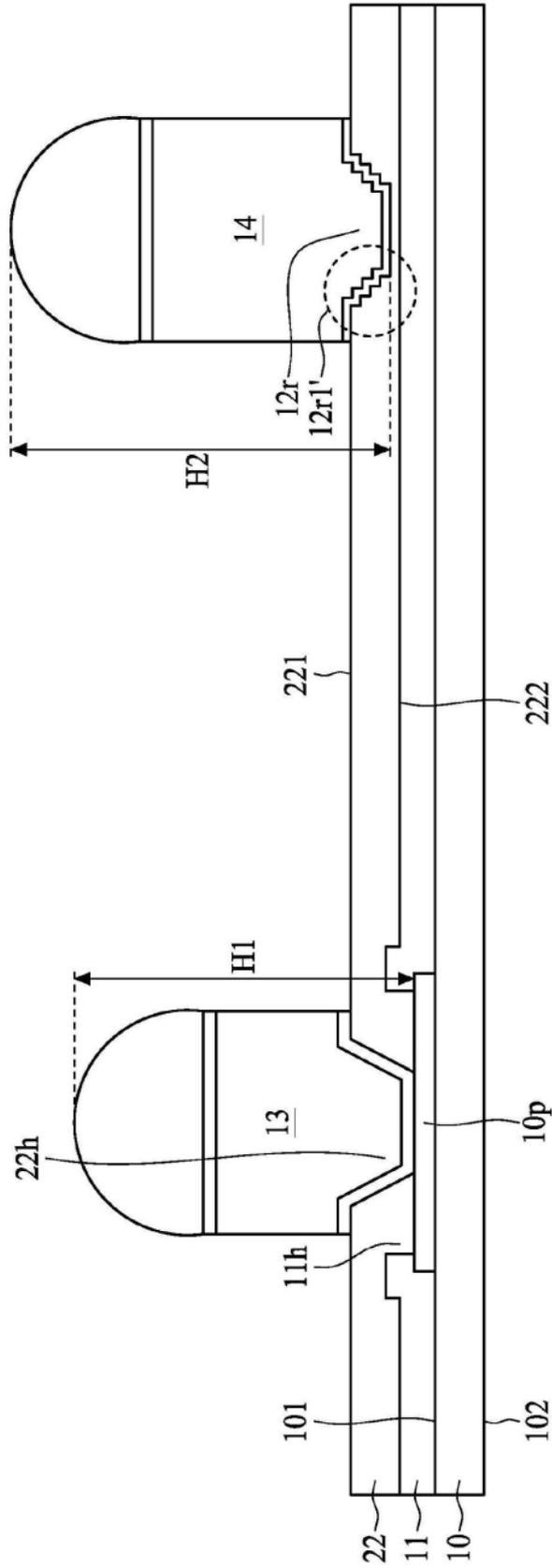


图4

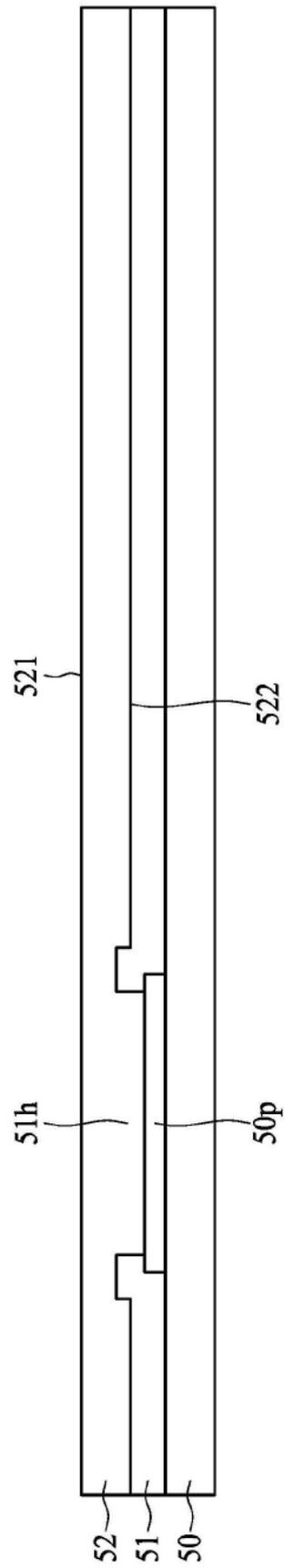


图5A

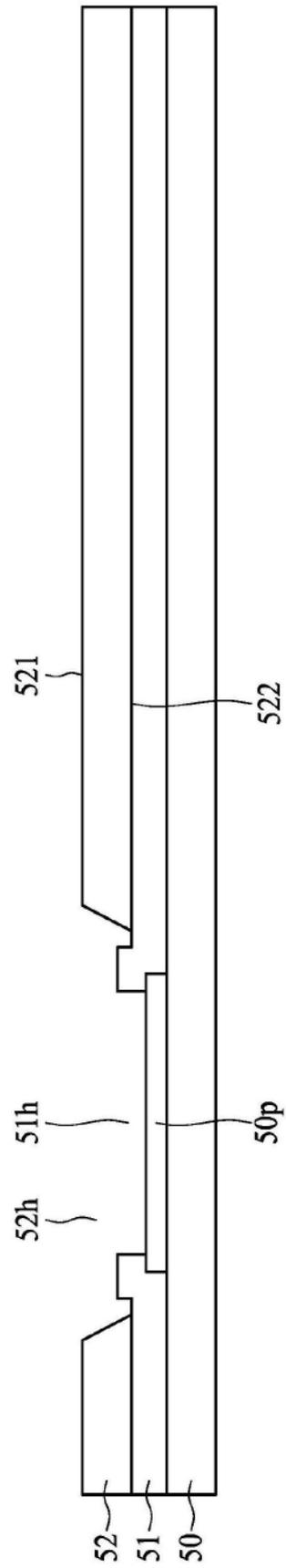


图5B

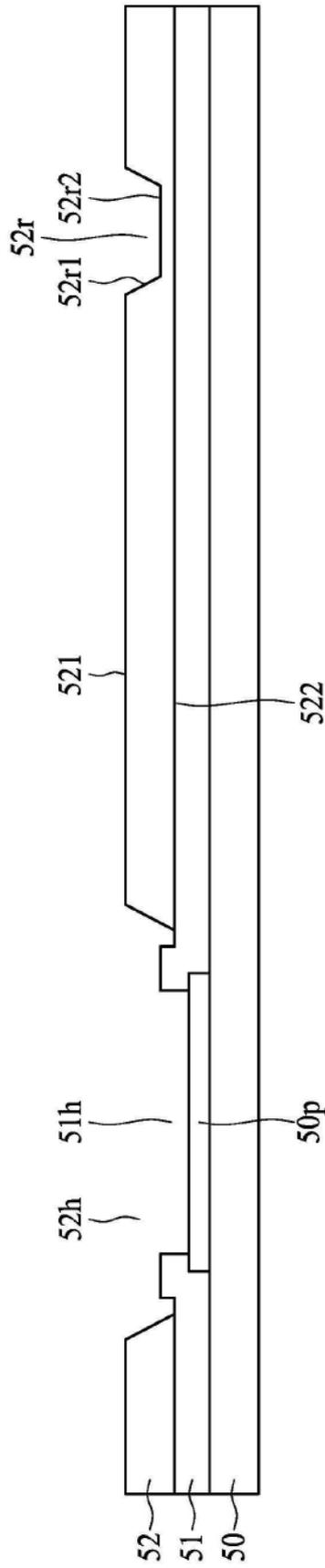


图5C