

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020年5月22日 (22.05.2020)



(10) 国际公布号
WO 2020/097868 A1

- (51) 国际专利分类号:
G06F 12/0862 (2016.01)
- (21) 国际申请号: PCT/CN2018/115695
- (22) 国际申请日: 2018年11月15日 (15.11.2018)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 夏晶 (XIA, Jing); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 信恒超 (XIN, Hengchao); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 涂珍喜 (TU, Zhenxi); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 闵文斌 (MIN, Wenbin); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (74) 代理人: 北京同立钧成知识产权代理有限公司 (LEADER PATENT & TRADEMARK FIRM); 中国北京市海淀区西直门北大街32号枫蓝国际A座8F-6, Beijing 100082 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) Title: METHOD, DEVICE AND SYSTEM FOR CONTROLLING PRE-FETCHING OF DATA FROM DYNAMIC RANDOM ACCESS MEMORY

(54) 发明名称: 控制从动态随机存储器中预取数据的方法、装置及系统

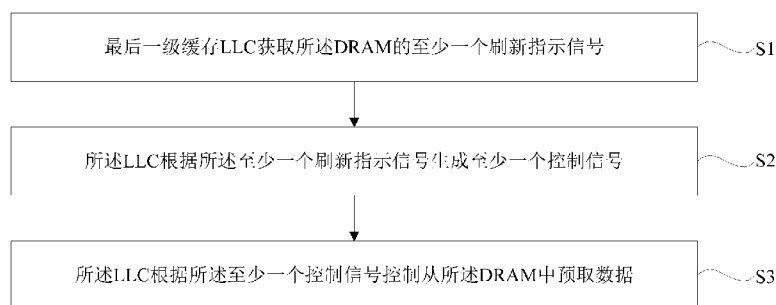


图 5

- S1 A last-level cache (LLC) acquires at least one refresh indication signal of a DRAM
- S2 The LLC generates at least one control signal according to the at least one refresh indication signal
- S3 The LLC controls, according to the at least one control signal, the pre-fetching of data from the DRAM

(57) Abstract: A method, device and system for controlling the pre-fetching of data from a dynamic random access memory (DRAM). The method comprises: a last-level cache (LLC) acquiring at least one refresh indication signal of a DRAM (S1); the LLC generating at least one control signal according to the at least one refresh indication signal (S2); and the LLC controlling, according to the at least one control signal, the pre-fetching of data from the DRAM (S3). In the method, a last level cache (LLC) acquires at least one refresh indication signal of a DRAM and generates a control signal according to the refresh indication signal, thereby achieving the combination of the DRAM and the LLC, and the operation of pre-fetching data from the DRAM can be controlled based on the control



WO 2020/097868 A1

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

signal, thereby solving the problem of refreshing having a negative impact on the efficiency of the DRAM, especially the superimposed effect of the impact of refreshing, thus effectively improving the performance of the DRAM.

(57) 摘要: 一种控制从动态随机存储器中预取数据的方法、装置及系统, 方法包括最后一级缓存LLC获取所述DRAM的至少一个刷新指示信号(S1); 所述LLC根据所述至少一个刷新指示信号生成至少一个控制信号(S2); 所述LLC根据所述至少一个控制信号控制从所述DRAM中预取数据(S3)。上述方法的最后一级缓存LLC通过获取DRAM的至少一个刷新指示信号, 根据刷新指示信号生成控制信号, 实现了DRAM与LLC的结合, 并可以基于控制信号对从所述DRAM中预取数据的操作进行控制, 解决了刷新对DRAM效率是有负面影响, 尤其是刷新影响出现叠加效应的问题, 有效地提高了DRAM的性能。

控制从动态随机存储器中预取数据的方法、装置及系统

5 技术领域

本申请涉及通信技术，尤其涉及一种控制从动态随机存储器中预取数据的方法、装置及系统。

背景技术

10 动态随机存储器（Dynamic Random Access Memory，简称 DRAM）在业界的应用非常普遍。DRAM 可以作为系统的主存，又叫做内存。DRAM 利用电容里的电荷存储数据，但这些电荷会随着漏电的存在而不断流失。因此，电容里的数据必须被定期读出并重新写入，以补偿流失的电荷，这种操作叫做刷新(Refresh)。

15 DRAM 一般可以包括：单倍速率同步动态随机存储器（Single Data Rate，简称 SDR）、双倍速率同步动态随机存储器（Double Data Rate，简称 DDR）、高带宽存储器（High-Bandwidth Memory，简称 HBM）等。

而对于中央处理器 CPU 而言，下载/存储队列 Store Queue 深度比较浅，其中，下载是指对 DRAM 中数据进行读取。具体的，如图 1 所示，在 CPU 100 接收到外部设备发送的访存请求时，可以根据该访存请求、并通过内存控制器（Memory Controller，MC）101
20 对 DRAM 200 中的数据进行读写操作。由于 CPU 设计机制通常为有序退出 Retire in Order 原则，即某个访存请求如果无法退出（即 DDR 返回数据），其后的所有访存请求即使完成也无法释放 Queue。结合 DDR 的刷新操作，在 DDR 刷新操作之后，DDR 无法针对某一个访存请求返回数据，从而很可能出现一段时间无请求可以处理的情形，造成了 DDR 效率的极大降低。

25 由上可知，刷新对 DRAM 效率是有负面影响的，而且通道越多，刷新对效率的影响就越大。另外，在内存访问连续性较强的场景下，上述影响也会变的更加严重，原因是在连续地址访问时，短时间内的访问会被均匀交织到所有的通道（为了提高带宽，通道交织一般采用地址低位交织），此时，只要系统中存在任何一个通道处于刷新状态，系统都可能会出现短暂的断流现象，因此，在多通道时，刷新的影响出现叠加效应，进一步降低了
30 DRAM 的效率。

发明内容

本申请提供了一种控制从动态随机存储器中预取数据的方法、装置及系统，用于解决
35 现有技术中存在的刷新对 DRAM 效率是有负面影响，尤其在多通道时，刷新的影响出现叠加效应的问题。

第一方面，本申请提供了一种控制从动态随机存储器 DRAM 中预取数据的方法，包括：

最后一级缓存 LLC 获取所述 DRAM 的至少一个刷新指示信号；
所述 LLC 根据所述至少一个刷新指示信号生成至少一个控制信号；
所述 LLC 根据所述至少一个控制信号控制从所述 DRAM 中预取数据。

最后一级缓存 LLC 通过获取 DRAM 的至少一个刷新指示信号，根据刷新指示信号生成控制信号，有效地实现了 DRAM 与 LLC 的结合，并可以基于控制信号对从所述 DRAM 中预取数据的操作进行控制，从而有效解决了刷新对 DRAM 效率是有负面影响，尤其在多通道时，刷新的影响出现叠加效应的问题，并有效地提高了 DRAM 的性能。

在一种可能的设计中，所述 LLC 根据所述至少一个刷新指示信号生成至少一个控制信号，包括：

10 所述 LLC 对所述至少一个刷新指示信号进行逻辑运算，生成所述至少一个控制信号。
LLC 通过对至少一个刷新指示信号进行逻辑运算，从而可以生成至少一个控制信号，有效地保证了控制信号获取的稳定可靠性。

在一种可能的设计中，所述 LLC 对所述至少一个刷新指示信号进行逻辑运算，包括：
15 所述 LLC 对所述至少一个刷新指示信号进行或运算，或者，
所述 LLC 对所述至少一个刷新指示信号进行与运算。

LLC 通过对所述至少一个刷新指示信号进行或运算或者与运算，可以根据不同的使用需求和使用场景采用不同的实现方式，有效地保证了对刷新指示信号进行逻辑运算的灵活可靠性，进一步提高了该方法的适用范围。

在一种可能的设计中，所述 LLC 根据所述至少一个刷新指示信号生成至少一个控制信号，包括：

20 所述 LLC 获取至少一个刷新单元标识，所述至少一个刷新单元标识与所述至少一个刷新指示信号一一对应，所述刷新单元标识为所述 DRAM 中刷新单元对应的标识，所述刷新单元为所述 DRAM 进行一次刷新所包括的存储空间；

25 将所述至少一个刷新指示信号确定为与所述至少一个刷新单元标识相对应的所述至少一个控制信号。

LLC 通过获取所述刷新指示信号所对应的刷新单元标识，进而将刷新指示信号确定为与所述刷新单元标识相对应刷新单元的控制信号，从而实现了对刷新指示信号不进行任何处理，而直接作为控制信号，从而保证了控制信号获取的精确程度，所获取的控制信号的效果最好，进一步保证了该方法使用的稳定可靠性。

30 在一种可能的设计中，所述 LLC 根据所述至少一个控制信号控制从所述 DRAM 中预取数据，包括：

所述 LLC 获取所述刷新单元的当前工作状态；

根据所述当前工作状态和所述至少一个控制信号对预先设置的所述 LLC 的预取能力进行调整；

35 根据调整后的预取能力控制从所述 DRAM 中预取数据。

LLC 通过检测 DRAM 中刷新单元的当前工作状态，通过对当前工作状态和控制信号的分析处理，获得调整后的预取能力，进而可以根据调整后的预取能力对从所述 DRAM 中预取数据的操作进行控制，进一步提高了该方法的精确程度。

在一种可能的设计中，所述根据所述当前工作状态和所述至少一个控制信号对预先

设置的所述 LLC 的预取能力进行调整, 包括:

若所述当前工作状态为刷新状态, 则根据所述至少一个控制信号增强所述预取能力;
或者,

若所述当前工作状态为非刷新状态, 则根据所述至少一个控制信号降低所述预取能力。

5 在检测 DRAM 中刷新单元的当前工作状态之后, 可以根据不同的工作状态对 LLC 的预取能力进行不同的调整处理, 具体的, 在 DRAM 的刷新期间增强预取能力, 在非刷新期间减弱预取能力, 从而可以防止过量预取, 并且还保证了 DRAM 的刷新质量和效率。

在一种可能的设计中, 所述根据调整后的预取能力控制从所述 DRAM 中预取数据, 包括:

10 根据所述调整后的预取能力确定所述调整后的预取能力的 DRAM 访问请求;
通过所述 DRAM 访问请求控制从所述 DRAM 中预取数据。

通过确定所述调整后的预取能力的 DRAM 访问请求, 进一步根据 DRAM 访问请求对从所述 DRAM 中预取数据的操作进行控制, 有效地实现了根据调整后的预取能力对从所述 DRAM 中预取数据的操作进行控制的过程, 保证了该方法使用的精确程度。

15 在一种可能的设计中, 所述刷新单元包括以下刷新单元中的至少一个:
通道 CHANNEL、双列直插式存储模块 DIMM、内存颗粒组 RANK 或内存颗粒 CHIP。
第二方面, 本申请提供了一种控制从动态随机存储器 DRAM 中预取数据的装置, 包括:

获取模块, 用于获取所述 DRAM 的至少一个刷新指示信号;
20 生成模块, 用于根据所述至少一个刷新指示信号生成至少一个控制信号;
控制模块, 用于根据所述至少一个控制信号控制从所述 DRAM 中预取数据。
通过获取模块获取 DRAM 的至少一个刷新指示信号, 生成模块根据刷新指示信号生成控制信号, 有效地实现了 DRAM 与 LLC 的结合, 并可以基于控制信号对从所述 DRAM 中预取数据的操作进行控制, 从而有效解决了刷新对 DRAM 效率是有负面影响, 尤其在
25 多通道时, 刷新的影响出现叠加效应的问题, 并有效地提高了 DRAM 的性能。

在一种可能的设计中, 所述生成模块, 用于:
对所述至少一个刷新指示信号进行逻辑运算, 生成所述至少一个控制信号。
通过生成模块对至少一个刷新指示信号进行逻辑运算, 从而可以生成至少一个控制信号, 有效地保证了控制信号获取的稳定可靠性。

30 在一种可能的设计中, 所述生成模块, 用于:
对所述至少一个刷新指示信号进行或运算, 或者,
对所述至少一个刷新指示信号进行与运算。
通过生成模块对所述至少一个刷新指示信号进行或运算或者与运算, 可以根据不同的使用需求和使用场景采用不同的实现方式, 有效地保证了对刷新指示信号进行逻辑运算的
35 灵活可靠性, 进一步提高了该装置的适用范围。

在一种可能的设计中, 所述生成模块, 用于:
获取至少一个刷新单元标识, 所述至少一个刷新单元标识与所述至少一个刷新指示信号一一对应, 所述刷新单元标识为所述 DRAM 中刷新单元对应的标识, 所述刷新单元为所述 DRAM 进行一次刷新所包括的存储空间;

获取所述 DRAM 的至少一个刷新指示信号；
根据所述至少一个刷新指示信号生成至少一个控制信号；
根据所述至少一个控制信号控制从所述 DRAM 中预取数据。

在一种可能的设计中，处理器还包括：

5 与所述 LLC 连接的内存控制器，用于实现对与所述处理器连接的所述 DRAM 中的数据进行读写操作。

第五方面，本申请提供了一种控制从动态随机存储器 DRAM 中预取数据的设备，包括：

10 处理器、存储器、通信接口和总线，其中，所述处理器、所述存储器和所述通信接口通过所述总线通信；

所述存储器用于存储计算机程序；

所述通信接口用于与 DRAM 通信；

当所述处理装置运行时，所述处理器用于执行所述存储器存储的所述程序，以执行如上述第一方面所述的方法。

15 第六方面，本申请提供了一种控制从动态随机存储器 DRAM 中预取数据的系统，包括：至少一个动态随机存储器 DRAM，以及如第二方面所述的控制从动态随机存储器 DRAM 中预取数据的装置，所述控制从动态随机存储器 DRAM 中预取数据的装置与所述 DRAM 通信，所述 DRAM 包含一个或多个刷新单元。

20 第七方面，本申请提供了一种计算机可读存储介质，包括指令，当其在计算机上运行时，使得计算机执行如上述第一方面所述的方法。

第八方面，本申请提供了一种程序产品，例如计算机可读存储介质，包括第六方面的程序。

第九方面，本申请提供了一种包含指令的计算机程序产品，当其在计算机上运行时，使得计算机执行上述各方面的方法。

25 可见，在以上各个方面，最后一级缓存 LLC 通过获取 DRAM 的至少一个刷新指示信号，根据刷新指示信号生成控制信号，有效地实现了 DRAM 与 LLC 的结合，并可以基于控制信号对从所述 DRAM 中预取数据的操作进行控制，从而有效解决了刷新对 DRAM 效率是有负面影响，尤其在多通道时，刷新的影响出现叠加效应的问题，并有效地提高了 DRAM 的性能。

附图说明

图 1 为现有技术提供的对 DRAM 中的数据进行读写操作的示意图；

图 2 为本申请实施例提供的 DRAM 的结构示意图一；

35 图 3 为本申请实施例提供的 DRAM 的结构示意图二；

图 4 为本申请实施例提供的 DRAM 中的多个刷新通道的示意图；

图 5 为本申请实施例提供的一种控制从动态随机存储器 DRAM 中预取数据的方法的流程示意图；

图 6 为本申请实施例提供的通道发送刷新指示信号的示意图；

图 7 为本申请实施例提供的所述 LLC 根据所述至少一个刷新指示信号生成至少一个控制信号的流程示意图；

图 8 为本申请实施例提供的所述 LLC 根据所述至少一个控制信号控制从所述 DRAM 中预取数据的流程示意图；

5 图 9 为本申请实施例提供的所述根据调整后的预取能力控制从所述 DRAM 中预取数据的流程示意图；

图 10 为本申请实施例提供的一种控制从动态随机存储器 DRAM 中预取数据的装置的结构示意图；

图 11 为本申请实施例提供的一种处理器的结构示意图；

10 图 12 为本申请实施例提供的一种控制从动态随机存储器 DRAM 中预取数据的设备的结构示意图一；

图 13 为本申请实施例提供的一种控制从动态随机存储器 DRAM 中预取数据的设备的结构示意图二。

15 具体实施方式

本申请中，“多个”是指两个或两个以上，其他量词与之类似。“和/或”，描述关联对象的关联关系，表示可以存在三种关系，例如，A 和/或 B，可以表示：单独存在 A，同时存在 A 和 B，单独存在 B 这三种情况。字符“/”一般表示前后关联对象是一种“或”的关系。

20 为了便于理解，参考附图 2-3 所示，下面对 DRAM 中的几个基本概念进行说明：内存通道 Channel，内存区块 RANK，内存颗粒 CHIP，库 BANK，BANK_GROUP，行 ROW，列 COLUMN 等。

其中，内存通道 CHANNEL，为 DDR 通道，是一个 DDR 控制器和该控制器对应的内存介质。如果 CPU 里有多个 DDR CHANNEL，这些通道一般是完全相同且独立的。
25 所谓的双通道内存，实质上是指该 CPU 有两个完全独立的内存控制器。一般 DDR 控制器的数据位宽为 32bit 或 64bit。

30 双列直插内存模块（Dual In-line Memory Module，DIMM）是俗称的 DIMM 内存条，在主板上一个 DIMM 插槽上可以插上一根 DIMM 内存条，而一个 channel 可以对应一个或多个 DIMM 插槽，具体参考附图 3 所示。DIMM 条是由多个相同的内存颗粒贴在同一个 PCB 衬板上实现。

内存区块 RANK 指的是一组内存颗粒并行起来使数据位宽满足 DDR 控制器的位宽要求，这组内存颗粒就称作 RANK，也叫 P-BANK（physical bank，物理 bank）。一般内存控制器的数据位宽是 32bit 或 64bit，而单颗内存颗粒的位宽一般是 4bit、8bit、16bit，因此，需要多颗并行起来组成 32bit 或 64bit 的位宽。例如：内存控制器的数据
35 位宽是 64 位，内存颗粒的位宽是 8bit，则 8 颗内存颗粒组成一个 RANK；同理，若 64 位的数据位宽由 16bit 的内存颗粒来组成，则只需要 4 颗。DIMM 是比 RANK 大的单位，目前来说一根 DIMM 有 1~4 个 RANK。不同的 Rank 是接到 DDR 控制器不同的片选（chip select）信号的。

CHIP 就是单颗内存芯片，俗称内存颗粒，是组成内存条的基本单元：CHANNEL、

DIMM、RANK、CHIP 之间的关系为：1 个 CHANNEL 可以包括多个 DIMM，1 个 DIMM 可以包括多个 RANK，1 个 RANK 可以包括多个 CHIP。

进一步的，在 DRAM 进行工作时，需要定期刷新以维持内部存储的数据不变。具体的，由于 DRAM 有多个库(Bank)组成，每个 Bank 为二维的存储阵列，横向称为行(Row)，纵向称为列(Column)。在刷新的过程中，每次 DRAM 会选定一个行(又成为内存行)，把该行的全部数据提取到感应放大器中(又称为行缓冲区，Row Buffer)，这个过程叫做激活操作(Active)，接着在行缓冲区中完成对应数据的读写，行缓冲区中的数据被重新写入存储阵列，称为预充电操作(Pre-charge)，通过激活操作以及预充电操作就实现了整个刷新的过程。此外，在进行刷新操作时，内存通道之间的刷新是独立的，如图 4 所示，每个通道在时序上的脉冲代表当前通道在按照预设的刷新时间进行刷新操作；举例来说，通道 CH0 按照刷新时间 T0 进行刷新操作，通道 CH1 按照刷新时间 T1 进行刷新操作，通道 CH2 按照刷新时间 T2 进行刷新操作，通道 CH3 按照刷新时间 T3 进行刷新操作，上述的 T0、T1、T2 和 T3 各不相同。另外，同一个通道内的不同 Rank 或者不同伪信道 Pseudo Channel 之间是不能同时刷新的。

由上述内容可知，刷新对 DRAM 效率是有负面影响的，而且通道越多，刷新对效率的影响就越大。另外，在内存访问连续性较强的场景下，上述影响也会变的更加严重，原因是在连续地址访问时，短时间内的访问会被均匀交织到所有的通道（为了提高带宽，通道交织一般采用地址低位交织）。这样，只要系统中存在任何一个通道处于刷新状态，系统都可能会出现短暂的断流现象，因此，在多通道时，刷新的影响出现叠加效应。

CPU 的下载/存储队列 Store Queue 深度比较浅，一般为几十，其中，下载是指对 DRAM 中数据进行读取。具体的，如图 1 所示，在 CPU 100 接收到外部设备发送的访存请求时，可以根据该访存请求、并通过内存控制器 (Memory Controller, MC) 101 对 DRAM 200 中的数据进行读写操作。由于 CPU 设计机制通常为 Retire in Order，即某个访存请求如果无法退出(即 DDR 返回数据)，其后的所有访存请求即使完成也无法释放 Queue。结合上面 DDR 刷新的时序参数，在理论情况下，在刷新之后，DDR 无法针对某一个访存请求返回数据，DDR 很可能出现一段时间无请求可以处理的情形，即出现一个可用但空闲的无流量缝隙。当 DDR 通道 (DDR Channel) 变得越多时，上述情况就越恶劣，从而造成了 DDR 效率的极大降低。

因此，DDR 刷新时的长时间反压(进行刷新操作时不能处理命令的状态)和 CPU 有限的下载/存储队列深度之间存在矛盾，会造成 DDR 效率的损失。业界对 DDR 刷新的处理的主要集中在调整刷新的时机，判定 DDR 中待处理的刷新的数量和类型，将刷新提前或延后来优化系统性能。然而，上述方法并没有将 DDR 刷新与最后一级缓存 (Last level cache, 简称 LLC) LLC 的 Prefetch 相结合，效果不好。

进而，参考附图 5 所示，为了克服上述问题，本申请提供了一种控制从动态随机存储器 DRAM 中预取数据的方法，该方法可以对通信系统中 LLC 的 Prefetch 预取机制和 DDR 的刷新刷新时机做一些关联，进而可以在很大程度上降低对效率的影响；其中，对于 LLC 而言，其为 CPU 内的高速缓存区或者缓存区，可以对其进行分区，使得其部分或全部可以用作暂存器 (Scratchpad)，即为临时存储工作区，可以用于存

储关键数据，例如：实时代码、哈希表、统计数据 and 计数器等等；而 LLC 的预取机制是指将 DRAM 中的数据提前取入到 LLC 中，以避免在 DRAM 处于刷新操作的过程中，出现无法正常对数据进行读写操作，举例来说，在 DRAM 进行刷新操作时，为了保证对 DRAM 中数据进行读写操作的质量和效率了；从而实现对从 DRAM 中预取数据的操作进行控制。具体的，该方法包括：

S1: LLC 获取动态随机存储器 DRAM 的至少一个刷新指示信号；

其中，DRAM 的至少一个刷新指示信号可以由 DRAM 中一个或多个刷新单元发送的，而上述的一个或多个刷新单元可以为 DRAM 中进行一次刷新所包括的存储空间；具体的，刷新单元可以包括以下刷新单元中的至少一个：通道 CHANNEL、双列直插式存储模块 DIMM、内存颗粒组 RANK 或内存颗粒 CHIP；在 LLC 获取刷新指示信号时，LLC 可以直接向 DRAM 发送信号获取请求，使得 DRAM 中一个或多个刷新单元根据信号获取请求返回刷新指示信号，此时，LLC 可以主动获取至少一个刷新指示信号；或者，LLC 也可以直接接收 DRAM 中一个或多个刷新单元主动发送的刷新指示信号，此时，LLC 可以被动的获取至少一个刷新指示信号。如图 6 所示，假设 DRAM 中的刷新单元为 channel，具体可以包括：第一通道 CH0、第二通道 CH1、第三通道 CH2 和第四通道 CH3，此时，CH0、CH1、CH3 和 CH4 可以主动或者被动地向 LLC 发送刷新指示信号，从而使得 LLC 可以获取到至少一个刷新指示信号。当然的，刷新指示信号的具体获取方式并不限于上述两种方式。

S2: LLC 根据所述至少一个刷新指示信号生成至少一个控制信号；

在 LLC 获取到刷新指示信号之后，可以对刷新指示信号进行分析处理，并可以根据分析处理结果生成至少一个控制信号，具体的，可以参考附图 7-8，该实施例中的最后一级缓存 LLC 中可以包括刷新信号处理单元和 Prefetch 预取单元，其中，该刷新信号处理单元可以对所接收到的刷新指示信号进行分析处理，具体的，可以逐一对刷新指示信号进行处理，或者，也可以对刷新指示信号进行整体处理，经过分析处理后，可以输出一个 output refresh 信号（刷新输出信号）至预取单元，该 output refresh 信号即为控制信号，即预取单元可以获取到控制信号。

S3: LLC 根据所述至少一个控制信号控制从所述 DRAM 中预取数据。

在 LLC 获取到至少一个控制信号之后，可以根据控制信号对从 DRAM 中预取数据的操作进行控制，具体的，可以获取 DRAM 中的预取数据，根据预取数据对 LLC 的预取能力进行及时调整，例如：将 LLC 的预取能力进行增强或者减弱等等；从而可以有效地保证从所述 DRAM 中预取数据的效率。

本实施例提供控制从动态随机存储器 DRAM 中预取数据的方法，LLC 获取 DRAM 的至少一个刷新指示信号，并根据刷新指示信号生成至少一个控制信号，有效地实现了通过 DRAM 与 LLC 的结合对从 DRAM 中预取数据的操作进行控制，具体的，并可以基于控制信号对从 DRAM 中预取数据的操作进行控制，即可以获取 DRAM 中的预取数据，根据预取数据对 LLC 的预取能力进行及时调整，保证了从所述 DRAM 中预取数据的质量和效率，从而有效解决了刷新对 DRAM 效率是有负面影响，尤其在多通道时，刷新的影响出现叠加效应的问题，并有效地提高了 DRAM 的性能。

进一步的，对于控制信号的生成方式而言，其中，一种可实现的方式为：LLC 根据所述至少一个刷新指示信号生成至少一个控制信号可以包括：

S21：LLC 对至少一个刷新指示信号进行逻辑运算，生成至少一个控制信号。

具体的，LLC 对至少一个刷新指示信号进行逻辑运算可以包括：

5 S211：LLC 对至少一个刷新指示信号进行或运算，或者，

具体的，在 LLC 获取到至少一个刷新指示信号时，可以将所有刷新指示信号进行或运算：例如：在 LLC 接收到 CH0、CH1、CH3 和 CH4 发送的刷新指示信号之后，可以直接将上述各个通道的刷新指示信号的部分或者全部进行或运算，从而生成至少一个控制信号。对于通过或运算生成至少一个控制信号的方式而言，容易触发，实现难度较低，且所

10 获取的控制信号的精度一般，可以适用于大部分的预取操作，因此，所获取的控制信号的必要性较大，适用性较高。

S212：LLC 对至少一个刷新指示信号进行与运算。

具体的，在 LLC 获取到至少一个刷新指示信号时，可以将所有刷新指示信号进行与运算：例如：在接收到 CH0、CH1、CH3 和 CH4 发送的刷新指示信号之后，可以直接将

15 上述各个通道的刷新指示信号的部分或者全部进行与运算，从而生成至少一个控制信号。对于通过与运算生成至少一个控制信号的方式而言，实现难度较低，且所获取的控制信号的精度适中，可以适用于部分的预取操作，因此，所获取的控制信号的必要性不大，适用性较低。

可以想到的是，LLC 根据所述至少一个刷新指示信号生成至少一个控制信号还可以包

20 括：将获取到的一部分刷新指示信号进行或运算，而将另一部分刷新指示信号进行与运算；或者，将获取到的一部分刷新指示信号进行或运算，而另一部分刷新指示信号不处理；或者，将获取到的一部分刷新指示信号进行与运算，而另一部分刷新指示信号不处理；或者，将获取的刷新指示信号进行分组处理，而对所分组别中的刷新指示信号进行处理，具体的处理方式可以包括以下至少之一：或运算、与运算或者不处理；再或者，还可以获取正在

25 进行刷新操作的刷新单元数量，根据上述刷新单元所发送的刷新指示信号生成若干等级的控制信号，该控制信号用于控制 Prefetch 预取的强度。

通过对所述至少一个刷新指示信号进行或运算或者与运算，可以根据不同的使用需求和使用场景采用不同的实现方式，有效地保证了对刷新指示信号进行逻辑运算的灵活可靠性，进一步提高了该方法的适用范围。

30 另外，对于控制信号的生成方式而言，继续参考附图 7 可知，另一种可实现的方式为：LLC 根据所述至少一个刷新指示信号生成至少一个控制信号包括：

S22：LLC 获取至少一个刷新单元标识，所述至少一个刷新单元标识与所述至少一个刷新指示信号一一对应，所述刷新单元标识为所述 DRAM 中刷新单元对应的标识，所述刷新单元为所述 DRAM 进行一次刷新所包括的存储空间；

35 S23：将所述至少一个刷新指示信号确定为与所述至少一个刷新单元标识相对应的所述至少一个控制信号。

具体的，在根据刷新指示信号生成控制信号时，也可以对刷新指示信号不进行任何处理，也即将刷新指示信号直接确定为与刷新单元标识相对应的刷新单元的控制信号，例如：在接收到 CH0、CH1、CH3 和 CH4 发送的刷新指示信号之后，可以获取至少一个刷新单

元标识，而上述的至少一个刷新单元标识与所述至少一个刷新指示信号一一对应，举例来说：可以获取到上述刷新指示信号所对应的刷新单元标识分别为：C0、C1、C3 和 C4，也即需要区分各个内存通道，从而可以将刷新指示信号确定为相对应的刷新单元的控制信号，对于此种处理方式而言，所获取的控制信号的精度较高，而所获取的控制信号的效果最好。

5 通过获取所述刷新指示信号所对应的刷新单元标识，进而将刷新指示信号确定为与所述刷新单元标识相对应刷新单元的控制信号，从而实现了可以对刷新指示信号不进行任何处理，直接作为控制信号，从而保证了控制信号获取的精确程度，而所获取的控制信号的效果最好，进一步保证了该方法使用的稳定可靠性。

进一步的，继续参考附图 8-9 所示，本实施例中的 LLC 根据所述至少一个控制信号控制从所述 DRAM 中预取数据可以包括：

S31：LLC 获取所述刷新单元的当前工作状态；

其中，DRAM 中刷新单元的当前工作状态可以包括：刷新状态和非刷新状态；具体的，对于当前工作状态的具体获取方式而言，一种可实现的方式为：可以获取到 DRAM 中刷新单元的刷新周期，通过对刷新周期的分析判断来确定 DRAM 中刷新单元的当前工作状态；另一种可实现的方式为：获取 DRAM 中刷新单元的数据处理信号，通过对数据处理信号的分析结果来确定 DRAM 中刷新单元的当前工作状态。

S32：根据所述当前工作状态和所述至少一个控制信号对预先设置的所述 LLC 的预取能力进行调整；

其中，预取能力可以是指用户预先设置或者预先配置的 LLC 的预取数据的能力；而调整后的预取能力是通过对预取能力进行调整后所获取的预取数据的能力；举例来说：LLC 的预取能力为 H1，对预取能力进行调整的调整量 H2，通过对预取能力进行调整后，则可以确定调整后的预取能力即为 $H1+H2$ 、 $H1-H2$ 或者为关于 H1 和 H2 的其他关系式。

具体的，根据所述当前工作状态和所述至少一个控制信号对预先设置的所述 LLC 的预取能力进行调整可以包括：

S321：若所述当前工作状态为刷新状态，则根据所述至少一个控制信号增强所述预取能力；或者，

S322：若所述当前工作状态为非刷新状态，则根据所述至少一个控制信号降低所述预取能力。

具体的，在确定 DRAM 中刷新单元的当前工作状态为刷新状态时，可以按照预设的比例参数或者预设的算法增强 LLC 的预取能力，其中，此处的预设的比例参数或者预设的算法用于限制增强的程度，而本领域技术人员可以根据具体的需求来设置不同的比例参数或者算法；增强之后的预取能力即为所需要获得的调整后的预取能力，从而保证 DRAM 的刷新质量和效率；在确定 DRAM 中刷新单元的当前工作状态为非刷新状态时，可以按照预设的比例参数或者预设的算法降低 LLC 的预取能力，此处的预设的比例参数或者预设的算法用于限制降低的程度，而本领域技术人员可以根据具体的需求来设置不同的比例参数或者算法，降低之后的预取能力即为所需要获得的调整后的预取能力，可以有效地防止预取能力的过渡预取 Over-Prefetch。

S33：根据调整后的预取能力控制从所述 DRAM 中预取数据。

具体的，根据调整后的预取能力控制从所述 DRAM 中预取数据，包括：

S331: 根据所述调整后的预取能力确定所述调整后的预取能力的 DRAM 访问请求；
在确定调整后的预取能力之后，可以利用预先设置的调整后的预取能力与 DRAM 访问请求之间的映射关系确定调整后的预取能力的 DRAM 访问请求。

S332: 通过所述 DRAM 访问请求控制从所述 DRAM 中预取数据。

5 在获取到 DRAM 访问请求之后，可以基于 DRAM 访问请求对从 DRAM 中预取数据的操作进行控制，从而可以有效地保证 DRAM 刷新操作的质量和效率。

本实施例中，DRAM 中的刷新单元能够将刷新指示信号提供给 LLC，而 LLC 内增加一个刷新信号处理单元，该刷新信号处理单元可以处理收到的各刷新单元所发送的刷新指示信号，统一进行逻辑处理后产生 Prefetch 预取单元的控制信号，即为控制信号，在
10 预取单元接收到控制信号后，可以在 DRAM 的刷新期间增强预取能力，在非刷新期间减弱预取能力，从而可以防止过量预取，并且还保证了 DRAM 的刷新质量和效率，有效地提高了该方法的实用性，有利于市场的推广与应用。

图 10 为本申请实施例提供的一种控制从动态随机存储器 DRAM 中预取数据的装置
15 的结构示意图；参考附图 10 可知，本实施例提供了一种控制从动态随机存储器 DRAM 中预取数据的装置，包括：

获取模块 1，用于获取所述 DRAM 的至少一个刷新指示信号；

生成模块 2，用于根据所述至少一个刷新指示信号生成至少一个控制信号；

控制模块 3，用于根据所述至少一个控制信号控制从所述 DRAM 中预取数据。

20 进一步的，在生成模块 2 根据所述至少一个刷新指示信号生成至少一个控制信号时，一种可实现的方式为，该生成模块 2 可以用于执行：对所述至少一个刷新指示信号进行逻辑运算，生成所述至少一个控制信号。

其中，在生成模块 2 对所述至少一个刷新指示信号进行逻辑运算时，该生成模块 2 可以用于执行：

25 对所述至少一个刷新指示信号进行或运算，或者，对所述至少一个刷新指示信号进行与运算。

进一步的，在生成模块 2 根据所述至少一个刷新指示信号生成至少一个控制信号时，另一种可实现的方式为，生成模块 2 可以用于执行：

30 获取至少一个刷新单元标识，所述至少一个刷新单元标识与所述至少一个刷新指示信号一一对应，所述刷新单元标识为所述 DRAM 中刷新单元对应的标识，所述刷新单元为所述 DRAM 进行一次刷新所包括的存储空间；其中，刷新单元包括以下刷新单元中的至少一个：通道 CHANNEL、双列直插式存储模块 DIMM、内存颗粒组 RANK 或内存颗粒 CHIP；将所述至少一个刷新指示信号确定为与所述至少一个刷新单元标识相对应的所述至少一个控制信号。

35 进一步的，在控制模块 3 根据所述至少一个控制信号控制从所述 DRAM 中预取数据时，该控制模块 3 可以用于执行：获取所述刷新单元的当前工作状态；根据所述当前工作状态和所述至少一个控制信号对预先设置的 LLC 的预取能力进行调整；根据调整后的预取能力控制从所述 DRAM 中预取数据。

其中，在控制模块 3 根据所述当前工作状态和所述至少一个控制信号对预先设置的

LLC 的预取能力进行调整时，该控制模块 3 可以用于执行：

若所述当前工作状态为刷新状态，则根据所述至少一个控制信号增强所述预取能力；或者，若所述当前工作状态为非刷新状态，则根据所述至少一个控制信号降低所述预取能力。

5 此外，在控制模块 3 根据调整后的预取能力控制从所述 DRAM 中预取数据时，该控制模块 3 可以用于执行：

根据所述调整后的预取能力确定所述调整后的预取能力的 DRAM 访问请求；通过所述 DRAM 访问请求控制从所述 DRAM 中预取数据。

10 本实施例中的控制从动态随机存储器 DRAM 中预取数据的装置可用于执行上述方法中图 1-9 所示实施例的技术方案，其实现原理和技术效果类似，此处不再赘述。

图 11 为本申请实施例提供的一种处理器的结构示意图；参考附图 11 可知，本实施例提供了一种处理器，包括：最后一级缓存 LLC 302，该 LLC 302 配置用于：

15 获取所述 DRAM 的至少一个刷新指示信号；根据所述至少一个刷新指示信号生成至少一个控制信号；根据所述至少一个控制信号控制从所述 DRAM 中预取数据。

进一步的，该处理器还可以包括：

与所述 LLC 302 连接的内存控制器 301，用于实现对与所述处理器连接的所述 DRAM 中的数据进行读写操作。

20 本实施例中的处理器可用于执行上述方法中图 1-9 所示实施例的技术方案，其实现原理和技术效果类似，此处不再赘述。

图 12 为本申请实施例提供的一种控制从动态随机存储器 DRAM 中预取数据的设备的结构示意图一；参考附图 12 可知，本实施例提供了一种控制从动态随机存储器 DRAM 中预取数据的设备，包括：

25 存储器 402；

处理器 401；以及

计算机程序；

其中，计算机程序存储在存储器 402 中，并被配置为由处理器 401 执行以实现上述的方法。

30 本实施例中的控制从动态随机存储器 DRAM 中预取数据的设备可用于执行上述方法中图 1-9 所示实施例的技术方案，其实现原理和技术效果类似，此处不再赘述。

图 13 为本申请实施例提供的一种控制从动态随机存储器 DRAM 中预取数据的设备的结构示意图二；参考附图 13 可知，本实施例的又一方面提供了一种控制从动态随机存储器 DRAM 中预取数据的设备，包括：

35 处理器 510、存储器 520、通信接口 530 和总线 540，其中，处理器 510、存储器 520 和通信接口 530 通过总线 540 通信；

存储器 520 用于存放计算机程序；

通信接口 530 用于与 DRAM 通信；

当处理装置运行时,处理器 510 用于执行存储器 520 存储的程序,以执行上述的方法。

本实施例中的控制从动态随机存储器 DRAM 中预取数据的设备可用于执行上述方法中图 1-9 所示实施例的技术方案,其实现原理和技术效果类似,此处不再赘述。

5 本实施例的再一方面提供了一种控制从动态随机存储器 DRAM 中预取数据的系统,包括:至少一个动态随机存储器 DRAM,以及如上述的控制从动态随机存储器 DRAM 中预取数据的装置,控制从动态随机存储器 DRAM 中预取数据的装置与 DRAM 通信,DRAM 包含一个或多个刷新单元。

10 本实施例中的控制从动态随机存储器 DRAM 中预取数据的系统可用于执行上述方法中图 1-9 所示实施例的技术方案,其实现原理和技术效果类似,此处不再赘述。

本实施例的另一方面提供了一种计算机可读存储介质,包括指令,当其在计算机上运行时,使得计算机执行如上述任意一个实施例中的方法。

15 在上述实施例中,可以全部或部分地通过软件、硬件、固件或者其任意组合来实现。当使用软件实现时,可以全部或部分地以计算机程序产品的形式实现。计算机程序产品包括一个或多个计算机指令。在计算机上加载和执行计算机程序指令时,全部或部分地产生按照本申请实施例的流程或功能。计算机可以是通用计算机、专用计算机、计算机网络、或者其他可编程装置。计算机指令可以存储在计算机可读存储介质中,或者从一个计算机可读存储介质向另一个计算机可读存储介质传输,例如,计算机指令可以从一个网站站点、计算机、服务器或数据中心通过有线(例如,同轴电缆、
20 光纤、数字用户线(Digital Subscriber Line, DSL))或无线(例如,红外、无线、微波等)方式向另一个网站站点、计算机、服务器或数据中心进行传输。计算机可读存储介质可以是计算机能够存取的任何可用介质或者是包含一个或多个可用介质集成的服务器、数据中心等数据存储设备。可用介质可以是磁性介质,(例如,软盘、硬盘、
25 磁带)、光介质(例如, DVD)、或者半导体介质(例如,固态硬盘(Solid State Disk, SSD))等。

本领域技术人员应该可以意识到,在上述一个或多个示例中,本申请实施例所描述的功能可以用硬件、软件、固件或它们的任意组合来实现。当使用软件实现时,可以将这些
30 功能存储在计算机可读介质中或者作为计算机可读介质上的一个或多个指令或代码进行传输。计算机可读介质包括计算机存储介质和通信介质,其中通信介质包括便于从一个地方向另一个地方传送计算机程序的任何介质。存储介质可以是通用或专用计算机能够存取的任何可用介质。

35

权 利 要 求 书

- 1、一种控制从动态随机存储器 DRAM 中预取数据的方法，其特征在于，包括：
最后一级缓存 LLC 获取所述 DRAM 的至少一个刷新指示信号；
所述 LLC 根据所述至少一个刷新指示信号生成至少一个控制信号；
5 所述 LLC 根据所述至少一个控制信号控制从所述 DRAM 中预取数据。
- 2、根据权利要求 1 所述的方法，其特征在于，所述 LLC 根据所述至少一个刷新指示信号生成至少一个控制信号，包括：
所述 LLC 对所述至少一个刷新指示信号进行逻辑运算，生成所述至少一个控制信号。
- 3、根据权利要求 2 所述的方法，其特征在于，所述 LLC 对所述至少一个刷新指示信
10 号进行逻辑运算，包括：
所述 LLC 对所述至少一个刷新指示信号进行或运算，或者，
所述 LLC 对所述至少一个刷新指示信号进行与运算。
- 4、根据权利要求 1 所述的方法，其特征在于，所述 LLC 根据所述至少一个刷新指示信号生成至少一个控制信号，包括：
15 所述 LLC 获取至少一个刷新单元标识，所述至少一个刷新单元标识与所述至少一个刷新指示信号一一对应，所述刷新单元标识为所述 DRAM 中刷新单元对应的标识，所述刷新单元为所述 DRAM 进行一次刷新所包括的存储空间；
将所述至少一个刷新指示信号确定为与所述至少一个刷新单元标识相对应的所述至少一个控制信号。
- 20 5、根据权利要求 4 所述的方法，其特征在于，所述 LLC 根据所述至少一个控制信号控制从所述 DRAM 中预取数据，包括：
所述 LLC 获取所述刷新单元的当前工作状态；
根据所述当前工作状态和所述至少一个控制信号对预先设置的所述 LLC 的预取能力进行调整；
25 根据调整后的预取能力控制从所述 DRAM 中预取数据。
- 6、根据权利要求 5 所述的方法，其特征在于，所述根据所述当前工作状态和所述至少一个控制信号对预先设置的所述 LLC 的预取能力进行调整，包括：
若所述当前工作状态为刷新状态，则根据所述至少一个控制信号增强所述预取能力；
或者，
30 若所述当前工作状态为非刷新状态，则根据所述至少一个控制信号降低所述预取能力。
- 7、根据权利要求 5 或 6 所述的方法，其特征在于，所述根据调整后的预取能力控制从所述 DRAM 中预取数据，包括：
根据所述调整后的预取能力确定所述调整后的预取能力的 DRAM 访问请求；
通过所述 DRAM 访问请求控制从所述 DRAM 中预取数据。
- 35 8、根据权利要求 5 所述的方法，其特征在于，所述刷新单元包括以下刷新单元中的至少一个：
通道 CHANNEL、双列直插式存储模块 DIMM、内存颗粒组 RANK 或内存颗粒 CHIP。
- 9、一种控制从动态随机存储器 DRAM 中预取数据的装置，其特征在于，包括：

获取模块，用于获取所述 DRAM 的至少一个刷新指示信号；
生成模块，用于根据所述至少一个刷新指示信号生成至少一个控制信号；
控制模块，用于根据所述至少一个控制信号控制从所述 DRAM 中预取数据。

5 10、根据权利要求 9 所述的装置，其特征在于，所述生成模块，用于：
对所述至少一个刷新指示信号进行逻辑运算，生成所述至少一个控制信号。

11、根据权利要求 10 所述的装置，其特征在于，所述生成模块，用于：
对所述至少一个刷新指示信号进行或运算，或者，
对所述至少一个刷新指示信号进行与运算。

10 12、根据权利要求 9 所述的装置，其特征在于，所述生成模块，用于：
获取至少一个刷新单元标识，所述至少一个刷新单元标识与所述至少一个刷新指示信号一一对应，所述刷新单元标识为所述 DRAM 中刷新单元对应的标识，所述刷新单元为所述 DRAM 进行一次刷新所包括的存储空间；

将所述至少一个刷新指示信号确定为与所述至少一个刷新单元标识相对应的所述至少一个控制信号。

15 13、根据权利要求 12 所述的装置，其特征在于，所述控制模块，用于：
获取所述刷新单元的当前工作状态；
根据所述当前工作状态和所述至少一个控制信号对预先设置的 LLC 的预取能力进行调整；
根据调整后的预取能力控制从所述 DRAM 中预取数据。

20 14、根据权利要求 13 所述的装置，其特征在于，所述控制模块，用于：
若所述当前工作状态为刷新状态，则根据所述至少一个控制信号增强所述预取能力；
或者，
若所述当前工作状态为非刷新状态，则根据所述至少一个控制信号降低所述预取能力。

25 15、根据权利要求 13 或 14 所述的装置，其特征在于，所述控制模块，用于：
根据所述调整后的预取能力确定所述调整后的预取能力的 DRAM 访问请求；
通过所述 DRAM 访问请求控制从所述 DRAM 中预取数据。

16、根据权利要求 13 所述的装置，其特征在于，所述刷新单元包括以下刷新单元中的至少一个：

通道 CHANNEL、双列直插式存储模块 DIMM、内存颗粒组 RANK 或内存颗粒 CHIP。

30 17、一种处理器，其特征在于，包括：
最后一级缓存 LLC，配置用于：
获取所述 DRAM 的至少一个刷新指示信号；
根据所述至少一个刷新指示信号生成至少一个控制信号；
根据所述至少一个控制信号控制从所述 DRAM 中预取数据。

35 18、根据权利要求 17 所述的处理器，其特征在于，还包括：
与所述 LLC 连接的内存控制器，用于实现对与所述处理器连接的所述 DRAM 中的数据进行读写操作。

19、一种控制从动态随机存储器 DRAM 中预取数据的系统，其特征在于，包括：至少一个动态随机存储器 DRAM，以及如权利要求 9-16 任一所述的控制从动态随机存储器

DRAM 中预取数据的装置，所述装置与所述 DRAM 通信，所述 DRAM 包含一个或多个刷新单元。

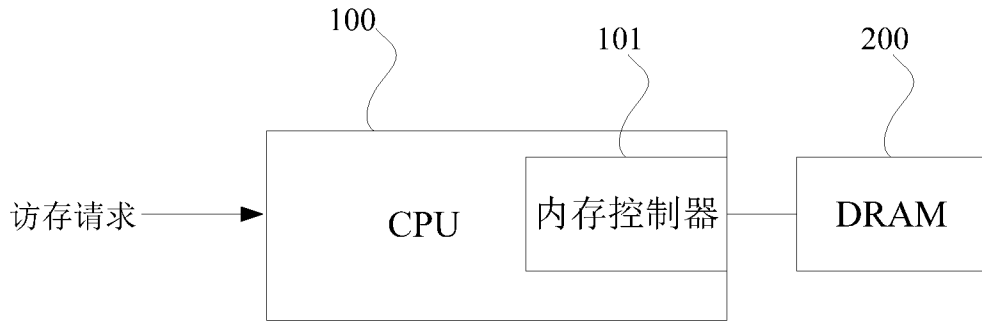


图 1

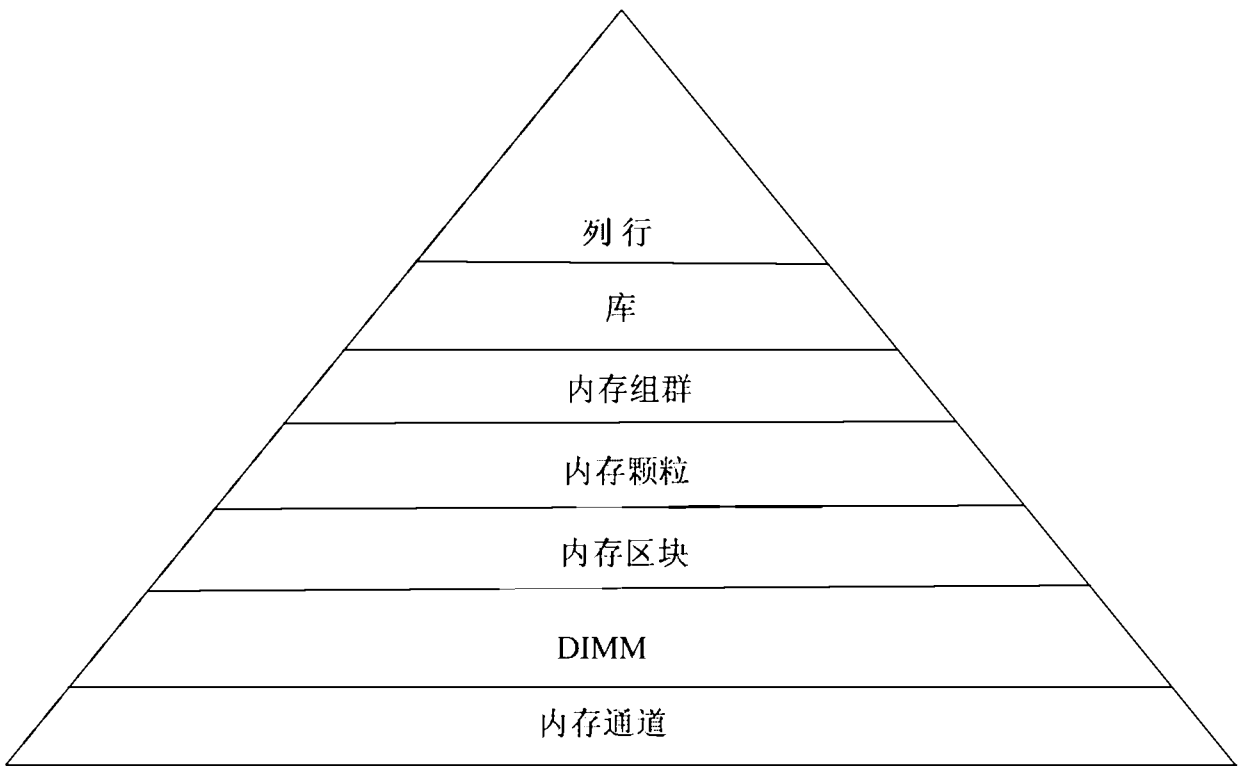


图 2

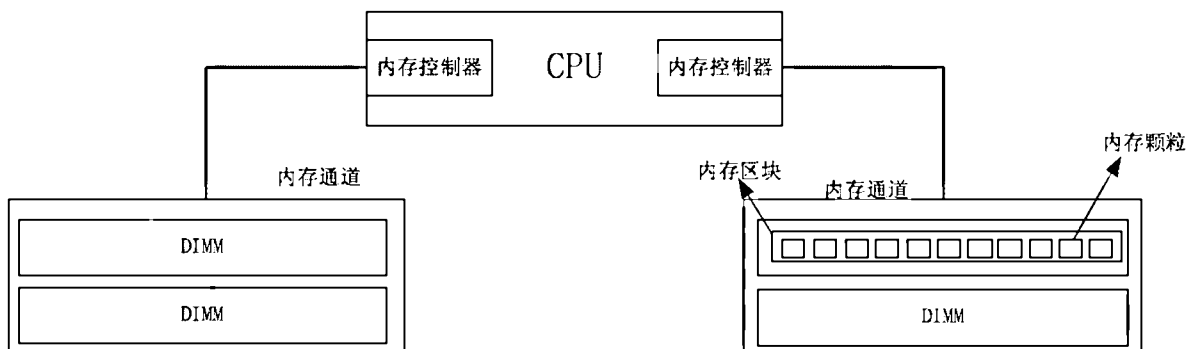


图 3

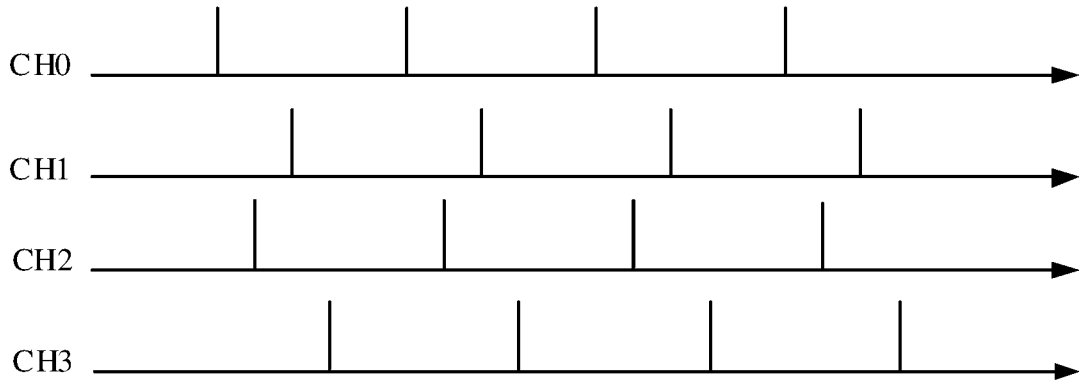


图 4

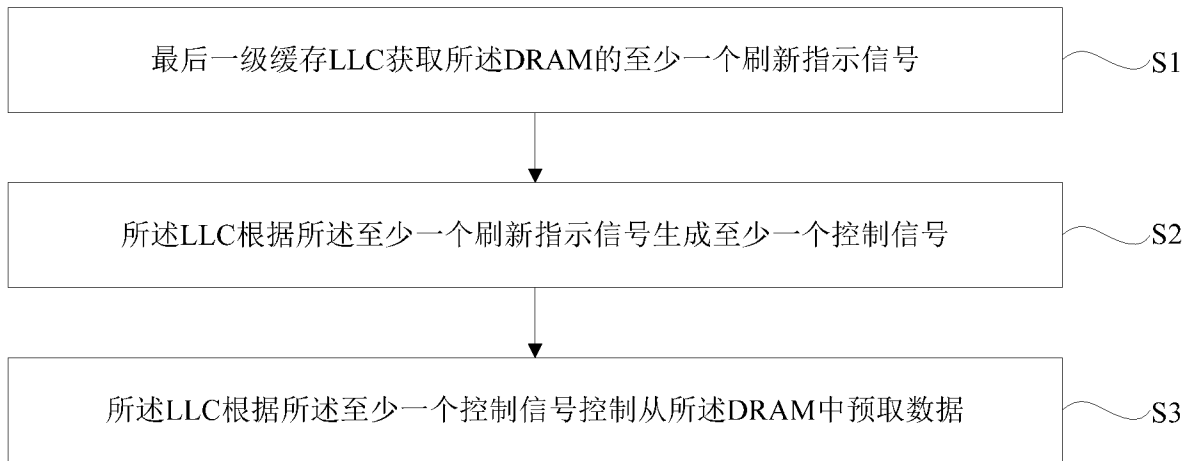


图 5

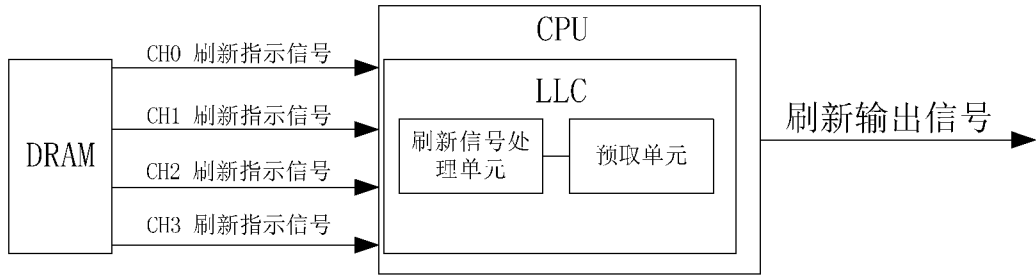


图 6

所述LLC获取至少一个刷新单元标识，所述至少一个刷新单元标识与所述至少一个刷新指示信号一一对应，所述刷新单元标识为所述DRAM中刷新单元对应的标识，所述刷新单元为所述DRAM进行一次刷新所包括的存储空间 S22

将所述至少一个刷新指示信号确定为与所述至少一个刷新单元标识相对应的所述至少一个控制信号 S23

图 7

所述LLC获取所述刷新单元的当前工作状态 S31

根据所述当前工作状态和所述至少一个控制信号对预先设置的所述LLC的预取能力进行调整 S32

根据调整后的预取能力控制从所述DRAM中预取数据 S33

图 8

根据所述调整后的预取能力确定所述调整后的预取能力的DRAM访问请求 S331

通过所述DRAM访问请求控制从所述DRAM中预取数据 S332

图 9



图 10

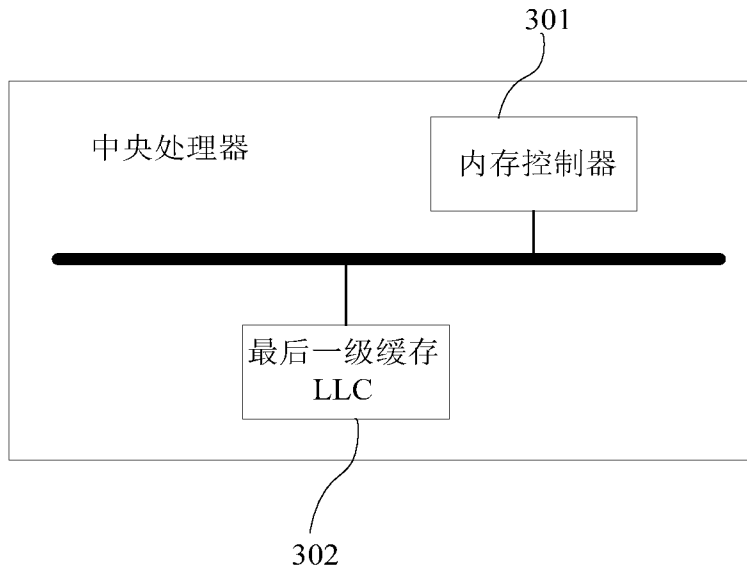


图 11

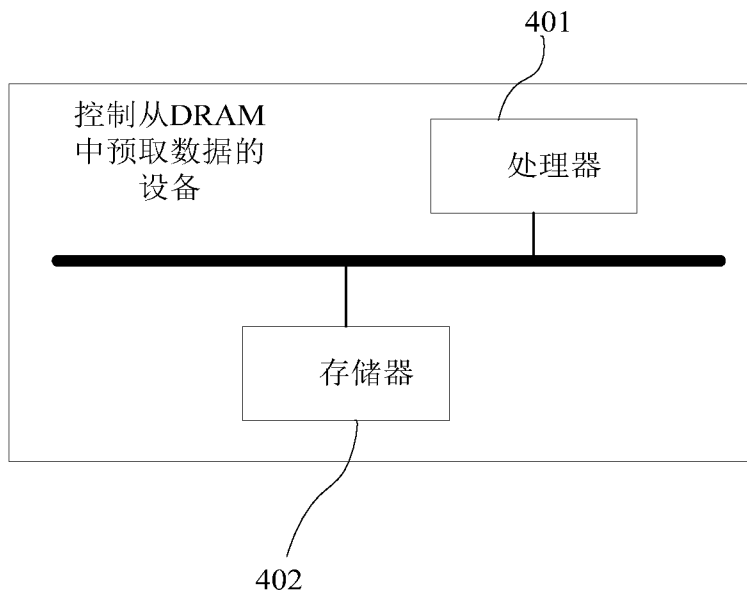


图 12

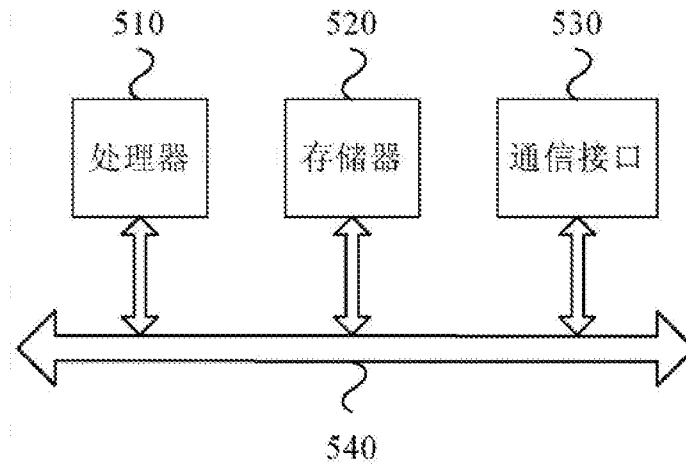


图 13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/115695

A. CLASSIFICATION OF SUBJECT MATTER

G06F 12/0862(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT; WPI; EPODOC; BAIDU; CNKI; ISI: 动态随机存储, 内存, 刷新, 最后一级缓存, 末级缓存, 预取, 缓存, 存储; DRAM, Dynamic Random Access Memory, refresh, LLC, Last level cache, prefetch, store, memory, cache

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 108319556 A (HUBEI UNIV OF ECONOMICS) 24 July 2018 (2018-07-24) description, paragraphs [0030]-[0038] and [0052]-[0055] and figure 1	1-19
A	US 2006047985 A1 (CANON KABUSHIKI KAISHA) 02 March 2006 (2006-03-02) entire document	1-19
A	CN 108597551 A (SHANGHAI JIAOTONG UNIVERSITY) 28 September 2018 (2018-09-28) entire document	1-19
A	CN 105280215 A (HUAWEI TECHNOLOGIES CO., LTD. et al.) 27 January 2016 (2016-01-27) entire document	1-19
A	CN 106062662 A (QUALCOMM INC.) 26 October 2016 (2016-10-26) entire document	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"D" document cited by the applicant in the international application

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

23 July 2019

Date of mailing of the international search report

21 August 2019

Name and mailing address of the ISA/CN

National Intellectual Property Administration, PRC (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/115695

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108319556	A	24 July 2018	CN	108319556	B	18 January 2019
US	2006047985	A1	02 March 2006	JP	4298610	B2	22 July 2009
				CN	1744001	A	08 March 2006
				US	7594129	B2	22 September 2009
				JP	2006072476	A	16 March 2006
				CN	100339799	C	26 September 2007
CN	108597551	A	28 September 2018	None			
CN	105280215	A	27 January 2016	CA	2949282	A1	17 December 2015
				MX	2016016024	A	28 March 2017
				JP	2017521808	A	03 August 2017
				CN	105280215	B	23 January 2018
				EP	3142120	A1	15 March 2017
				CN	108231109	A	29 June 2018
				SG	11201609766R	A	29 December 2016
				MX	357812	B	25 July 2018
				KR	20160148700	A	26 December 2016
				US	2017091087	A1	30 March 2017
				RU	2665883	C2	04 September 2018
				CA	2949282	C	23 October 2018
				KR	20180137613	A	27 December 2018
				JP	6429258	B2	28 November 2018
				RU	2016151308	A3	17 July 2018
				WO	2015188732	A1	17 December 2015
				RU	2016151308	A	17 July 2018
				US	10007599	B2	26 June 2018
CN	106062662	A	26 October 2016	JP	2017516123	A	15 June 2017
				WO	2015134337	A1	11 September 2015
				KR	20160129857	A	09 November 2016
				EP	3114544	A1	11 January 2017
				US	2015248741	A1	03 September 2015

国际检索报告

国际申请号

PCT/CN2018/115695

<p>A. 主题的分类</p> <p>G06F 12/0862 (2016.01) i</p> <p>按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献 (标明分类系统和分类号)</p> <p>G06F</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))</p> <p>CNPAT; WPI; EPDOC; BAIDU; CNKI; ISI; 动态随机存储, 内存, 刷新, 最后一级缓存, 末级缓存, 预取, 缓存, 存储; DRAM, Dynamic Random Access Memory, refresh, LLC, Last level cache, prefetch, store, memory, cache</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 108319556 A (湖北经济学院) 2018年 7月 24日 (2018 - 07 - 24) 说明书第[0030]-[0038]、[0052]-[0055]段、图1</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>US 2006047985 A1 (CANON KABUSHIKI KAISHA) 2006年 3月 2日 (2006 - 03 - 02) 全文</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 108597551 A (上海交通大学) 2018年 9月 28日 (2018 - 09 - 28) 全文</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 105280215 A (华为技术有限公司 等) 2016年 1月 27日 (2016 - 01 - 27) 全文</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 106062662 A (高通股份有限公司) 2016年 10月 26日 (2016 - 10 - 26) 全文</td> <td>1-19</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 108319556 A (湖北经济学院) 2018年 7月 24日 (2018 - 07 - 24) 说明书第[0030]-[0038]、[0052]-[0055]段、图1	1-19	A	US 2006047985 A1 (CANON KABUSHIKI KAISHA) 2006年 3月 2日 (2006 - 03 - 02) 全文	1-19	A	CN 108597551 A (上海交通大学) 2018年 9月 28日 (2018 - 09 - 28) 全文	1-19	A	CN 105280215 A (华为技术有限公司 等) 2016年 1月 27日 (2016 - 01 - 27) 全文	1-19	A	CN 106062662 A (高通股份有限公司) 2016年 10月 26日 (2016 - 10 - 26) 全文	1-19
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
A	CN 108319556 A (湖北经济学院) 2018年 7月 24日 (2018 - 07 - 24) 说明书第[0030]-[0038]、[0052]-[0055]段、图1	1-19																		
A	US 2006047985 A1 (CANON KABUSHIKI KAISHA) 2006年 3月 2日 (2006 - 03 - 02) 全文	1-19																		
A	CN 108597551 A (上海交通大学) 2018年 9月 28日 (2018 - 09 - 28) 全文	1-19																		
A	CN 105280215 A (华为技术有限公司 等) 2016年 1月 27日 (2016 - 01 - 27) 全文	1-19																		
A	CN 106062662 A (高通股份有限公司) 2016年 10月 26日 (2016 - 10 - 26) 全文	1-19																		
国际检索实际完成的日期	2019年 7月 23日	国际检索报告邮寄日期	2019年 8月 21日																	
ISA/CN的名称和邮寄地址	中国知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员	张琳琳 电话号码 86-(10)-53961404																	

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/115695

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	108319556	A	2018年 7月 24日	CN	108319556	B	2019年 1月 18日
US	2006047985	A1	2006年 3月 2日	JP	4298610	B2	2009年 7月 22日
				CN	1744001	A	2006年 3月 8日
				US	7594129	B2	2009年 9月 22日
				JP	2006072476	A	2006年 3月 16日
				CN	100339799	C	2007年 9月 26日
CN	108597551	A	2018年 9月 28日	无			
CN	105280215	A	2016年 1月 27日	CA	2949282	A1	2015年 12月 17日
				MX	2016016024	A	2017年 3月 28日
				JP	2017521808	A	2017年 8月 3日
				CN	105280215	B	2018年 1月 23日
				EP	3142120	A1	2017年 3月 15日
				CN	108231109	A	2018年 6月 29日
				SG	11201609766R	A	2016年 12月 29日
				MX	357812	B	2018年 7月 25日
				KR	20160148700	A	2016年 12月 26日
				US	2017091087	A1	2017年 3月 30日
				RU	2665883	C2	2018年 9月 4日
				CA	2949282	C	2018年 10月 23日
				KR	20180137613	A	2018年 12月 27日
				JP	6429258	B2	2018年 11月 28日
				RU	2016151308	A3	2018年 7月 17日
				WO	2015188732	A1	2015年 12月 17日
				RU	2016151308	A	2018年 7月 17日
				US	10007599	B2	2018年 6月 26日
CN	106062662	A	2016年 10月 26日	JP	2017516123	A	2017年 6月 15日
				WO	2015134337	A1	2015年 9月 11日
				KR	20160129857	A	2016年 11月 9日
				EP	3114544	A1	2017年 1月 11日
				US	2015248741	A1	2015年 9月 3日

表 PCT/ISA/210 (同族专利附件) (2015年1月)