



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0030125
(43) 공개일자 2022년03월10일

(51) 국제특허분류(Int. Cl.)
G11C 13/00 (2006.01) HO1L 45/00 (2006.01)
(52) CPC특허분류
G11C 13/0004 (2013.01)
G11C 13/004 (2013.01)
(21) 출원번호 10-2020-0111938
(22) 출원일자 2020년09월02일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
한재현
경기도 이천시 부발읍 경충대로 2091
(74) 대리인
오중한, 문용호

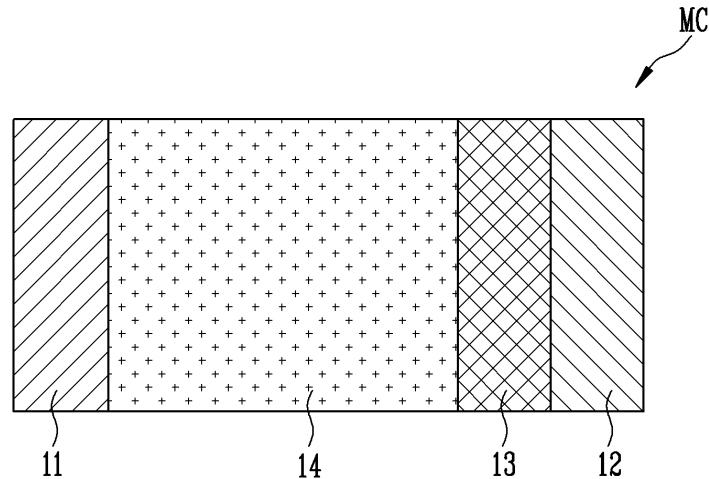
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 메모리 셀 및 메모리 셀의 동작 방법

(57) 요약

메모리 셀은 제1 전극; 제2 전극; 상기 제1 전극과 상기 제2 전극의 사이에 위치되고 비정질 상태를 유지하는 칼코게나이드막; 및 상기 칼코게나이드막과 상기 제2 전극의 사이에 위치된 강유전막을 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

G11C 13/0069 (2013.01)

H01L 45/141 (2013.01)

명세서

청구범위

청구항 1

제1 전극;

제2 전극;

상기 제1 전극과 상기 제2 전극의 사이에 위치되고 비정질 상태를 유지하는 칼코게나이드막; 및
상기 칼코게나이드막과 상기 제2 전극의 사이에 위치된 강유전막
을 포함하는 메모리 셀.

청구항 2

제1항에 있어서,

포지티브 프로그램 동작 시, 상기 제1 전극에 상기 강유전막의 분극을 유발하는 양의 프로그램 전압이 인가되는
메모리 셀.

청구항 3

제1항에 있어서,

네거티브 프로그램 동작 시, 상기 제1 전극에 상기 강유전막의 분극을 유발하는 음의 프로그램 전압이 인가되는
메모리 셀.

청구항 4

제1항에 있어서,

상기 메모리 셀은 포지티브 프로그램 동작에 의해 제1 임계 전압으로 프로그램되고, 네거티브 프로그램 동작에
의해 상기 제1 임계 전압에 비해 높은 제2 임계 전압으로 프로그램되는
메모리 셀.

청구항 5

비정질 상태를 유지하는 칼코게나이드막 및 강유전막을 포함하는 메모리 셀의 동작 방법에 있어서,
상기 메모리 셀에 상기 강유전막의 분극을 유발하는 양의 프로그램 전압을 인가하는 단계; 및
상기 메모리 셀에 상기 강유전막의 분극을 유발하지 않는 리드 전압을 인가하는 단계
를 포함하는 동작 방법.

청구항 6

제5항에 있어서,

상기 양의 프로그램 전압에 의해 상기 칼코게나이드막의 저항이 감소하는 동작 방법.

청구항 7

제5항에 있어서,
상기 메모리 셀에 상기 강유전막의 분극을 유발하는 음의 프로그램 전압을 인가하는 단계를 더 포함하는 동작 방법.

청구항 8

제7항에 있어서,
상기 음의 프로그램 전압에 의해 상기 칼코게나이드막의 저항이 증가하는 동작 방법.

청구항 9

스위칭막 및 강유전막을 포함하는 메모리 셀의 동작 방법에 있어서,
상기 메모리 셀에 상기 강유전막의 분극을 유발하는 양의 프로그램 전압을 인가하는 단계; 및
상기 메모리 셀에 상기 강유전막의 분극을 유발하지 않는 리드 전압을 인가하는 단계를 포함하는 동작 방법.

청구항 10

제9항에 있어서,
상기 메모리 셀에 상기 강유전막의 분극을 유발하는 음의 프로그램 전압을 인가하는 단계를 더 포함하는 동작 방법.

청구항 11

제9항에 있어서,
상기 스위칭막은 칼코게나이드막을 포함하고, 상기 양의 프로그램 전압을 인가하는 단계에서 상기 칼코게나이드막이 비정질 상태를 유지하는 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 전자 장치에 관한 것으로, 보다 상세히는 메모리를 포함하는 반도체 장치에 관한 것이다.

배경 기술

[0002] 최근 전자기기의 소형화, 저전력화, 고성능화, 다양화 등에 따라, 컴퓨터, 휴대용 통신기기 등 다양한 전자기기에서 정보를 저장할 수 있는 반도체 장치가 요구되고 있다. 따라서, 인가되는 전압 또는 전류에 따라 서로 다른

저항 상태 사이에서 스위칭하는 특성을 이용하여 데이터를 저장할 수 있는 반도체 장치에 대한 연구가 진행되고 있다. 이러한 반도체 장치로는 RRAM(Resistive Random Access Memory), PRAM(Phase-change Random Access Memory), FRAM(Ferroelectric Random Access Memory), MRAM(Magnetic Random Access Memory), 이-퓨즈(E-fuse) 등이 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 실시예는 메모리 셀의 동작 특성 및 신뢰도를 향상시킬 수 있는 전자 장치를 제공한다.

과제의 해결 수단

[0004] 본 발명의 일 실시예에 따른 메모리 셀은 제1 전극; 제2 전극; 상기 제1 전극과 상기 제2 전극의 사이에 위치되고 비정질 상태를 유지하는 칼코게나이드막; 및 상기 칼코게나이드막과 상기 제2 전극의 사이에 위치한 강유전막을 포함할 수 있다.

[0005] 본 발명의 일 실시예에 따른 메모리 셀은 비정질 상태를 유지하는 칼코게나이드막 및 강유전막을 포함할 수 있고, 메모리 셀의 동작 방법은, 상기 메모리 셀에 상기 강유전막의 분극을 유발하는 양의 프로그램 전압을 인가하는 단계; 및 상기 메모리 셀에 상기 강유전막의 분극을 유발하지 않는 리드 전압을 인가하는 단계를 포함할 수 있다.

[0006] 본 발명의 일 실시예에 따른 메모리 셀은 스위칭막 및 강유전막을 포함할 수 있고, 상기 메모리 셀의 동작 방법은, 상기 메모리 셀에 상기 강유전막의 분극을 유발하는 양의 프로그램 전압을 인가하는 단계; 및 상기 메모리 셀에 상기 강유전막의 분극을 유발하지 않는 리드 전압을 인가하는 단계를 포함할 수 있다.

발명의 효과

[0007] 반도체 장치의 동작 특성 및 신뢰도를 향상시킬 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 일 실시예에 따른 반도체 장치의 구조를 나타낸 도면이다.

도 2a 및 도 2b는 본 발명의 일 실시예에 따른 반도체 장치의 동작 특성을 나타낸 그래프이다.

도 3a 및 도 3b는 본 발명의 일 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 도면이다.

도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 도면이다.

도 5a 내지 도 5c는 본 발명의 일 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 도면이다.

도 6은 본 발명의 일 실시예에 따른 반도체 장치의 구조를 나타낸 도면이다.

도 7은 본 발명의 일 실시예에 따른 반도체 장치의 동작 특성을 나타낸 그래프이다.

도 8은 본 발명의 일 실시예에 따른 반도체 장치의 구조를 나타낸 도면이다.

도 9a 내지 도 9c는 본 발명의 일 실시예에 따른 반도체 장치의 구조를 나타낸 도면이다.

도 10은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 마이크로프로세서의 구성도이다.

도 11은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 프로세서의 구성도이다.

도 12는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 시스템의 구성도이다.

도 13은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 데이터 저장 시스템의 구성도이다.

도 14는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 메모리 시스템의 구성도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 본 명세서 또는 출원에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 개념에 따른 실시 예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 개념에 따

른 실시 예들은 다양한 형태로 실시될 수 있으며 본 명세서 또는 출원에 설명된 실시 예들에 한정되는 것으로 해석되어서는 아니 된다.

- [0010] 도 1은 본 발명의 일 실시예에 따른 반도체 장치의 구조를 나타낸 도면이다.
- [0011] 도 1을 참조하면, 반도체 장치는 제1 전극(11), 제2 전극(12), 스위칭막(14) 및 강유전막(13)을 포함할 수 있다. 반도체 장치는 메모리 셀(MC)을 포함할 수 있고, 제1 전극(11), 제2 전극(12), 스위칭막(14) 및 강유전막(13)이 메모리 셀(MC)을 구성할 수 있다. 메모리 셀(MC)은 데이터 저장소이면서 동시에 선택 소자로서 역할을 할 수 있다.
- [0012] 스위칭막(14)은 제1 전극(11)과 제2 전극(12)의 사이에 위치될 수 있다. 스위칭막(14)은 인가되는 전압 또는 전류의 크기가 임계 값을 이하면 전류가 거의 흐르지 않고, 인가되는 전압 또는 전류의 크기가 임계 값을 초과하면 전류가 흐르는 특성을 갖는 스위칭 물질을 포함한다. 스위칭 물질은 As_2Te_3 , As_2 , As_2Se_3 등과 같은 칼코게나이드 계열의 물질일 수 있다. 다른 예로, 스위칭 물질은 MIT(Metal Insulator Transition) 소자에서 사용되는 NbO_2 , TiO_2 등을 포함할 수 있다. 또 다른 예로, 스위칭 물질은 MIEC(Mixed Ion-Electron Conducting) 소자에서 사용되는 $ZrO_2(Y_2O_3)$, Bi_2O_3-BaO , $(La_2O_3)_x(CeO_2)_{1-x}$ 등을 포함할 수 있다. 이하에서는, 실시예로서, 스위칭막(14)이 비정질 상태를 유지하는 칼코게나이드막을 포함하는 경우에 대해 설명하도록 한다.
- [0013] 강유전막(13)은 스위칭막(14)과 제2 전극(12)의 사이에 위치될 수 있다. 강유전막(13)은 강유전 물질을 포함할 수 있다. 메모리 셀(MC)에 인가되는 프로그램 전압에 의해 강유전막(13)의 분극이 유발될 수 있고, 강유전막(13)이 잔류 분극을 갖게 된다. 양의 프로그램 전압이 인가되면 강유전막(13)이 양의 분극 상태를 가질 수 있고, 음의 프로그램 전압이 인가되면 강유전막(13)이 음의 분극 상태를 가질 수 있다. 강유전막(13)은 금속 산화물을 포함할 수 있다. 강유전막(13)은 하프늄 산화물, 지르코늄 산화물, 하프늄지르코늄 산화물 등을 포함하거나, 이들을 조합하여 포함할 수 있다. 또는, 강유전막(13)은 PZT($PbZr_xTi_{1-x}O_3$), $BaTiO_3$, $PbTiO_3$ 등과 같은 페로브스카이트 구조의 강유전 물질을 포함할 수 있다. 강유전막(13)은 Si, Al, Zr, Y, La, Gd, Sr 등의 불순물을 포함할 수 있다.
- [0014] 제1 전극(11) 또는 제2 전극(12)은 비트 라인 또는 워드 라인에 전기적으로 연결될 수 있다. 제1 전극(11)이 비트 라인에 전기적으로 연결되고 제2 전극이 워드 라인에 전기적으로 연결될 수 있다. 또는, 제1 전극(11)이 워드 라인에 전기적으로 연결되고 제2 전극(12)이 비트 라인에 전기적으로 연결될 수 있다. 제1 전극(11) 또는 제2 전극(12)은 텅스텐(W), 텅스텐질화물(WN_x), 텅스텐실리사이드(WSi_x), 티타늄(Ti), 티타늄질화물(TiN_x), 티타늄실리코닐질화물($TiSiN$), 티타늄알루미늄질화물($TiAlN$), 탄탈륨(Ta), 탄탈륨질화물(TaN), 탄탈륨실리코닐질화물($TaSiN$), 탄탈륨알루미늄질화물($TaAlN$), 탄소(C), 실리콘카바이드(SiC), 실리콘카본질화물(SiCN), 구리(Cu), 아연(Zn), 니켈(Ni), 코발트(Co), 납(Pd), 백금(Pt) 등을 포함할 수 있으며, 이들을 조합하여 포함할 수 있다.
- [0015] 전술한 바와 같은 구조에 따르면, 강유전막(13)의 잔류 분극에 따라 메모리 셀(MC)의 임계 전압이 결정될 수 있다. 스위칭 물질(14)을 포함하는 선택 소자에 강유전막(13)을 포함시킴으로써, 스위칭 특성을 가지면서 동시에 강유전막(13)의 분극 상태에 따라 데이터를 저장하는 메모리 셀(MC)을 구현할 수 있다.
- [0016] 한편, 반도체 장치는 셀 어레이, 로우 디코더, 컬럼 디코더, 읽기 및 쓰기 회로, 제어 로직 회로, 전압 생성기 등을 포함할 수 있다. 반도체 장치는 컨트롤러와 통신할 수 있다. 호스트로부터 읽기/쓰기 요청이 수신되면, 컨트롤러는 반도체 장치에 데이터를 쓰거나 반도체 장치에 저장된 데이터를 독출하도록 반도체 장치를 제어할 수 있다.
- [0017] 셀 어레이는 로우 라인들을 통해 로우 디코더에 연결될 수 있고, 컬럼 라인들을 통해 컬럼 디코더에 연결될 수 있다. 셀 어레이는 메모리 셀들(MC)을 포함할 수 있고, 메모리 셀들(MC)은 로우 라인들과 컬럼 라인들의 사이에 연결될 수 있다. 로우 라인들이 워드 라인이고 컬럼 라인들이 비트 라인이거나, 로우 라인들이 비트 라인이고 컬럼 라인들이 워드 라인일 수 있다.
- [0018] 제어 로직 회로는 로우 디코더, 컬럼 디코더, 읽기 및 쓰기 회로 및 전압 생성기에 연결될 수 있다. 제어 로직 회로는 컨트롤러로부터 수신된 커맨드에 따른 내부 동작을 수행하도록, 로우 디코더, 컬럼 디코더, 읽기 및 쓰기 회로 및 전압 생성기를 제어할 수 있다.
- [0019] 프로그램 커맨드가 수신되면, 제어 로직 회로는 선택된 메모리 셀(MC)의 제1 전극(11)에 강유전막(13)의 분극을 유발하는 양의 프로그램 전압을 인가하는 포지티브 프로그램 동작 또는 선택된 메모리 셀(MC)의 제1 전극(11)에 강유전막(13)의 분극을 유발하는 음의 프로그램 전압을 인가하는 네거티브 프로그램 동작을 수행하도록, 읽기

및 쓰기 회로를 제어할 수 있다. 리드 커맨드가 수신되면, 제어 로직 회로는 선택된 메모리 셀(MC)의 제1 전극(11)에 강유전막(13)의 분극을 유발하지 않는 리드 전압을 인가하는 리드 동작을 수행하도록, 읽기 및 쓰기 회로를 제어할 수 있다.

- [0020] 도 2a 및 도 2b는 본 발명의 일 실시예에 따른 반도체 장치의 동작 특성을 나타낸 그래프이다. X축은 메모리 셀에 인가되는 전압(V)을 나타내고, Y축은 메모리 셀에 흐르는 전류(I)를 나타낸다.
- [0021] 도 2a는 스위칭막(14) 및 강유전막(13)을 포함하는 메모리 셀(MC)의 프로그램 동작에 따른 임계 전압 변화를 나타낸다. 점선(Initial)은 강유전막(13)이 분극되지 않은 초기 상태를 나타낸다. 강유전막(13)이 분극되지 않았으므로, 메모리 셀(MC)은 스위칭막(14) 및 강유전막(13)의 물성에 따른 임계 전압(V_{th})을 갖는다.
- [0022] 실선(P_PGM)은 포지티브 프로그램된 메모리 셀(MC)의 임계 전압($L_{V_{th}}$)를 나타낸다. 메모리 셀(MC)에 양의 프로그램 전압이 인가되고, 강유전막(13)이 양의 방향으로 분극될 수 있다. 그에 따라, 메모리 셀(MC)은 초기 상태(Initial)로부터 강유전막(13)의 잔류 분극(V_p)만큼 낮아진 임계 전압($L_{V_{th}}$)을 가질 수 있다. 여기서, 포지티브 프로그램은 셋 동작일 수 있고, 프로그램된 메모리 셀(MC)은 셋 상태를 가질 수 있다.
- [0023] 실선(N_PGM)은 네거티브 프로그램된 메모리 셀(MC)의 임계 전압($H_{V_{th}}$)을 나타낸다. 메모리 셀(MC)에 음의 프로그램 전압이 인가되고, 강유전막(13)이 음의 방향으로 분극될 수 있다. 그에 따라, 메모리 셀(MC)은 초기 상태(Initial)로부터 강유전막(13)의 잔류 분극(V_p)만큼 높아진 임계 전압($H_{V_{th}}$)을 가질 수 있다. 여기서, 네거티브 프로그램은 리셋 동작일 수 있고, 프로그램된 메모리 셀(MC)은 리셋 상태를 가질 수 있다.
- [0024] 셋 상태의 임계 전압($L_{V_{th}}$)과 리셋 상태의 임계 전압($H_{V_{th}}$)이 $2V_p$ 만큼 차이를 가질 수 있다. 따라서, $2V_p$ 만큼의 리드 메모리 윈도우(read memory window)를 확보할 수 있다.
- [0025] 도 2b를 참조하면, 리드 전압(V_{READ})을 이용하여 메모리 셀(MC)에 저장된 데이터를 독출할 수 있다. 리드 전압(V_{READ})은 셋 상태의 임계 전압($L_{V_{th}}$)에 비해 높은 레벨을 가질 수 있고 리셋 상태의 임계 전압($H_{V_{th}}$)에 비해 낮은 레벨을 가질 수 있다. 메모리 셀(MC)에 리드 전압(V_{READ})을 인가하면 메모리 셀(MC)의 프로그램 상태에 따라 메모리 셀(MC)이 턴 온 또는 턴 오프된다. 셋 상태의 경우, 리드 전압(V_{READ})이 인가되면 메모리 셀(MC)이 턴 온되어 전류가 흐른다. 리셋 상태의 경우, 리드 전압(V_{READ})이 인가되면 메모리 셀(MC)이 턴 오프되고 전류가 흐르지 않는다. 따라서, 메모리 셀(MC)에 저장된 데이터를 독출할 수 있다.
- [0026] 도 3a 및 도 3b는 본 발명의 일 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 도면이다. 도 3a는 포지티브 프로그램 동작과 관련된 프로그램 전압 및 리드 전압의 파형을 나타낸다. 도 3b는 네거티브 프로그램 동작과 관련된 프로그램 전압 및 리드 전압의 파형을 나타낸다.
- [0027] 도 3a를 참조하면, 포지티브 프로그램 동작 시, 메모리 셀(MC)에 양의 프로그램 전압($P_{V_{PGM}}$)을 인가한다. 양의 프로그램 전압($P_{V_{PGM}}$)은 강유전막(13)의 분극을 유발하는 레벨을 가질 수 있다. 실시예로서, 양의 프로그램 전압($P_{V_{PGM}}$)은 강유전 물질의 분극을 유발하는 코어시브 필드(Coercive field)에 비해 높은 레벨을 가질 수 있다. 포지티브 프로그램 동작에 의해, 메모리 셀(MC)이 낮은 임계 전압을 갖는 셋 상태로 프로그램될 수 있다. 리드 전압(V_{READ})은 양의 레벨을 가질 수 있다. 리드 전압(V_{READ})은 강유전막(13)의 분극을 유발하지 않는 레벨을 가질 수 있다. 리드 전압(V_{READ})은 양의 프로그램 전압($P_{V_{PGM}}$)에 비해 낮은 레벨을 가질 수 있고, 코어시브 필드에 비해 낮은 레벨을 가질 수 있다.
- [0028] 도 3b를 참조하면, 네거티브 프로그램 동작 시, 메모리 셀(MC)에 음의 프로그램 전압($N_{V_{PGM}}$)을 인가한다. 음의 프로그램 전압($N_{V_{PGM}}$)은 강유전막(13)의 분극을 유발하는 레벨을 가질 수 있다. 실시예로서, 음의 프로그램 전압($N_{V_{PGM}}$)의 절대 값은 코어시브 필드의 절대 값에 비해 클 수 있다. 네거티브 프로그램 동작에 의해, 메모리 셀(MC)이 높은 임계 전압을 갖는 리셋 상태로 프로그램될 수 있다. 리드 전압(V_{READ})은 양의 레벨을 가질 수 있다. 리드 전압(V_{READ})은 강유전막(13)의 분극을 유발하지 않는 레벨을 가질 수 있다. 리드 전압(V_{READ})의 절대 값은 음의 프로그램 전압($N_{V_{PGM}}$)의 절대 값에 비해 작을 수 있고, 코어시브 필드의 절대 값에 비해 작을 수 있다.
- [0029] 도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 도면이다. 각 도면은 메모리 셀의 단면도 및 밴드 다이어그램을 포함한다. 메모리 셀(MC)은 제1 전극(11), 제2 전극(12), 강유전

막(13) 및 스위칭막(14)을 포함할 수 있다. 제1 전극(11) 또는 제2 전극(12)은 금속을 포함할 수 있다.

- [0030] 도 4a는 메모리 셀(MC)의 초기 상태를 나타낸다. 초기 상태에서, 강유전막(13)은 스위칭막(14)에 비해 높은 포텐셜을 갖고, 스위칭막(14)으로 전자를 공급하는데 배리어로서 작용할 수 있다. 배리어의 높이(V_r)는 강유전막(13)의 물성 및 두께에 따라 결정될 수 있다. 초기 상태에서, 메모리 셀(MC)의 임계 전압은 V_{th} 일 수 있다.
- [0031] 도 4b는 포지티브 프로그램 동작에 의해 프로그램된 메모리 셀(MC)에 관한 것으로, 메모리 셀(MC)의 셋 상태를 나타낸다. 포지티브 프로그램 동작 시, 제1 전극(11)의 전압 레벨이 제2 전극(12)의 전압 레벨에 비해 높도록, 제1 전극(11)과 제2 전극(12) 간에 전압 차이를 발생시킬 수 있다. 실시예로서, 메모리 셀(MC)의 제1 전극(11)에 양의 프로그램 전압($P_{V_{PGM}}$)을 인가하고 제2 전극(12)을 접지시킬 수 있다. 양의 프로그램 전압($P_{V_{PGM}}$)에 의해 스위칭막(14)과 강유전막(13)의 계면에 음전하가 축적될 수 있고, 강유전막(13)이 양의 방향으로 분극될 수 있다. 강유전막(13)이 양의 분극 상태를 갖게 되므로, 강유전막(13)의 잔류 분극(V_p)만큼 메모리 셀(MC)의 임계 전압이 낮아진다. 셋 상태에서, 메모리 셀(MC)의 임계 전압(V_{th}')은 $[V_{th}-V_p]$ 일 수 있다.
- [0032] 도 4c는 네거티브 프로그램 동작에 의해 프로그램된 메모리 셀(MC)에 관한 것으로, 메모리 셀(MC)의 리셋 상태를 나타낸다. 메모리 셀의 제1 전극(11)에 음의 프로그램 전압($N_{V_{PGM}}$)을 인가할 수 있다. 음의 프로그램 전압($Negative_{V_{PGM}}$)에 의해 스위칭막(14)과 강유전막(13)의 계면에 양전하가 축적될 수 있고, 강유전막(13)이 음의 방향으로 분극될 수 있다. 강유전막(13)이 음의 분극 상태를 갖게 되므로, 강유전막(13)의 잔류 분극(V_p)만큼 메모리 셀(MC)의 임계 전압이 높아진다. 리셋 상태에서, 메모리 셀(MC)의 임계 전압(V_{th}'')은 $[V_{th}+V_p]$ 일 수 있다.
- [0033] 도 5a 내지 도 5c는 본 발명의 일 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 도면이다. 각 도면은 메모리 셀의 단면도 및 밴드 다이어그램을 포함한다. 메모리 셀(MC)은 제1 전극(11), 제2 전극(12), 강유전막(13) 및 스위칭막(14)을 포함할 수 있다. 제1 전극(11) 또는 제2 전극(12)은 반도체와 유사한 세미 메탈 또는 폴리실리콘과 같은 반도체 물질을 포함할 수 있다.
- [0034] 도 5a는 메모리 셀(MC)의 초기 상태를 나타낸다. 초기 상태에서, 강유전막(13)은 스위칭막(14)에 비해 높은 포텐셜을 갖는다. 강유전막(13)은 스위칭막(14)으로 전자를 공급하는데 배리어로서 작용할 수 있다.
- [0035] 도 5b는 포지티브 프로그램 동작에 의해 프로그램된 메모리 셀(MC)에 관한 것으로, 메모리 셀(MC)의 셋 상태를 나타낸다. 메모리 셀(MC)의 제1 전극(11)에 양의 프로그램 전압($P_{V_{PGM}}$)을 인가할 수 있다. 양의 프로그램 전압($P_{V_{PGM}}$)에 의해 스위칭막(14)과 강유전막(13)의 계면에 음전하가 축적될 수 있고, 강유전막(13)이 양의 방향으로 분극될 수 있다. 제2 전극(12)이 세미 메탈 또는 반도체 물질을 포함하므로, 강유전막(13)과 제2 전극(12)의 계면에 전자가 축적될 수 있고, 밴드 로어링(band lowering) 효과가 증대될 수 있다. 따라서, 제1 전극(11)에 양의 프로그램 전압($P_{V_{PGM}}$)이 인가됐을 때 전자가 원활히 공급될 수 있다. 이를 통해, 제2 전극(12)이 금속을 포함하는 경우에 비해 셋 상태의 임계 전압을 더 낮출 수 있다.
- [0036] 도 5c는 네거티브 프로그램 동작에 의해 프로그램된 메모리 셀(MC)에 관한 것으로, 메모리 셀(MC)의 리셋 상태를 나타낸다. 메모리 셀의 제1 전극(11)에 음의 프로그램 전압($N_{V_{PGM}}$)을 인가할 수 있다. 음의 프로그램 전압($Negative_{V_{PGM}}$)에 의해 스위칭막(14)과 강유전막(13)의 계면에 양전하가 축적될 수 있고, 강유전막(13)이 음의 방향으로 분극될 수 있다. 강유전막(13)의 분극으로 인해 제2 전극(12) 내에 공핍 영역이 형성될 수 있고, 유효 배리어 길이(effective barrier length)가 길어진다. 따라서, 전자의 터널링이 어려워져 전류가 감소될 수 있고, 제2 전극(12)이 금속을 포함하는 경우에 비해 리셋 상태의 임계 전압을 더 높일 수 있다.
- [0037] 도 6은 본 발명의 일 실시예에 따른 반도체 장치의 구조를 나타낸 도면이다. 이하, 앞서 설명된 내용과 중복된 내용은 생략하여 설명하도록 한다.
- [0038] 도 6을 참조하면, 반도체 장치는 제1 전극(11), 제2 전극(12), 가변 저항막(15) 및 강유전막(13)을 포함할 수 있다. 반도체 장치는 메모리 셀(MC)을 포함할 수 있고, 제1 전극(11), 제2 전극(12), 가변 저항막(15) 및 강유전막(13)이 메모리 셀(MC)을 구성할 수 있다. 메모리 셀(MC)은 데이터 저장소이면서 동시에 선택 소자로서 역할을 할 수 있다.
- [0039] 가변 저항막(15)은 제1 전극(11)과 제2 전극(12)의 사이에 위치될 수 있다. 가변 저항막(15)은 저항성 물질을 포함할 수 있고, 인가되는 전압 또는 전류에 따라 서로 다른 저항 상태 간에 가역적으로 천이하는 특성을 가질 수 있다.

- [0040] 가변 저항막(15)은 전이 금속 산화물(transition metal oxide)을 포함하거나, 페로브스카이트계 물질과 같은 금속 산화물을 포함할 수 있다. 따라서, 가변 저항막(15) 내에 전기적 통로가 생성되거나 소멸됨으로써, 메모리 셀(MC)에 데이터를 저장할 수 있다.
- [0041] 가변 저항막(15)은 MTJ 구조를 가질 수 있다. 가변 저항막(15)은 자화 고정층, 자화 자유층 및 이들 사이에 개재된 터널 배리어층을 포함할 수 있다. 예를 들어, 자화 고정층 및 자화 자유층은 자성 물질을 포함할 수 있고, 터널 배리어층은 마그네슘(Mg), 알루미늄(Al), 아연(Zn), 티타늄(Ti) 등의 산화물을 포함할 수 있다. 여기서, 자화 자유층의 자화 방향은 인가되는 전류 내의 전자들의 스핀 토크(spin torque)에 의해 변경될 수 있다. 따라서, 자화 고정층의 자화 방향에 대한 자화 자유층의 자화 방향 변화에 따라, 메모리 셀(MC)에 데이터를 저장할 수 있다.
- [0042] 가변 저항막(15)은 상변화 물질을 포함할 수 있고, 칼코게나이드를 포함할 수 있다. 가변 저항막(15)은 칼코게나이드 유리, 칼코게나이드 합금 등을 포함할 수 있다. 가변 저항막(15)은 실리콘(Si), 저마늄(Ge), 안티몬(Sb), 텔루륨(Te), 비스무트(Bi), 인듐(In), 주석(Sn), 셀레늄(Se) 등을 포함하거나, 이들을 조합하여 포함할 수 있다. 예를 들어, 가변 저항막(15)은 Ge-Sb-Te(GST)일 수 있으며, $Ge_2Sb_2Te_5$, $Ge_2Sb_2Te_7$, $Ge_1Sb_2Te_4$, $Ge_1Sb_4Te_7$ 등일 수 있다. 가변 저항막(15)은 프로그램 동작에 따라 상변화할 수 있다. 셋 동작에 의해 가변 저항막(15)이 저저항의 결정질 상태를 가질 수 있다. 리셋 동작에 의해 가변 저항막(15)이 고저항의 비정질 상태를 가질 수 있다. 따라서, 가변 저항막(15)의 상(phase)에 따른 저항 차이를 이용하여, 메모리 셀(MC)에 데이터를 저장할 수 있다.
- [0043] 가변 저항막(15)은 상변화없이 저항이 변하는 가변 저항 물질을 포함할 수 있고, 칼코게나이드계 물질을 포함할 수 있다. 가변 저항막(15)은 저마늄(Ge), 안티몬(Sb), 텔루륨(Te), 아세닉(As), 셀레늄(Se), 실리콘(Si), 인듐(In), 주석(Sn), 황(S), 갈륨(Ga) 등을 포함하거나, 이들을 조합하여 포함할 수 있다.
- [0044] 가변 저항막(15)은 하나의 상(phase)을 갖고, 프로그램 동작 시에 상이 유지될 수 있다. 실례로서, 가변 저항막(15)은 비정질 상태를 유지하는 칼코게나이드막일 수 있다. 가변 저항막(15)은 비정질 상태를 갖고, 프로그램 동작 시에 결정 상태로 변경되지 않는다. 따라서, 메모리 셀(MC)에 인가되는 프로그램 전압에 따라 메모리 셀(MC)의 임계 전압이 변경되고, 메모리 셀(MC)은 적어도 두가지의 상태로 프로그램될 수 있다. 메모리 셀(MC)에 음의 프로그램 전압을 인가하면 가변 저항막(15)이 고저항의 비정질 상태를 갖게 된다. 메모리 셀(MC)에 양의 프로그램 전압을 인가하면 가변 저항막(15)이 저저항의 비정질 상태를 갖게 된다. 따라서, 가변 저항막(15)의 저항 차이를 이용하여, 메모리 셀(MC)에 데이터를 저장할 수 있다.
- [0045] 강유전막(13)은 가변 저항막(15)과 제2 전극(12)의 사이에 위치될 수 있다. 강유전막(13)은 강유전 물질을 포함할 수 있다. 메모리 셀(MC)에 인가되는 프로그램 전압에 의해 강유전막(13)의 분극이 유발될 수 있고, 강유전막(13)이 잔류 분극을 갖게 된다. 양의 프로그램 전압이 인가되면 강유전막(13)이 양의 분극 상태를 가질 수 있고, 음의 프로그램 전압이 인가되면 강유전막(13)이 음의 분극 상태를 가질 수 있다. 강유전막(13)은 금속 산화물을 포함할 수 있다. 강유전막(13)은 하프늄 산화물, 지르코늄 산화물, 하프늄지르코늄 산화물 등을 포함하거나, 이들을 조합하여 포함할 수 있다. 또는, 강유전막(13)은 PZT($PbZr_xTi_{1-x}O_3$), $BaTiO_3$, $PbTiO_3$ 등과 같은 페로브스카이트 구조의 강유전 물질을 포함할 수 있다. 강유전막(13)은 Si, Al, Zr, Y, La, Gd, Sr 등의 불순물을 포함할 수 있다.
- [0046] 제1 전극(11) 또는 제2 전극(12)은 비트 라인 또는 워드 라인에 전기적으로 연결될 수 있다. 제1 전극(11)이 비트 라인에 전기적으로 연결되고 제2 전극이 워드 라인에 전기적으로 연결될 수 있다. 또는, 제1 전극(11)이 워드 라인에 전기적으로 연결되고 제2 전극(12)이 비트 라인에 전기적으로 연결될 수 있다. 제1 전극(11) 또는 제2 전극(12)은 텅스텐(W), 텅스텐질화물(WN_x), 텅스텐실리사이드(WSi_x), 티타늄(Ti), 티타늄질화물(TiN_x), 티타늄실리코닐질화물($TiSiN$), 티타늄알루미늄질화물($TiAlN$), 탄탈륨(Ta), 탄탈륨질화물(TaN), 탄탈륨실리코닐질화물($TaSiN$), 탄탈륨알루미늄질화물($TaAlN$), 탄소(C), 실리콘카바이드(SiC), 실리콘카본질화물($SiCN$), 구리(Cu), 아연(Zn), 니켈(Ni), 코발트(Co), 납(Pd), 백금(Pt) 등을 포함할 수 있으며, 이들을 조합하여 포함할 수 있다.
- [0047] 전술한 바와 같은 구조에 따르면, 가변 저항막(15)의 저항 상태 및 강유전막(13)의 분극 상태에 따라 메모리 셀(MC)의 임계 전압이 결정될 수 있다. 메모리 셀(MC)이 강유전막(13)을 포함하는 경우, 강유전막(13)을 포함하지 않는 경우에 비해, 메모리 셀(MC)을 더 낮은 임계 전압으로 프로그램하거나, 더 높은 임계 전압으로 프로그램할 수 있다. 이를 통해, 리드 마진을 확보할 수 있다.
- [0048] 도 7은 본 발명의 일 실시예에 따른 반도체 장치의 동작 특성을 나타낸 그래프이다. X축은 메모리 셀에 인가되

는 전압(V)을 나타내고, Y축은 메모리 셀에 흐르는 전류(I)를 나타낸다. 이하, 앞서 설명된 내용과 중복된 내용은 생략하여 설명하도록 한다.

- [0049] 도 7을 참조하면, 점선(NF_P_PGM, NF_N_PGM)은 강유전막(13)을 포함하지 않는 레퍼런스 메모리 셀의 프로그램 동작에 따른 임계 전압 변화를 나타낸다. 포지티브 프로그램 동작(NF_P_PGM)에 의해, 레퍼런스 메모리 셀은 낮은 임계 전압(NF_L_Vth)을 갖는 셋 상태로 프로그램될 수 있다. 네거티브 프로그램 동작(NF_N_PGM)에 의해, 레퍼런스 메모리 셀은 높은 임계 전압(NF_H_Vth)을 갖는 리셋 상태로 프로그램될 수 있다. 높은 임계 전압(NF_H_Vth)과 낮은 임계 전압(NF_L_Vth)은 ΔV 만큼 차이를 가질 수 있다.
- [0050] 실선(F_P_PGM, F_N_PGM)은 가변 저항막(15) 및 강유전막(13)을 포함하는 메모리 셀(MC)의 프로그램 동작에 따른 임계 전압 변화를 나타낸다. 포지티브 프로그램 동작(F_P_PGM)에 의해, 메모리 셀(MC)은 제1 임계 전압(F_L_Vth)을 갖는 셋 상태로 프로그램될 수 있다. 네거티브 프로그램 동작(F_N_PGM)에 의해, 메모리 셀(MC)은 제2 임계 전압(F_H_Vth)을 갖는 리셋 상태로 프로그램될 수 있다. 제2 임계 전압(F_H_Vth)이 제1 임계 전압(NF_L_Vth)에 비해 높은 레벨을 가질 수 있고, 제2 임계 전압(F_H_Vth)과 제1 임계 전압(NF_L_Vth)은 [$\Delta V+2Vp$] 만큼 차이를 가질 수 있다.
- [0051] 셋 상태의 메모리 셀(MC)은 가변 저항막(15)이 저저항의 비정질 상태를 가질 수 있다. 또한, 강유전막(13)이 양의 방향으로 분극될 수 있고, 잔류 분극(Vp)에 의해 임계 전압이 낮아질 수 있다. 셋 상태에서, 메모리 셀(MC)은 레퍼런스 메모리 셀의 임계 전압(NF_L_Vth)에 비해 낮은 제1 임계 전압(F_L_Vth)을 가질 수 있다. 제1 임계 전압(F_L_Vth)의 절대 값이 임계 전압(NF_L_Vth)의 절대 값에 비해 클 수 있다. 셋 상태에서, 메모리 셀(MC)의 제1 임계 전압(F_L_Vth)의 절대 값은 레퍼런스 메모리 셀의 임계 전압(NF_L_Vth)의 절대 값에 비해 [$Vp-Vr$]만큼 작을 수 있다.
- [0052] 리셋 상태의 메모리 셀(MC)은 가변 저항막(15)이 고저항의 비정질 상태를 가질 수 있다. 또한, 강유전막(13)의 음의 방향으로 분극될 수 있고, 잔류 분극(Vp)에 의해 임계 전압이 높아질 수 있다. 리셋 상태에서, 메모리 셀(MC)은 레퍼런스 메모리 셀의 임계 전압(NF_H_Vth)에 비해 높은 제2 임계 전압(F_H_Vth)을 가질 수 있다. 리셋 상태에서, 메모리 셀(MC)의 제2 임계 전압(F_H_Vth)은 레퍼런스 메모리 셀의 임계 전압(NF_H_Vth)에 비해 [$Vp+Vr$]만큼 높을 수 있다.
- [0053] 따라서, 메모리 셀(MC)은 레퍼런스 메모리 셀에 비해 큰 리드 메모리 윈도우(Read memory window)를 확보할 수 있다. 참고로, 양의 프로그램 전압 및 음의 프로그램 전압의 레벨을 조절하여 메모리 셀(MC)을 2개 이상의 상태로 프로그램하는 것도 가능하다.
- [0054] 도 8은 본 발명의 일 실시예에 따른 반도체 장치의 구조를 나타낸 도면이다. 이하, 앞서 설명된 내용과 중복된 내용은 생략하여 설명하도록 한다.
- [0055] 도 8을 참조하면, 반도체 장치는 워드 라인들(WL), 비트 라인들(BL) 및 메모리 셀들(MC)을 포함할 수 있다. 워드 라인들(WL)은 제1 방향(I)으로 확장될 수 있다. 비트 라인들(BL)은 제1 방향(I)과 교차된 제2 방향(II)으로 확장될 수 있다. 비트 라인들(BL) 또는 워드 라인들(WL)은 텅스텐(W), 텅스텐질화물(WNx), 텅스텐실리사이드(WSix), 티타늄(Ti), 티타늄질화물(TiNx), 티타늄실리코늄질화물(TiSiN), 티타늄알루미늄질화물(TiAlN), 탄탈륨(Ta), 탄탈륨질화물(TaN), 탄탈륨실리코늄질화물(TaSiN), 탄탈륨알루미늄질화물(TaAlN), 탄소(C), 실리콘카바이드(SiC), 실리콘카본질화물(SiCN), 구리(Cu), 아연(Zn), 니켈(Ni), 코발트(Co), 납(Pd), 백금(Pt), 폴리실리콘 등을 포함할 수 있으며, 이들을 조합하여 포함할 수 있다.
- [0056] 메모리 셀들(MC)은 워드 라인들(WL)과 비트 라인들(BL)의 교차 영역에 위치될 수 있다. 실시예로서, 메모리 셀들(MC) 각각은 강유전막(13) 및 스위칭막(14)을 포함할 수 있다. 강유전막(13) 및 스위칭막(14)은 제3 방향(III)으로 적층될 수 있다. 실시예로서, 메모리 셀들(MC) 각각은 강유전막(13) 및 가변 저항막(15)을 포함할 수 있다. 강유전막(13) 및 가변 저항막(15)은 제3 방향(III)으로 적층될 수 있다. 제3 방향(III)은 제1 방향(I) 및 제2 방향(II)으로 정의된 평면으로부터 돌출된 방향일 수 있고, 상기 평면으로부터 수직으로 돌출될 수 있다.
- [0057] 강유전막(13)의 두께($T2$)가 두꺼우면 잔류 분극(Vp)이 크므로, 메모리 마진이 증가된다. 단, 두께($T2$)가 너무 두꺼우면 온 커런트가 감소될 수 있으므로, 강유전막(13)은 스위칭막(14) 또는 가변 저항막(15)에 비해 얇은 두께($T2 < T1$)를 가질 수 있다. 강유전막(13)은 수 nm의 두께($T2$)를 가질 수 있다.
- [0058] 메모리 셀들(MC)은 워드 라인(WL)과 가변 저항막(15)의 사이에 개재된 제1 전극을 더 포함하거나, 비트 라인(BL)과 강유전막(13)의 사이에 개재된 제2 전극을 더 포함할 수 있다. 또는, 워드 라인(WL)의 일부가 제1 전극

이거나, 비트 라인(BL)의 일부가 제2 전극일 수 있다.

- [0059] 한편, 도 8은 메모리 셀들(MC)이 제1 방향(I) 및 제2 방향(II)으로 배열된 구조를 나타내었으나, 메모리 셀들(MC)이 제3 방향(III)으로 적층되는 것도 가능하다. 비트 라인들(BL) 및 워드 라인들(WL)이 교대로 적층되고, 적층된 비트 라인들(BL)과 워드 라인들(WL)의 사이에 메모리 셀들(MC)이 위치될 수 있다.
- [0060] 도 9a 내지 도 9c는 본 발명의 일 실시예에 따른 반도체 장치의 구조를 나타낸 도면이다. 이하, 앞서 설명된 내용과 중복된 내용은 생략하여 설명하도록 한다.
- [0061] 도 9a 내지 도 9c를 참조하면, 반도체 장치는 적층물(ST), 강유전막(23) 및 제2 도전막(22)을 포함할 수 있다. 반도체 장치는 스위칭막(24)을 더 포함하거나, 가변 저항막(25)을 더 포함할 수 있다. 반도체 장치는 갭필막(27)을 더 포함할 수 있다.
- [0062] 적층물(ST)은 교대로 적층된 제1 도전막들(21) 및 절연막들(26)을 포함할 수 있다. 제1 도전막들(21)은 텅스텐(W), 텅스텐질화물(WNx), 텅스텐실리사이드(WSix), 티타늄(Ti), 티타늄질화물(TiNx), 티타늄실리코늄질화물(TiSiN), 티타늄알루미늄질화물(TiAlN), 탄탈륨(Ta), 탄탈륨질화물(TaN), 탄탈륨실리코늄질화물(TaSiN), 탄탈륨알루미늄질화물(TaAlN), 탄소(C), 실리콘카바이드(SiC), 실리콘카본질화물(SiCN), 구리(Cu), 아연(Zn), 니켈(Ni), 코발트(Co), 납(Pd), 백금(Pt), 폴리실리코늄 등을 포함할 수 있으며, 이들을 조합하여 포함할 수 있다. 제1 도전막들(21)은 워드 라인 또는 비트 라인일 수 있다. 절연막들(26)은 제1 도전막들(21)을 상호 절연시키기 위한 것으로, 산화물, 질화물 등의 절연 물질을 포함할 수 있다.
- [0063] 제2 도전막(22)은 적층물(ST)을 관통할 수 있다. 도 8a 및 도 8b를 참조하면, 제2 도전막(22)은 중심 영역이 오픈된 구조를 가질 수 있다. 이러한 경우, 제2 도전막(22) 내에는 갭필막(27)이 채워질 수 있다. 도 8c를 참조하면, 제2 도전막(22)은 중심 영역까지 채워진 구조를 가질 수 있다. 이러한 경우, 제2 도전막(22) 내에 갭필막(27)이 형성되지 않을 수 있다.
- [0064] 제2 도전막(22)은 텅스텐(W), 텅스텐질화물(WNx), 텅스텐실리사이드(WSix), 티타늄(Ti), 티타늄질화물(TiNx), 티타늄실리코늄질화물(TiSiN), 티타늄알루미늄질화물(TiAlN), 탄탈륨(Ta), 탄탈륨질화물(TaN), 탄탈륨실리코늄질화물(TaSiN), 탄탈륨알루미늄질화물(TaAlN), 탄소(C), 실리콘카바이드(SiC), 실리콘카본질화물(SiCN), 구리(Cu), 아연(Zn), 니켈(Ni), 코발트(Co), 납(Pd), 백금(Pt), 폴리실리코늄 등을 포함할 수 있으며, 이들을 조합하여 포함할 수 있다. 제2 도전막(22)은 비트 라인 또는 워드 라인일 수 있다.
- [0065] 스위칭막(24) 또는 가변 저항막(25)은 제2 도전막(22)과 제1 도전막들(21)의 사이에 개재될 수 있다. 스위칭막(24) 또는 가변 저항막(25)은 제2 도전막(22)의 측벽을 감싸도록 형성될 수 있다.
- [0066] 강유전막(23)은 스위칭막(24)과 제2 도전막(22)의 사이에 개재되거나, 가변 저항막(25)과 제2 도전막들(22)의 사이에 개재될 수 있다. 도 8a 및 도 8c를 참조하면, 강유전막(23)은 제2 도전막(22)의 측벽을 감싸도록 형성될 수 있다. 스위칭막(24) 또는 가변 저항막(25)은 강유전막(23)의 측벽을 감싸도록 형성될 수 있다. 도 8b를 참조하면, 강유전막(23)은 제1 도전막들(21)과 절연막들(26)의 사이로 확장될 수 있다. 강유전막(23)은 C 형태의 단면을 가질 수 있다.
- [0067] 전술한 바와 같은 구조에 따르면, 제1 도전막들(21)과 제2 도전막(22)의 교차 영역에 메모리 셀들이 위치될 수 있다. 실시예로서, 제1 도전막들(21)이 워드 라인이고 제2 도전막(22)이 비트 라인일 수 있다. 이러한 경우, 포지티브 프로그램 동작 시, 제1 도전막들(21)에 양의 프로그램 전압을 인가하여 상대적으로 낮은 임계 전압을 갖도록 메모리 셀을 프로그램 할 수 있다. 네거티브 프로그램 동작 시 제1 도전막들(21)에 음의 프로그램 전압을 인가하여 상대적으로 높은 임계 전압을 갖도록 메모리 셀을 프로그램할 수 있다. 또한, 리드 동작 시, 제1 도전막들(21)에 양의 리드 전압을 인가할 수 있다.
- [0068] 도 10은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 마이크로프로세서의 구성도이다.
- [0069] 도 10을 참조하면, 마이크로프로세서(1000)는 다양한 외부 장치로부터 데이터를 받아서 처리한 후 그 결과를 외부 장치로 보내는 일련의 과정을 제어하고 조정하는 일을 수행할 수 있으며, 메모리(1010), 연산부(1020), 제어부(1030) 등을 포함할 수 있다. 마이크로프로세서(1000)는 중앙 처리 장치(Central Processing Unit; CPU), 그래픽 처리 장치(Graphic Processing Unit; GPU), 디지털 신호 처리 장치(Digital Signal Processor; DSP), 어플리케이션 프로세서(Application Processor; AP) 등 각종 데이터 처리 장치 일 수 있다.
- [0070] 메모리(1010)는 프로세서 레지스터(Processor register), 레지스터(Register) 등으로, 마이크로프로세서(1000) 내에서 데이터를 저장하는 부분일 수 있고, 데이터 레지스터, 주소 레지스터, 부동 소수점 레지스터 등을 포함

할 수 있으며 이외에 다양한 레지스터를 포함할 수 있다. 메모리(1010)는 연산부(1020)에서 연산을 수행하는 데이터나 수행결과 데이터, 수행을 위한 데이터가 저장되어 있는 주소를 일시적으로 저장하는 역할을 수행할 수 있다.

- [0071] 메모리(1010)는 전술한 전자 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 메모리(1010)는 메모리 셀을 포함할 수 있고, 메모리 셀은 제1 전극; 제2 전극; 상기 제1 전극과 상기 제2 전극의 사이에 위치되고 비정질 상태를 유지하는 칼코게나이드막; 및 상기 칼코게나이드막과 상기 제2 전극의 사이에 위치한 강유전막을 포함할 수 있다. 이를 통해 메모리(1010)의 집적도를 향상시키고 동작 특성을 향상시킬 수 있다. 결과적으로, 마이크로프로세서(1000)의 동작 특성이 향상될 수 있다.
- [0072] 연산부(1020)는 제어부(1030)가 명령을 해독한 결과에 따라서 여러 가지 사칙 연산 또는 논리 연산을 수행할 수 있다. 연산부(1020)는 하나 이상의 산술 논리 연산 장치(Arithmetic and Logic Unit; ALU) 등을 포함할 수 있다.
- [0073] 제어부(1030)는 메모리(1010), 연산부(1020), 마이크로프로세서(1000)의 외부 장치 등으로부터 신호를 수신하고, 명령의 추출이나 해독, 마이크로프로세서(1000)의 신호 입출력의 제어 등을 수행하고, 프로그램으로 나타내어진 처리를 실행할 수 있다.
- [0074] 본 실시예에 따른 마이크로프로세서(1000)는 메모리(1010) 이외에 외부 장치로부터 입력되거나 외부 장치로 출력할 데이터를 임시 저장할 수 있는 캐시 메모리(1040)를 추가로 포함할 수 있다. 이 경우 캐시 메모리(1040)는 버스 인터페이스(1050)를 통해 메모리(1010), 연산부(1020) 및 제어부(1030)와 데이터를 주고 받을 수 있다.
- [0075] 도 11은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 프로세서의 구성도이다.
- [0076] 도 11을 참조하면, 프로세서(1100)는 다양한 외부 장치로부터 데이터를 받아서 처리한 후 그 결과를 외부 장치로 보내는 일련의 과정을 제어하고 조정하는 일을 수행하는 마이크로프로세서의 기능 이외에 다양한 기능을 포함하여 성능 향상 및 다기능을 구현할 수 있다. 프로세서(1100)는 마이크로프로세서의 역할을 하는 코어(1110), 데이터를 임시 저장하는 역할을 하는 캐시 메모리(1120) 및 내부와 외부 장치 사이의 데이터 전달을 위한 버스 인터페이스(1130)를 포함할 수 있다. 프로세서(1100)는 멀티 코어 프로세서(Multi Core Processor), 그래픽 처리 장치(Graphic Processing Unit; GPU), 어플리케이션 프로세서(Application Processor; AP) 등과 같은 각종 시스템 온 칩(System on Chip; SoC)을 포함할 수 있다.
- [0077] 본 실시예의 코어(1110)는 외부 장치로부터 입력된 데이터를 산술 논리 연산하는 부분으로, 메모리(1111), 연산부(1112) 및 제어부(1113)를 포함할 수 있다.
- [0078] 메모리(1111)는 프로세서 레지스터(Processor register), 레지스터(Register) 등으로, 프로세서(1100) 내에서 데이터를 저장하는 부분일 수 있고, 데이터 레지스터, 주소 레지스터, 부동 소수점 레지스터 등을 포함할 수 있으며 이외에 다양한 레지스터를 포함할 수 있다. 메모리(1111)는 연산부(1112)에서 연산을 수행하는 데이터나 수행결과 데이터, 수행을 위한 데이터가 저장되어 있는 주소를 일시적으로 저장하는 역할을 수행할 수 있다. 연산부(1112)는 프로세서(1100)의 내부에서 연산을 수행하는 부분으로, 제어부(1113)가 명령을 해독한 결과에 따라서 여러 가지 사칙 연산, 논리 연산 등을 수행할 수 있다. 연산부(1112)는 하나 이상의 산술 논리 연산 장치(Arithmetic and Logic Unit; ALU) 등을 포함할 수 있다. 제어부(1113)는 메모리(1111), 연산부(1112), 프로세서(1100)의 외부 장치 등으로부터 신호를 수신하고, 명령의 추출이나 해독, 프로세서(1100)의 신호 입출력의 제어 등을 수행하고, 프로그램으로 나타내어진 처리를 실행할 수 있다.
- [0079] 캐시 메모리(1120)는 고속으로 동작하는 코어(1110)와 저속으로 동작하는 외부 장치 사이의 데이터 처리 속도 차이를 보완하기 위해 임시로 데이터를 저장하는 부분으로, 1차 저장부(1121), 2차 저장부(1122) 및 3차 저장부(1123)를 포함할 수 있다. 일반적으로 캐시 메모리(1120)는 1차, 2차 저장부(1121, 1122)를 포함하며 고용량이 필요할 경우 3차 저장부(1123)를 포함할 수 있으며, 필요시 더 많은 저장부를 포함할 수 있다. 즉 캐시 메모리(1120)가 포함하는 저장부의 개수는 설계에 따라 달라질 수 있다. 여기서, 1차, 2차, 3차 저장부(1121, 1122, 1123)의 데이터 저장 및 판별하는 처리 속도는 같을 수도 있고 다를 수도 있다. 각 저장부의 처리 속도가 다른 경우, 1차 저장부의 속도가 제일 빠를 수 있다. 캐시 메모리(1120)의 1차 저장부(1121), 2차 저장부(1122) 및 3차 저장부(1123) 중 하나 이상의 저장부는 전술한 전자 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 캐시 메모리(1120)는 메모리 셀을 포함할 수 있고, 메모리 셀은 제1 전극; 제2 전극; 상기 제1 전극과 상기 제2 전극의 사이에 위치되고 비정질 상태를 유지하는 칼코게나이드막; 및 상기 칼코게나이드막과 상기 제2 전극의 사이에 위치한 강유전막을 포함할 수 있다. 결과적으로, 프로세서(1100)의 동작 특성이 향상될 수 있다.

- [0080] 도 11에는 1차, 2차, 3차 저장부(1121, 1122, 1123)가 모두 캐시 메모리(1120)의 내부에 구성된 경우를 도시하였으나, 캐시 메모리(1120)의 1차, 2차, 3차 저장부(1121, 1122, 1123)는 모두 코어(1110)의 외부에 구성되어 코어(1110)와 외부 장치간의 처리 속도 차이를 보완할 수 있다. 또는, 캐시 메모리(1120)의 1차 저장부(1121)는 코어(1110)의 내부에 위치할 수 있고, 2차 저장부(1122) 및 3차 저장부(1123)는 코어(1110)의 외부에 구성되어 처리 속도 차이의 보완 기능이 보다 강화될 수 있다. 또는, 1차, 2차 저장부(1121, 1122)는 코어(1110)의 내부에 위치할 수 있고, 3차 저장부(1123)는 코어(1110)의 외부에 위치할 수 있다.
- [0081] 버스 인터페이스(1130)는 코어(1110), 캐시 메모리(1120) 및 외부 장치를 연결하여 데이터를 효율적으로 전송할 수 있게 해주는 부분이다.
- [0082] 본 실시예에 따른 프로세서(1100)는 다수의 코어(1110)를 포함할 수 있으며 다수의 코어(1110)가 캐시 메모리(1120)를 공유할 수 있다. 다수의 코어(1110)와 캐시 메모리(1120)는 직접 연결되거나, 버스 인터페이스(1130)를 통해 연결될 수 있다. 다수의 코어(1110)는 모두 상술한 코어의 구성과 동일하게 구성될 수 있다. 프로세서(1100)가 다수의 코어(1110)를 포함할 경우, 캐시 메모리(1120)의 1차 저장부(1121)는 다수의 코어(1110)의 개수에 대응하여 각각의 코어(1110) 내에 구성되고 2차 저장부(1122)와 3차 저장부(1123)는 다수의 코어(1110)의 외부에 버스 인터페이스(1130)를 통해 공유되도록 구성될 수 있다. 여기서, 1차 저장부(1121)의 처리 속도가 2차, 3차 저장부(1122, 1123)의 처리 속도보다 빠를 수 있다. 다른 실시예에서, 1차 저장부(1121)와 2차 저장부(1122)는 다수의 코어(1110)의 개수에 대응하여 각각의 코어(1110) 내에 구성되고, 3차 저장부(1123)는 다수의 코어(1110) 외부에 버스 인터페이스(1130)를 통해 공유되도록 구성될 수 있다.
- [0083] 본 실시예에 따른 프로세서(1100)는 데이터를 저장하는 임베디드(Embedded) 메모리(1140), 외부 장치와 유선 또는 무선으로 데이터를 송수신할 수 있는 통신모듈부(1150), 외부 메모리 장치를 구동하는 메모리 컨트롤부(1160), 외부 인터페이스 장치에 프로세서(1100)에서 처리된 데이터나 외부 입력장치에서 입력된 데이터를 가공하고 출력하는 미디어처리부(1170) 등을 추가로 포함할 수 있으며, 이 이외에도 다수의 모듈과 장치를 포함할 수 있다. 이 경우 추가된 다수의 모듈들은 버스 인터페이스(1130)를 통해 코어(1110), 캐시 메모리(1120) 및 상호간 데이터를 주고 받을 수 있다.
- [0084] 여기서 임베디드 메모리(1140)는 휘발성 메모리뿐만 아니라 비휘발성 메모리를 포함할 수 있다. 휘발성 메모리는 DRAM(Dynamic Random Access Memory), Mobile DRAM, SRAM(Static Random Access Memory), 및 이와 유사한 기능을 하는 메모리 등을 포함할 수 있으며, 비휘발성 메모리는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory), 및 이와 유사한 기능을 수행하는 메모리 등을 포함할 수 있다.
- [0085] 통신모듈부(1150)는 유선 네트워크와 연결할 수 있는 모듈, 무선 네트워크와 연결할 수 있는 모듈, 및 이들 전부를 포함할 수 있다. 유선 네트워크 모듈은, 전송 라인을 통하여 데이터를 송수신하는 다양한 장치들과 같이, 유선랜(Local Area Network; LAN), 유에스비(Universal Serial Bus; USB), 이더넷(Ethernet), 전력선통신(Power Line Communication; PLC) 등을 포함할 수 있다. 무선 네트워크 모듈은, 전송 라인 없이 데이터를 송수신하는 다양한 장치들과 같이, 적외선 통신(Infrared Data Association; IrDA), 코드 분할 다중 접속(Code Division Multiple Access; CDMA), 시분할 다중 접속(Time Division Multiple Access; TDMA), 주파수 분할 다중 접속(Frequency Division Multiple Access; FDMA), 무선랜(Wireless LAN), 지그비(Zigbee), 유비쿼터스 센서 네트워크(Ubiquitous Sensor Network; USN), 블루투스(Bluetooth), RFID(Radio Frequency Identification), 롱텀에볼루션(Long Term Evolution; LTE), 근거리 무선통신(Near Field Communication; NFC), 광대역 무선 인터넷(Wireless Broadband Internet; Wibro), 고속 하향 패킷 접속(High Speed Downlink Packet Access; HSDPA), 광대역 코드 분할 다중 접속(Wideband CDMA; WCDMA), 초광대역 통신(Ultra WideBand; UWB) 등을 포함할 수 있다.
- [0086] 메모리 컨트롤부(1160)는 프로세서(1100)와 서로 다른 통신 규격에 따라 동작하는 외부 저장 장치 사이에 전송되는 데이터를 처리하고 관리하기 위한 것으로 각종 메모리 컨트롤러, 예를 들어, IDE(Integrated Device Electronics), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), RAID(Redundant Array of Independent Disks), SSD(Solid State Disk), eSATA(External SATA), PCMCIA(Personal Computer Memory Card International Association), USB(Universal Serial Bus), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드

(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등을 제어하는 컨트롤러를 포함할 수 있다.

[0087] 미디어처리부(1170)는 프로세서(1100)에서 처리된 데이터나 외부 입력장치로부터 영상, 음성 및 기타 형태로 입력된 데이터를 가공하고, 이 데이터를 외부 인터페이스 장치로 출력할 수 있다. 미디어처리부(1170)는 그래픽 처리 장치(Graphics Processing Unit; GPU), 디지털 신호 처리 장치(Digital Signal Processor; DSP), 고선명 오디오(High Definition Audio; HD Audio), 고선명 멀티미디어 인터페이스(High Definition Multimedia Interface; HDMI) 컨트롤러 등을 포함할 수 있다.

[0088] 도 12는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 시스템의 구성도이다.

[0089] 도 12를 참조하면, 시스템(1200)은 데이터를 처리하는 장치로, 데이터에 대하여 일련의 조작을 행하기 위해 입력, 처리, 출력, 통신, 저장 등을 수행할 수 있다. 시스템(1200)은 프로세서(1210), 메인 메모리 장치(1220), 보조 메모리 장치(1230), 인터페이스 장치(1240) 등을 포함할 수 있다. 본 실시예의 시스템(1200)은 컴퓨터(Computer), 서버(Server), PDA(Personal Digital Assistant), 휴대용 컴퓨터(Portable Computer), 웹 태블릿(Web Tablet), 무선 폰(Wireless Phone), 모바일 폰(Mobile Phone), 스마트 폰(Smart Phone), 디지털 뮤직 플레이어(Digital Music Player), PMP(Portable Multimedia Player), 카메라(Camera), 위성항법장치(Global Positioning System; GPS), 비디오 카메라(Video Camera), 음성 녹음기(Voice Recorder), 텔레매틱스(Telematics), AV시스템(Audio Visual System), 스마트 텔레비전(Smart Television) 등 프로세스를 사용하여 동작하는 각종 전자 시스템일 수 있다.

[0090] 프로세서(1210)는 입력된 명령어의 해석과 시스템(1200)에 저장된 자료의 연산, 비교 등의 처리를 제어할 수 있고, 마이크로프로세서(Micro Processor Unit; MPU), 중앙 처리 장치(Central Processing Unit; CPU), 싱글/멀티 코어 프로세서(Single/Multi Core Processor), 그래픽 처리 장치(Graphic Processing Unit; GPU), 어플리케이션 프로세서(Application Processor; AP), 디지털 신호 처리 장치(Digital Signal Processor; DSP) 등을 포함할 수 있다.

[0091] 메인 메모리 장치(1220)는 프로그램이 실행될 때 보조 메모리 장치(1230)로부터 프로그램 코드나 자료를 이동시켜 저장, 실행시킬 수 있는 메모리로, 전원이 끊어져도 메모리 내용이 보존될 수 있다. 메인 메모리 장치(1220)는 전술한 전자 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 메인 메모리 장치(1220)는 메모리 셀을 포함할 수 있고, 메모리 셀은 제1 전극; 제2 전극; 상기 제1 전극과 상기 제2 전극의 사이에 위치되고 비정질 상태를 유지하는 칼코게나이드막; 및 상기 칼코게나이드막과 상기 제2 전극의 사이에 위치한 강유전막을 포함할 수 있다. 이를 통해, 메인 메모리 장치(1220)의 집적도를 향상시키고 동작 특성을 향상시킬 수 있다. 결과적으로, 시스템(1200)의 동작 특성이 향상될 수 있다.

[0092] 또한, 메인 메모리 장치(1220)는 전원이 꺼지면 모든 내용이 지워지는 휘발성 메모리 타입의 에스램(Static Random Access Memory; SRAM), 디램(Dynamic Random Access Memory) 등을 더 포함할 수 있다. 이와는 다르게, 메인 메모리 장치(1220)는 전술한 실시예의 전자 장치를 포함하지 않고, 전원이 꺼지면 모든 내용이 지워지는 휘발성 메모리 타입의 에스램(Static Random Access Memory; SRAM), 디램(Dynamic Random Access Memory) 등을 포함할 수 있다.

[0093] 보조 메모리 장치(1230)는 프로그램 코드나 데이터를 보관하기 위한 메모리 장치를 말한다. 메인 메모리 장치(1220)보다 속도는 느리지만 많은 자료를 보관할 수 있다. 보조 메모리 장치(1230)는 전술한 전자 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 보조 메모리 장치(1230)는 메모리 셀을 포함할 수 있고, 메모리 셀은 제1 전극; 제2 전극; 상기 제1 전극과 상기 제2 전극의 사이에 위치되고 비정질 상태를 유지하는 칼코게나이드막; 및 상기 칼코게나이드막과 상기 제2 전극의 사이에 위치한 강유전막을 포함할 수 있다. 이를 통해, 보조 메모리 장치(1230)의 집적도를 향상시키고 동작 특성을 향상시킬 수 있다. 결과적으로, 시스템(1200)의 동작 특성이 향상될 수 있다.

[0094] 또한, 보조 메모리 장치(1230)는 자기를 이용한 자기테이프, 자기디스크, 빛을 이용한 레이저 디스크, 이들 둘을 이용한 광자키디스크, 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드

(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 데이터 저장 시스템(도 9의 1300 참조)을 더 포함할 수 있다. 이와는 다르게, 보조 메모리 장치(1230)는 전술한 실시예의 전자 장치를 포함하지 않고 자기를 이용한 자기테이프, 자기디스크, 빛을 이용한 레이저 디스크, 이들 둘을 이용한 광자기디스크, 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 데이터 저장 시스템(도 9의 1300 참조)들을 포함할 수 있다.

[0095] 인터페이스 장치(1240)는 본 실시예의 시스템(1200)과 외부 장치 사이에서 명령, 데이터 등을 교환하기 위한 것일 수 있으며, 키패드(keypad), 키보드(keyboard), 마우스(Mouse), 스피커(Speaker), 마이크(Mike), 표시장치(Display), 각종 휴먼 인터페이스 장치(Human Interface Device; HID), 통신장치 등일 수 있다. 통신장치는 유선 네트워크와 연결할 수 있는 모듈, 무선 네트워크와 연결할 수 있는 모듈, 및 이들 전부를 포함할 수 있다. 유선 네트워크 모듈은, 전송 라인을 통하여 데이터를 송수신하는 다양한 장치들과 같이, 유선랜(Local Area Network; LAN), 유에스비(Universal Serial Bus; USB), 이더넷(Ethernet), 전력선통신(Power Line Communication; PLC) 등을 포함할 수 있으며, 무선 네트워크 모듈은, 전송 라인 없이 데이터를 송수신하는 다양한 장치들과 같이, 적외선 통신(Infrared Data Association; IrDA), 코드 분할 다중 접속(Code Division Multiple Access; CDMA), 시분할 다중 접속(Time Division Multiple Access; TDMA), 주파수 분할 다중 접속(Frequency Division Multiple Access; FDMA), 무선랜(Wireless LAN), 지그비(Zigbee), 유비쿼터스 센서 네트워크(Ubiquitous Sensor Network; USN), 블루투스(Bluetooth), RFID(Radio Frequency IDentification), 롱텀 에볼루션(Long Term Evolution; LTE), 근거리 무선통신(Near Field Communication; NFC), 광대역 무선 인터넷(Wireless Broadband Internet; Wibro), 고속 하향 패킷 접속(High Speed Downlink Packet Access; HSDPA), 광대역 코드 분할 다중 접속(Wideband CDMA; WCDMA), 초광대역 통신(Ultra WideBand; UWB) 등을 포함할 수 있다.

[0096] 도 13은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 데이터 저장 시스템의 구성도이다.

[0097] 도 13을 참조하면, 데이터 저장 시스템(1300)은 데이터 저장을 위한 구성으로 비휘발성 특성을 가지는 저장 장치(1310), 이를 제어하는 컨트롤러(1320), 외부 장치와의 연결을 위한 인터페이스(1330), 및 데이터를 임시 저장하기 위한 임시 저장 장치(1340)를 포함할 수 있다. 데이터 저장 시스템(1300)은 하드 디스크(Hard Disk Drive; HDD), 광학 드라이브(Compact Disc Read Only Memory; CDRom), DVD(Digital Versatile Disc), 고상 디스크(Solid State Disk; SSD) 등의 디스크 형태와 USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 카드 형태일 수 있다.

[0098] 저장 장치(1310)는 데이터를 반 영구적으로 저장하는 비휘발성 메모리를 포함할 수 있다. 여기서, 비휘발성 메모리는, ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.

[0099] 컨트롤러(1320)는 저장 장치(1310)와 인터페이스(1330) 사이에서 데이터의 교환을 제어할 수 있다. 이를 위해 컨트롤러(1320)는 데이터 저장 시스템(1300) 외부에서 인터페이스(1330)를 통해 입력된 명령어들을 처리하기 위한 연산 등을 수행하는 프로세서(1321)를 포함할 수 있다.

[0100] 인터페이스(1330)는 데이터 저장 시스템(1300)과 외부 장치간에 명령 및 데이터 등을 교환하기 위한 것이다. 데이터 저장 시스템(1300)이 카드인 경우, 인터페이스(1330)는, USB(Universal Serial Bus Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 장치에서 사

용되는 인터페이스들과 호환될 수 있거나, 또는, 이들 장치와 유사한 장치에서 사용되는 인터페이스들과 호환될 수 있다. 데이터 저장 시스템(1300)이 디스크 형태일 경우, 인터페이스(1330)는 IDE(Integrated Device Electronics), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), eSATA(External SATA), PCMCIA(Personal Computer Memory Card International Association), USB(Universal Serial Bus) 등과 같은 인터페이스와 호환될 수 있거나, 또는, 이들 인터페이스와 유사한 인터페이스와 호환될 수 있다. 인터페이스(1330)는 서로 다른 타입을 갖는 하나 이상의 인터페이스와 호환될 수도 있다.

[0101] 임시 저장 장치(1340)는 외부 장치와의 인터페이스, 컨트롤러, 및 시스템의 다양화, 고성능화에 따라 인터페이스(1330)와 저장 장치(1310)간의 데이터의 전달을 효율적으로 하기 위하여 데이터를 임시로 저장할 수 있다. 임시 저장 장치(1340)는 전술한 전자 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 임시 저장 장치(1340)는 메모리 셀을 포함할 수 있고, 메모리 셀은 제1 전극; 제2 전극; 상기 제1 전극과 상기 제2 전극의 사이에 위치되고 비정질 상태를 유지하는 칼코게나이드막; 및 상기 칼코게나이드막과 상기 제2 전극의 사이에 위치한 강유전막을 포함할 수 있다. 이를 통해, 임시 저장 장치(1340)의 집적도를 향상시킬 수 있고 동작 특성을 향상시킬 수 있다. 결과적으로, 데이터 저장 시스템(1300)의 동작 특성이 향상될 수 있다.

[0102] 도 14는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 메모리 시스템의 구성도이다.

[0103] 도 14를 참조하면, 메모리 시스템(1400)은 데이터 저장을 위한 구성으로 비휘발성 특성을 가지는 메모리(1410), 이를 제어하는 메모리 컨트롤러(1420), 외부 장치와의 연결을 위한 인터페이스(1430) 등을 포함할 수 있다. 메모리 시스템(1400)은 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 카드 형태일 수 있다.

[0104] 데이터를 저장하는 메모리(1410)는 전술한 전자 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 메모리(1410)는 메모리 셀을 포함할 수 있고, 메모리 셀은 제1 전극; 제2 전극; 상기 제1 전극과 상기 제2 전극의 사이에 위치되고 비정질 상태를 유지하는 칼코게나이드막; 및 상기 칼코게나이드막과 상기 제2 전극의 사이에 위치한 강유전막을 포함할 수 있다. 이를 통해, 메모리(1410)의 집적도를 향상시키고 동작 특성을 향상시킬 수 있다. 결과적으로, 메모리 시스템(1400)의 동작 특성이 향상될 수 있다.

[0105] 더불어, 본 실시예의 메모리는 비휘발성인 특성을 가지는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.

[0106] 메모리 컨트롤러(1420)는 메모리(1410)와 인터페이스(1430) 사이에서 데이터의 교환을 제어할 수 있다. 이를 위해 메모리 컨트롤러(1420)는 메모리 시스템(1400) 외부에서 인터페이스(1430)를 통해 입력된 명령어들을 처리 연산하기 위한 프로세서(1421)를 포함할 수 있다.

[0107] 인터페이스(1430)는 메모리 시스템(1400)과 외부 장치간에 명령 및 데이터 등을 교환하기 위한 것으로, USB(Universal Serial Bus), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 장치에서 사용되는 인터페이스와 호환될 수 있거나, 또는, 이들 장치들과 유사한 장치들에서 사용되는 인터페이스와 호환될 수 있다. 인터페이스(1430)는 서로 다른 타입을 갖는 하나 이상의 인터페이스와 호환될 수도 있다.

[0108] 본 실시예의 메모리 시스템(1400)은 외부 장치와의 인터페이스, 메모리 컨트롤러, 및 메모리 시스템의 다양화, 고성능화에 따라 인터페이스(1430)와 메모리(1410)간의 데이터의 입출력을 효율적으로 전달하기 위한 버퍼 메모리(1440)를 더 포함할 수 있다. 데이터를 임시로 저장하는 버퍼 메모리(1440)는 전술한 전자 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 버퍼 메모리(1440)는 메모리 셀을 포함할 수 있고, 메모리 셀은 제1 전극; 제2 전극; 상기 제1 전극과 상기 제2 전극의 사이에 위치되고 비정질 상태를 유지하는 칼코게나이드막; 및 상기 칼코게나이드막과 상기 제2 전극의 사이에 위치한 강유전막을 포함할 수 있다. 결과적으로, 메모리 시

시스템(1400)의 동작 특성이 향상될 수 있다.

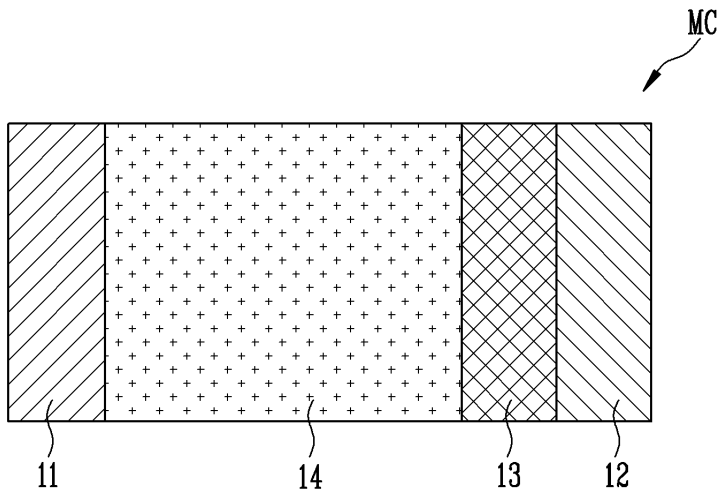
[0109] 더불어, 본 실시예의 버퍼 메모리(1440)는 휘발성인 특성을 가지는 SRAM(Static Random Access Memory), DRAM(Dynamic Random Access Memory), 비휘발성인 특성을 가지는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 더 포함할 수 있다. 이와는 다르게, 버퍼 메모리(1440)는 전술한 실시예의 전자 장치를 포함하지 않고 휘발성인 특성을 가지는 SRAM(Static Random Access Memory), DRAM(Dynamic Random Access Memory), 비휘발성인 특성을 가지는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.

부호의 설명

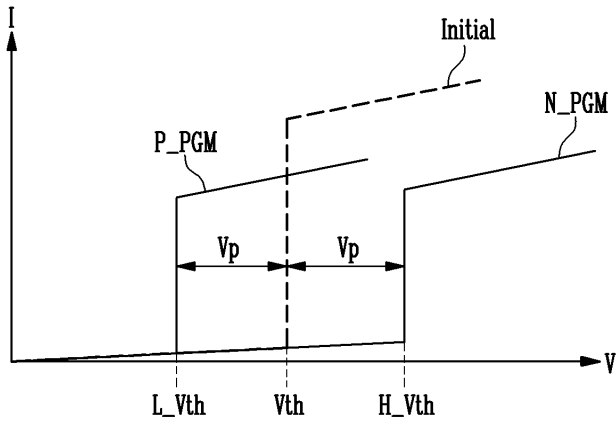
[0110] 11: 제1 전극 12: 제2 전극
 13: 강유전막 14: 스위칭막
 15: 가변 저항막 21: 제1 도전막
 22: 제2 도전막 23: 강유전막
 24: 스위칭막 25: 가변 저항막
 26: 절연막 27: 캡필막

도면

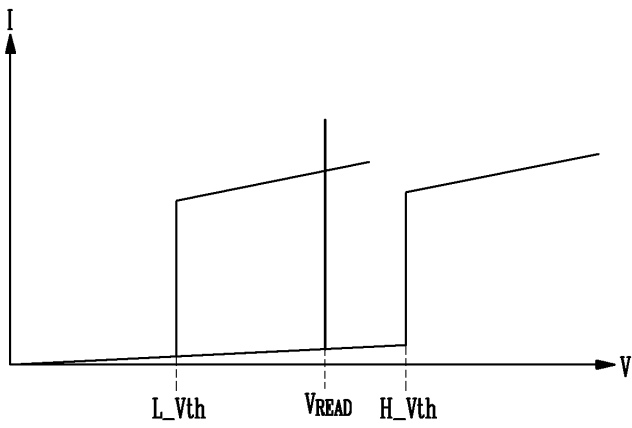
도면1



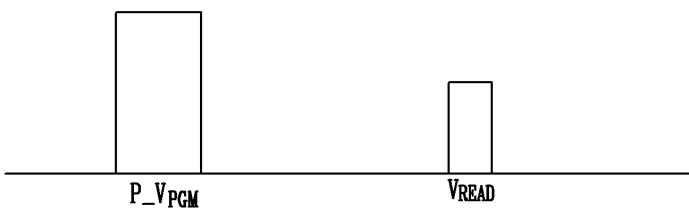
도면2a



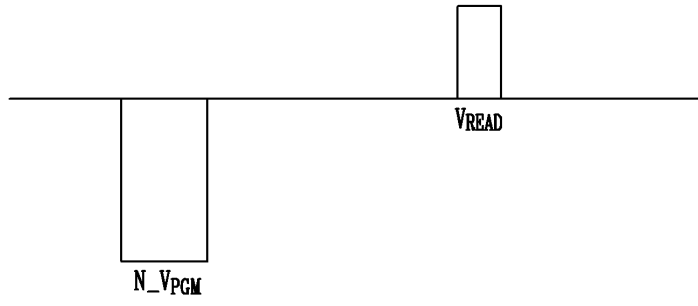
도면2b



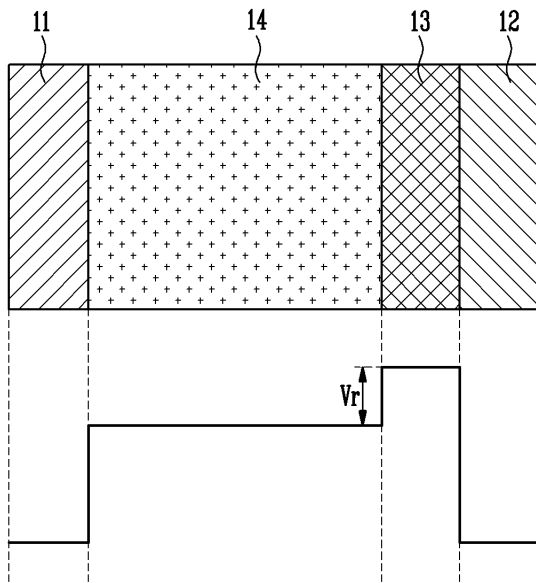
도면3a



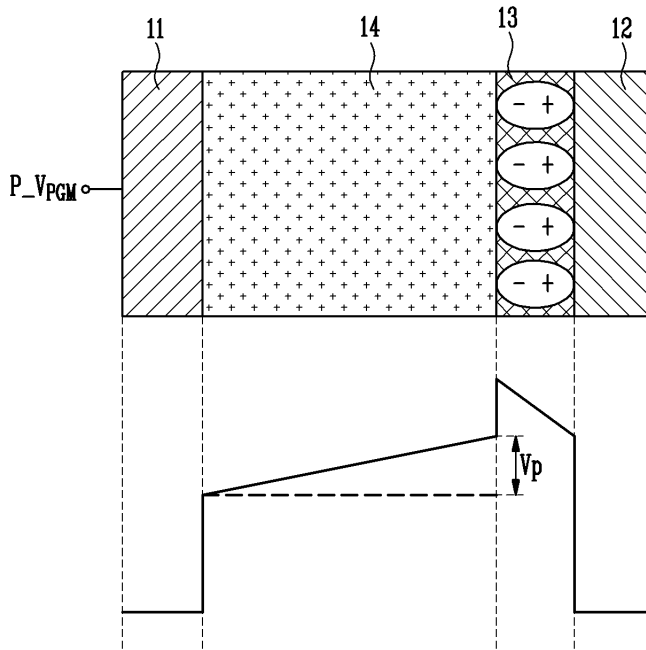
도면3b



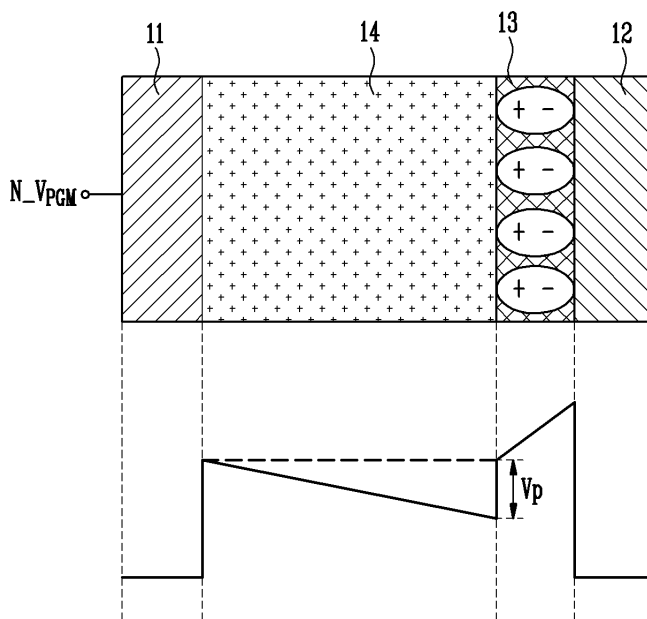
도면4a



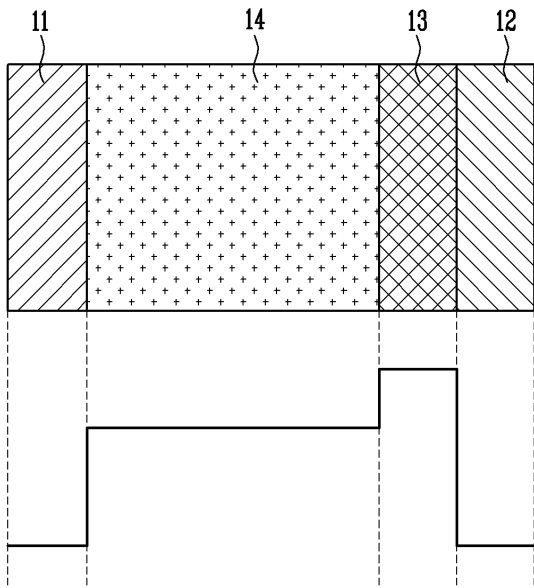
도면4b



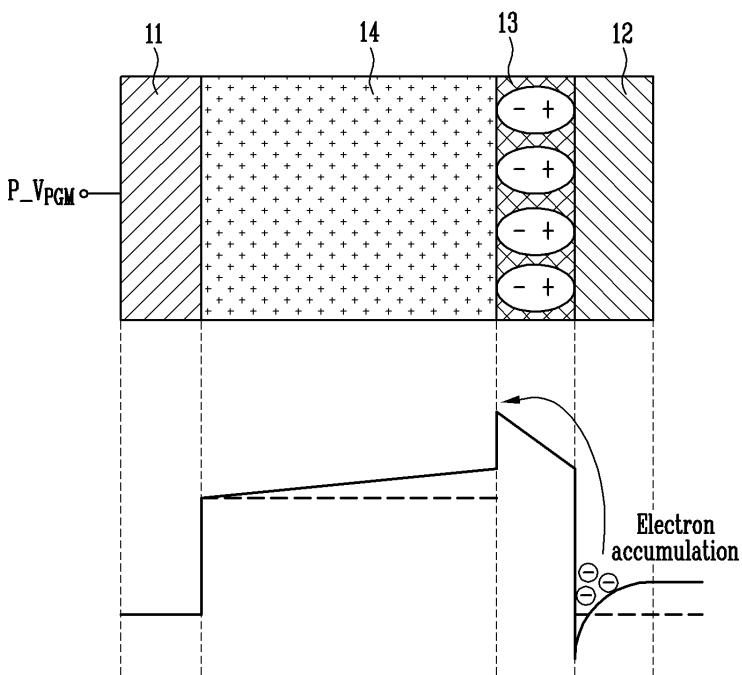
도면4c



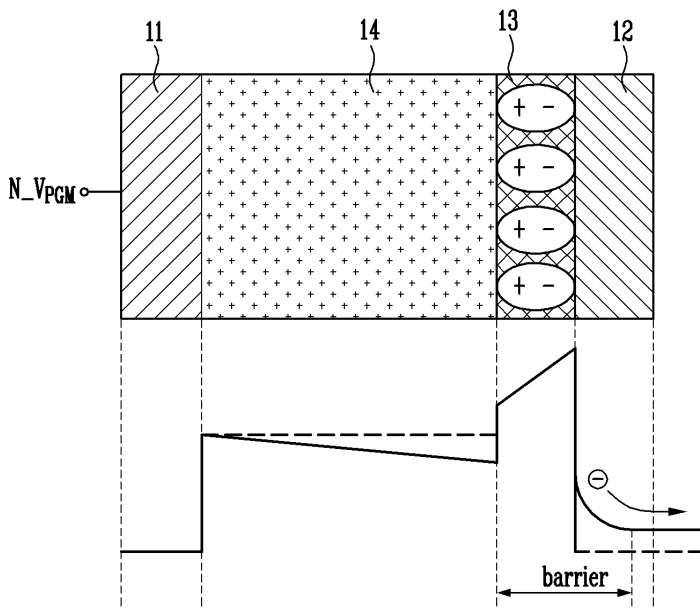
도면5a



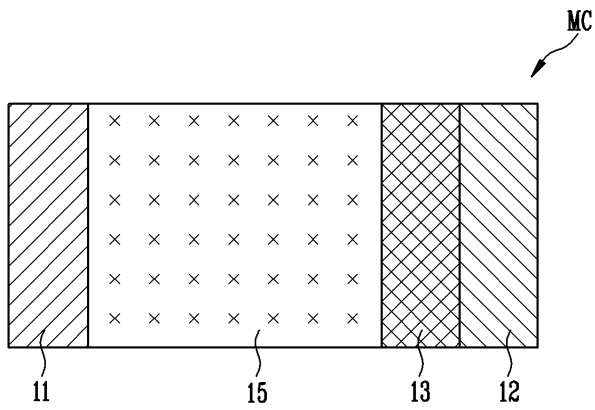
도면5b



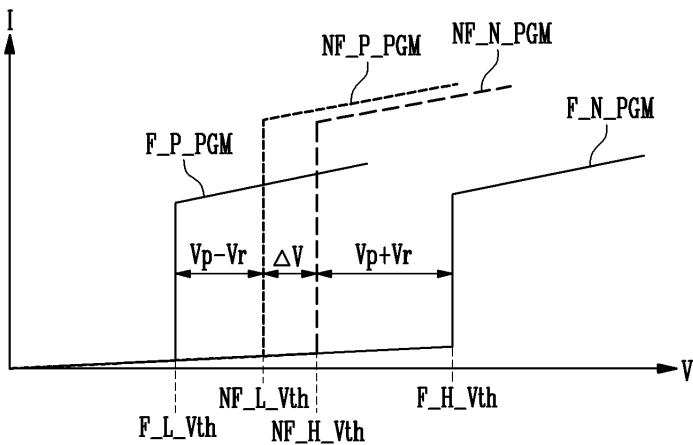
도면5c



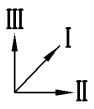
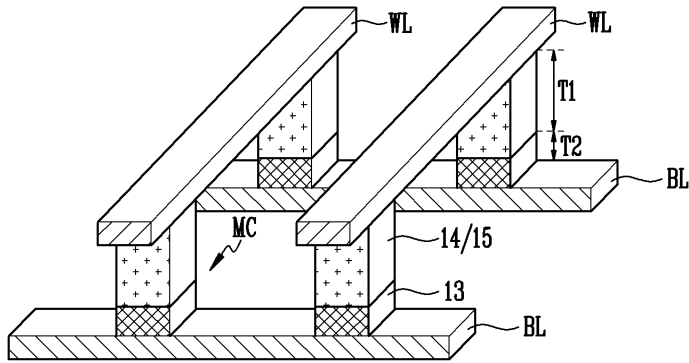
도면6



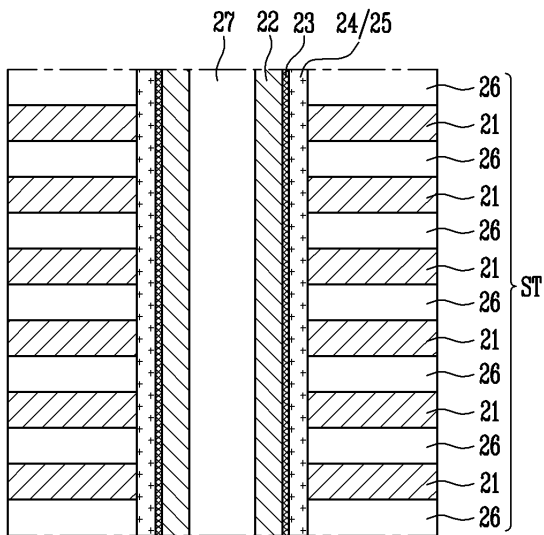
도면7



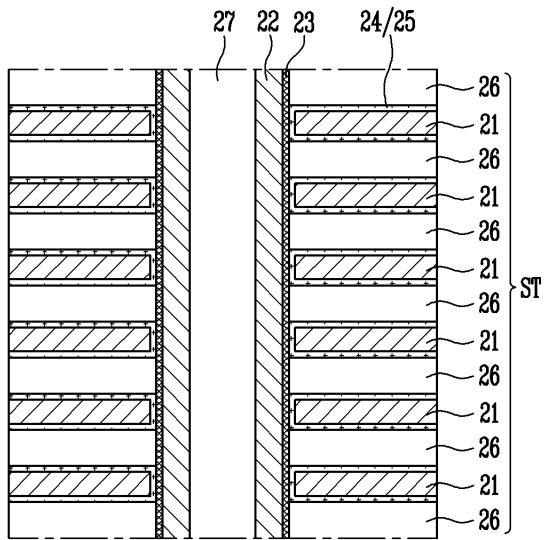
도면8



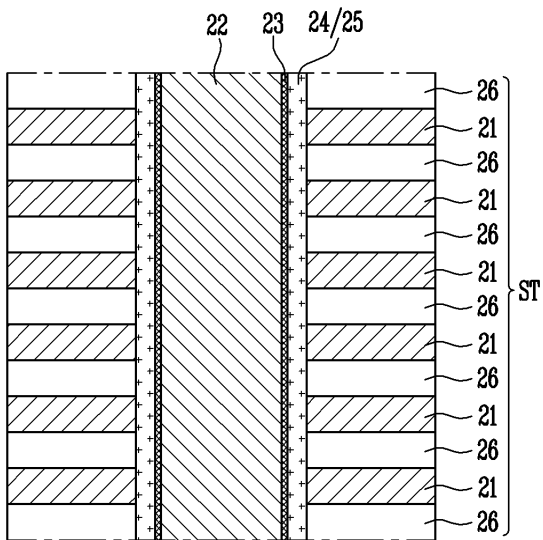
도면9a



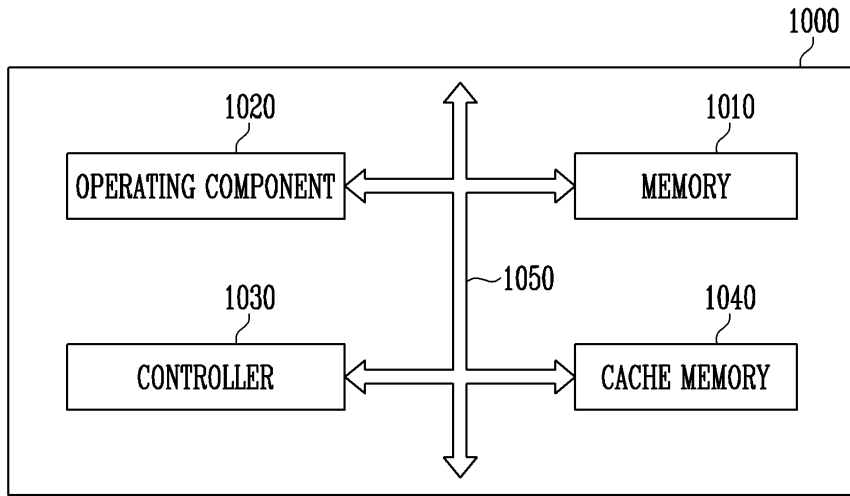
도면9b



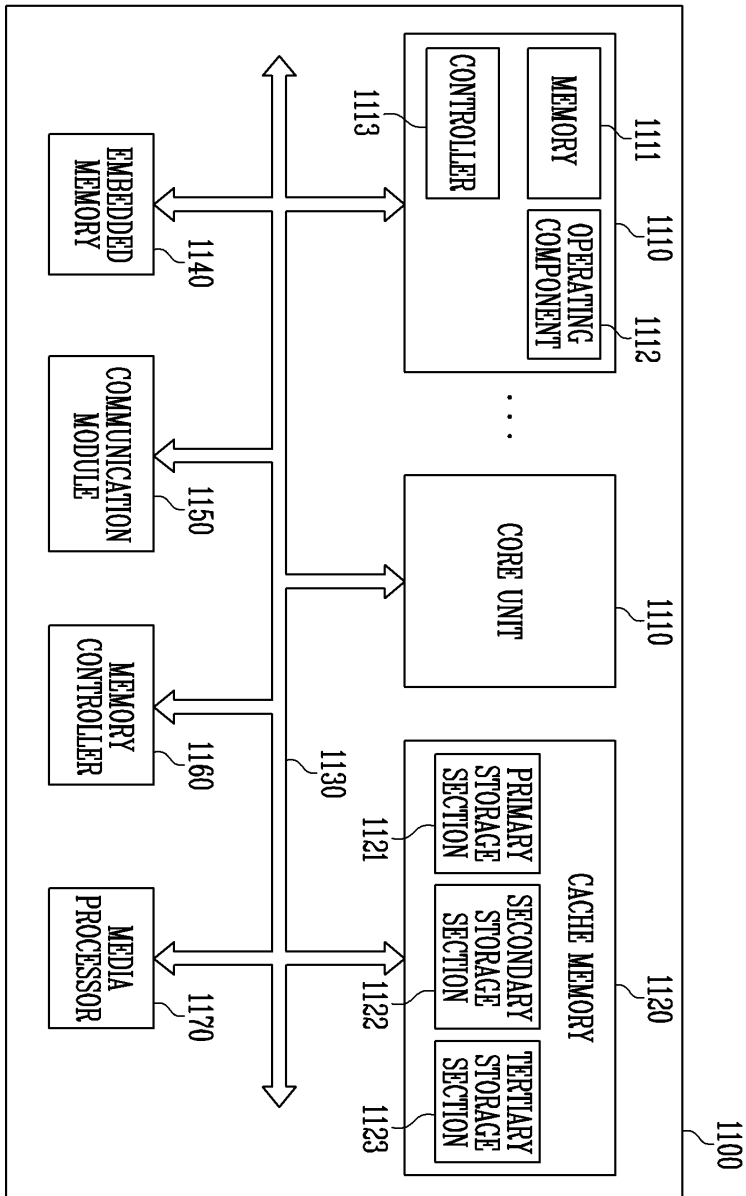
도면9c



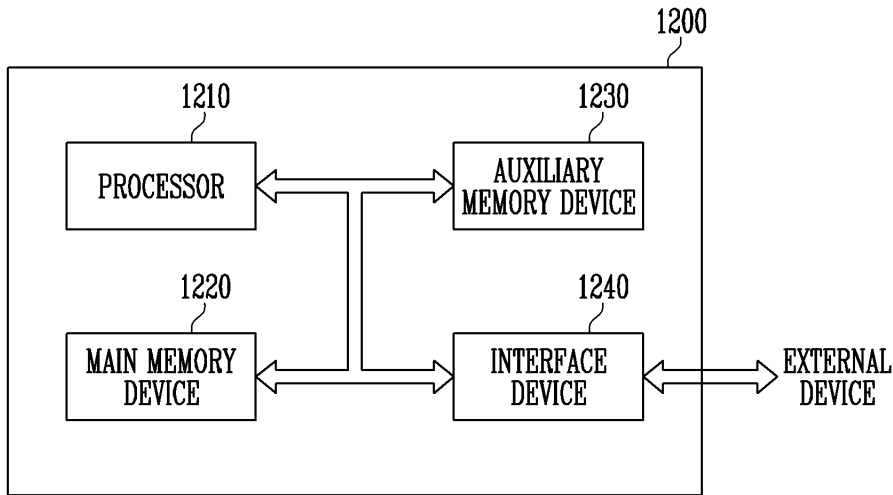
도면10



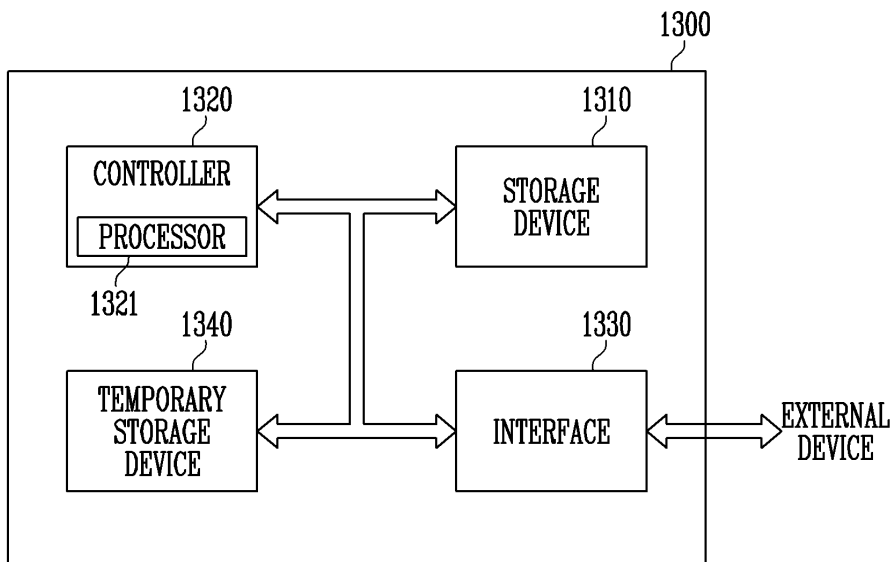
도면11



도면12



도면13



도면14

