



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년05월15일
(11) 등록번호 10-2111730
(24) 등록일자 2020년05월11일

(51) 국제특허분류(Int. Cl.)
H01L 23/14 (2006.01)
(21) 출원번호 10-2014-0000833
(22) 출원일자 2014년01월03일
심사청구일자 2018년10월04일
(65) 공개번호 10-2015-0081147
(43) 공개일자 2015년07월13일
(56) 선행기술조사문헌
JP2005093616 A*
KR1020130101198 A
US05629835 A
US20120018867 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
해성디에스 주식회사
경상남도 창원시 성산구 웅남로 726(성주동)
(72) 발명자
강성일
경상남도 창원시 성산구 창원대로 1204 (성주동)
배인섭
경상남도 창원시 성산구 창원대로 1204 (성주동)
진민석
경상남도 창원시 성산구 창원대로 1204 (성주동)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 1 항

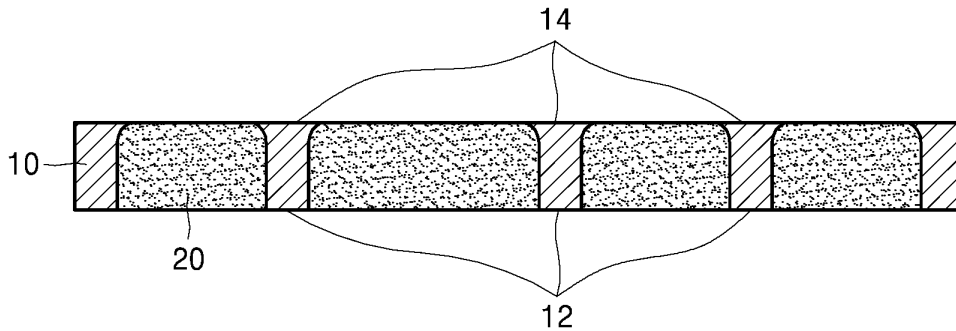
심사관 : 심병로

(54) 발명의 명칭 반도체 패키지 기판 제조방법 및 이를 이용하여 제조된 반도체 패키지 기판

(57) 요약

본 발명은 공정이 단순하면서도 상하부 패턴 얼라인 문제가 해결된 반도체 패키지 기판 제조방법 및 이를 이용하여 제조된 반도체 패키지 기판을 위하여, 전도성 소재의 베이스기판의 일면에 홈 또는 트렌치를 형성하는 단계와, 홈 또는 트렌치를 수지로 충전하는 단계와, 홈 또는 트렌치를 채운 수지가 드러나도록 베이스기판의 타면을 식각하는 단계를 포함하는, 반도체 패키지 기판 제조방법 및 이를 이용하여 제조된 반도체 패키지 기판을 제공한다.

대표도 - 도5



명세서

청구범위

청구항 1

전도성 소재의 베이스기판의 일면에 홈 또는 트렌치를 형성하는 단계;

홈 또는 트렌치를 수지로 충전하는 단계;

베이스기판의 일면에서 베이스기판의 일면의 잔존하는 부분이 수지의 외측면보다 돌출되도록 황산 베이스의 에칭액을 이용해 수지의 외측면의 일부를 제거하는 단계; 및

홈 또는 트렌치를 채운 수지가 드러나도록 베이스기판의 타면을 식각하는 단계;를 포함하고,

상기 베이스기판의 타면을 식각하는 단계는, 베이스기판의 타면의 일측 가장자리로부터 타측 가장자리까지의 전체 표면을 제거하도록 전면(全面)식각하는 단계이고,

상기 베이스기판의 타면을 식각하는 단계는, 베이스기판의 일면의 수지 사이 부분의 패턴과, 베이스기판의 타면의 수지 사이 부분의 패턴이 동일하도록, 베이스기판의 타면을 식각하는 단계인, 반도체 패키지 기판 제조방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 반도체 패키지 기판 제조방법 및 이를 이용하여 제조된 반도체 패키지 기판에 관한 것으로서, 더 상세하게는 공정이 단순하면서도 상하부 패턴 얼라인 문제가 해결된 반도체 패키지 기판 제조방법 및 이를 이용하여 제조된 반도체 패키지 기판에 관한 것이다.

배경 기술

[0002] 반도체 소자는 반도체 패키지 기판에 패키징되어 사용되는바, 이러한 패키징을 위해 사용되는 반도체 패키지 기판은 미세 회로 패턴 및/또는 I/O단자들을 갖는다. 반도체 소자의 고성능화 및/또는 고집적화, 그리고 이를 이용한 전자기기의 소형화 및/또는 고성능화 등이 진행됨에 따라 반도체 패키지 기판의 미세 회로 패턴 등은 그 선폭이 더 좁아지고 복잡도 역시 높아지고 있다.

[0003] 기존의 반도체 패키지 기판 제조시에는 동박(Copper Foil)이 적층된 CCL(Copper Clad Laminate)를 이용해 관통홀을 형성하고 관통홀 내면을 도금하여 상면동박과 하면동박을 전기적으로 연결하며 이후 상면동박과 하면동박을 각각 포토레지스트를 이용해 패터닝하는 등의 과정을 거쳐 제조하였다. 그러나 이러한 종래의 반도체 패키지 기판 제조방법에는 제조공정이 복잡하고 정밀도가 낮다는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 공정이 단순하면서도 상하부 패턴 얼라인 문제가 해결된 반도체 패키지 기판 제조방법 및 이를 이용하여 제조된 반도체 패키지 기판을 제

공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

- [0005] 본 발명의 일 관점에 따르면, 전도성 소재의 베이스기판의 일면에 홈 또는 트렌치를 형성하는 단계와, 홈 또는 트렌치를 수지로 충전하는 단계와, 홈 또는 트렌치를 채운 수지가 드러나도록 베이스기판의 타면을 식각하는 단계를 포함하는, 반도체 패키지 기판 제조방법이 제공된다.
- [0006] 상기 베이스기판의 타면을 식각하는 단계는, 베이스기판의 타면의 일측 가장자리로부터 타측 가장자리까지의 전체 표면을 제거하도록 베이스기판의 타면을 전면(全面)식각하는 단계일 수 있다. 나아가 상기 베이스기판의 타면을 식각하는 단계는, 베이스기판의 일면의 수지 사이 부분의 패턴과, 베이스기판의 타면의 수지 사이 부분의 패턴이 동일하도록, 베이스기판의 타면을 식각하는 단계일 수 있다.
- [0007] 본 발명의 다른 일 관점에 따르면, 상기와 같은 제조방법들로 제조된 반도체 패키지 기판이 제공된다.
- [0008] 전술한 것 외의 다른 측면, 특징, 이점은 이하의 발명을 실시하기 위한 구체적인 내용, 특허청구범위 및 도면으로부터 명확해질 것이다.

발명의 효과

- [0009] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따르면, 공정이 단순하면서도 상하부 패턴 얼라인 문제가 해결된 반도체 패키지 기판 제조방법 및 이를 이용하여 제조된 반도체 패키지 기판을 구현할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

- [0010] 도 1 내지 도 5는 본 발명의 일 실시예에 따른 반도체 패키지 기판 제조방법의 공정들을 개략적으로 도시하는 단면도들이다.
 도 6은 본 발명의 다른 일 실시예에 따른 반도체 패키지 기판 제조방법에 의해 제조된 반도체 패키지 기판의 일부를 개략적으로 도시하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0012] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0013] 이하의 실시예에서 층, 막, 영역, 판 등의 각종 구성요소가 다른 구성요소 "상에" 있다고 할 때, 이는 다른 구성요소 "바로 상에" 있는 경우뿐 아니라 그 사이에 다른 구성요소가 개재된 경우도 포함한다. 또한 설명의 편의를 위하여 도면에서는 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0014] 도 1 내지 도 5는 본 발명의 일 실시예에 따른 반도체 패키지 기판 제조방법의 공정들을 개략적으로 도시하는 단면도들이다. 본 실시예에 따른 반도체 패키지 기판 제조방법에 따르면, 먼저 도 1에 도시된 것과 같이 전도성 소재의 베이스기판(10)을 준비한다. 베이스기판(10)은 전기 전도성 물질을 포함하는 평판 형상을 가질 수 있다. 전기 전도성 물질로는 예컨대 Fe나, Fe-Ni, Fe-Ni-Co 등과 같은 Fe합금, Cu나, Cu-Sn, Cu-Zr, Cu-Fe, Cu-Zn 등과 같은 Cu합금 등을 포함할 수 있다.
- [0015] 이와 같은 전도성 소재의 베이스기판(10)을 준비한 후, 상호 반대쪽인 일면(10a)과 타면(10b) 중 일면(10a)에 도 2에 도시된 것과 같이 홈 또는 트렌치(10c)를 형성한다. 여기서 홈 또는 트렌치(10c)라 함은, 베이스기판(10)을 완전히 관통하지 않는다는 것을 의미한다. 도 2는 단면도이기에 나타나지 않으나, 베이스기판(10)의 일면(10a)의 홈 또는 트렌치(10c)를 제외한 부분은 평면도 상에서는 일 방향으로 연장된 또는 구불구불한 배선패

턴으로 이해될 수 있다.

- [0016] 이와 같은 홈 또는 트렌치(10c)를 형성하기 위해, 감광성 소재의 DFR(Dry Film Resist)을 베이스기판(10)의 일면(10a) 상에 라미네이팅하고, 노광 및 현상 등의 과정을 거쳐 베이스기판(10)의 홈 또는 트렌치(10c)가 형성될 부분만이 노출되도록 한다. 이후 베이스기판(10)의 일면(10a) 중 DFR이 덮이지 않은 부분을 염화동 또는 염화철과 같은 에칭액을 이용해 식각함으로써, 도 2에 도시된 것과 같이 베이스기판(10)을 관통하지 않도록 일면(10a)에 형성된 홈 또는 트렌치(10c)를 형성할 수 있다.
- [0017] 베이스기판(10)의 일면(10a)에 있어서 제거되지 않고 남은 부분, 즉 홈 또는 트렌치(10c) 이외의 부분은 추후 배선패턴의 역할을 할 수 있다. 따라서 베이스기판(10)의 일면(10a)에 홈 또는 트렌치(10c)를 형성할 시, 인접한 홈과 홈 사이 또는 트렌치와 트렌치 사이의 부분의 폭은 통상적인 배선패턴의 폭인 대략 20 μ m 내지 30 μ m가 되도록 하는 것이 바람직하다.
- [0018] 도 2에 도시된 것과 같이 베이스기판(10)의 일면(10a) 상에 홈 또는 트렌치(10c)를 형성할 시, 홈 또는 트렌치(10c)의 깊이는 베이스기판(10)의 두께의 대략 80% 내지 90%가 되도록 하는 것이 바람직하다. 예컨대 베이스기판(10)의 홈 또는 트렌치(10c)가 형성된 부분의 잔존하는 두께는 10 μ m 내지 40 μ m가 될 수 있다.
- [0019] 만일 홈 또는 트렌치(10c)의 깊이가 이보다 더 깊어진다면, 반도체 패키지 기판 제조과정이나 추후 패키징 과정에서 베이스기판(10)이나 반도체 패키지 기판의 핸들링이 용이하지 않을 수 있다. 또한 홈 또는 트렌치(10c)의 깊이가 이보다 더 깊어진다면, 경우에 따라 홈 또는 트렌치(10c)를 형성함에 있어서 공차 등에 의해 베이스기판(10)의 일면(10a)과 타면(10b)을 관통하는 관통홀이 형성될 수도 있다. 한편, 홈 또는 트렌치(10c)의 깊이가 이보다 얇게 된다면, 이는 추후 반도체 패키지 기판을 제조함에 있어서 후속공정이 용이하지 않거나 최종적으로 제조되는 반도체 패키지 기판의 두께가 지나치게 얇아질 수 있다. 이에 대해서는 후술한다.
- [0020] 이후, 도 3에 도시된 것과 같이 베이스기판(10)의 홈 또는 트렌치(10c)를 수지(20)로 충전한다. 수지(20)는 전기적으로 도통되지 않은 절연성 소재로 이루어진 것이면 충분하다. 예컨대 수지(20)는 열처리에 의해 고분자화되어 경화되는 열경화성 수지일 수 있다. 이러한 수지(20)는 추후 반도체 패키지 기판의 배선패턴들 사이를 전기적으로 절연하는 역할을 한다. 수지(20)의 충전은 액상의 수지물질을 이용하여 이루어질 수도 있고, 수지 성분을 포함하는 고상의 테이프를 이용하여 이루어질 수도 있다. 수지(20)를 충전한 후에는 필요에 따라 오븐에서 수지(20)를 열경화시키는 과정을 거칠 수도 있다.
- [0021] 수지(20)를 충전할 시, 도 3에 도시된 것과 같이 수지(20)가 베이스기판(10)의 홈 또는 트렌치(10c)만을 채우는 것이 아니라 베이스기판(10)의 일면(10a)의 적어도 일부를 덮을 수도 있다. 이와 같이 수지(20)가 과도포된 경우에는 과도포된 수지(20)를 브러싱, 연삭 또는 연마와 같은 기계적인 가공에 의해 제거하거나 또는 화학적인 수지 에칭(Resin Etching)에 의해 제거함으로써, 도 4에 도시된 것과 같이 수지(20)가 베이스기판(10)의 홈 또는 트렌치(10c) 내에만 위치하도록 할 수 있다.
- [0022] 이후, 도 5에 도시된 것과 같이 홈 또는 트렌치(10c)를 채운 수지(20)가 드러나도록 베이스기판(10)의 타면(10b)을 식각한다. 베이스기판(10)의 타면(10b)을 식각할 때는 베이스기판(10)의 일면(10a)을 식각할 때와 달리 DFR 등을 이용하지 않고 베이스기판(10)의 타면(10b)을 전면(全面)식각한다. 따라서 베이스기판(10)의 타면(10b) 식각공정은 패터닝 공정 등을 거치지 않으므로 매우 용이하고 신속하게 진행될 수 있다. 이를 위해 염화동, 염화철, 황산과수 베이스의 에칭액을 사용할 수 있다. 이와 같은 식각에 따라, 도 5에 도시된 것과 같이 베이스기판(10)의 타면에도 일면의 수지(20) 사이의 배선패턴(12)과 동일/유사한 배선패턴(14)이 나타난다.
- [0023] 반도체 패키지 기판의 경우 상면 상의 도전패턴과 하면의 도전패턴이 전기적으로 연결되며, 따라서 상면의 도전층 패터닝과 하면의 도전층 패터닝이 사전설정된 대로 이루어져야 한다. 종래의 반도체 패키지 기판 제조방법에 따르면 하면의 도전층을 패터닝한 후 상면의 도전층을 패터닝할 시, 상면의 도전층 패터닝을 위해 포토레지스트를 도포하고 노광 및 현상 등을 하는 과정에 있어서, 이 과정에 사용되는 마스크 등과 그 이전에 패터닝된 하면의 패터닝된 도전층과의 정확한 얼라인 등이 필요하다.
- [0024] 그러나 본 실시예에 따른 반도체 패키지 기판 제조방법에 따르면, 베이스기판(10)의 타면(10b)을 식각할 시 베이스기판(10)의 일면(10a)을 식각할 시와 달리 DFR 등을 이용하지 않고 베이스기판(10)의 타면(10b)을 전면(全面)식각한다. 따라서 본 실시예에 따른 반도체 패키지 기판 제조방법에 따르면, 베이스기판(10)의 타면(10b)을 식각할 시 정밀한 얼라인 등이 필요하지 않기에 용이하고 신속하게 식각이 진행되도록 할 수 있으며, 아울러 제조수율 역시 획기적으로 높일 수 있다.
- [0025] 이와 같이 제조된 반도체 패키지 기판의 경우, 도 5에 도시된 것과 같이 베이스기판(10)의 일면(10a)의 수지

(20) 사이 부분의 패턴(12)과, 베이스기판(10)의 타면(10b)의 수지(20) 사이 부분의 패턴(14)이 동일하게 된다.

[0026] 한편, 도 2를 참조하여 전술한 것과 같이 베이스기판(10)의 일면(10a) 상에 홈 또는 트렌치(10c)를 형성할 시, 홈 또는 트렌치(10c)의 깊이는 베이스기판(10)의 두께의 대략 80% 내지 90%가 되도록 하는 것이 바람직하다. 만일 홈 또는 트렌치(10c)의 깊이가 이보다 얇게 된다면, 베이스기판(10)의 타면(10b)을 전면 식각할 시 베이스기판(10)의 타면(10b)을 상당히 많이 식각해야만 수지(20)가 드러나게 된다. 베이스기판(10)의 타면(10b)을 상당히 많이 식각해야 한다면, 이는 제조에 소요되는 시간의 증가를 가져오게 되며, 한편으로는 이미 패턴닝이 완료된 베이스기판(10)의 일면(10a)이 손상되는 결과를 가져올 수도 있다. 따라서 홈 또는 트렌치(10c)의 깊이가 이보다 얇지 않도록 하는 것이 바람직하다.

[0027] 물론 필요에 따라 추가적인 공정을 더 거칠 수도 있다. 예컨대 베이스기판(10)의 잔존하는 부분의 적어도 일부를 Au, Pd 등을 이용해 도금하거나, 베이스기판(10)의 잔존하는 부분의 적어도 일부에 OSP(organic solderbility preservative)코팅이 이루어지도록 할 수 있다. 이는 베이스기판(10)의 잔존하는 부분의 솔더 접착력을 높이기 위함이다.

[0028] 도 6은 본 발명의 다른 일 실시예에 따른 반도체 패키지 기판 제조방법에 의해 제조된 반도체 패키지 기판의 일부를 개략적으로 도시하는 단면도이다. 도 6에 도시된 것과 같이, 베이스기판(10)의 일면에 있어서 베이스기판(10)의 일면의 잔존하는 부분(볼 랜드 면, ball land surface)이 수지(20)의 외측면이 보다 돌출되도록 할 수 있다. 이를 통해 베이스기판(10)의 일면의 잔존하는 부분에 추후 솔더볼을 접착할 시, 솔더볼과 베이스기판(10)의 일면의 잔존하는 부분의 접착이 확실하게 이루어지도록 할 수 있다.

[0029] 이를 위해, 황산 베이스의 에칭액을 이용할 수 있다. 즉, 황산 베이스에 에칭액을 이용해 수지(20)의 외측면의 일부를 제거함으로써, 베이스기판(10)의 일면에 있어서 베이스기판(10)의 일면의 잔존하는 부분이 수지(20)의 외측면이 보다 돌출되도록 할 수 있다. 이와 같이 황산 베이스의 에칭액을 이용하여 수지(20)의 외측면의 일부를 제거하는 것은 베이스기판(10)의 타면(10b)을 식각하기 전에 이루어지도록 할 수 있다. 만일 홈 또는 트렌치(10c)를 채운 수지(20)가 드러나도록 베이스기판(10)의 타면(10b)을 식각한 후에 베이스기판(10)의 일면(10a)에 있어서 수지(20)의 외측면 일부를 제거하게 되면, 이 과정에서 베이스기판(10)의 타면(10b)의 패턴닝이 손상되거나 타면(10b)에 있어서 수지(20)의 외측면까지 제거되는 등의 문제점이 발생할 수 있기 때문이다.

[0030] 지금까지는 반도체 패키지 기판 제조방법에 대해 설명하였으나, 본 발명이 이에 한정되는 것은 아니다. 예컨대 이와 같은 제조방법을 이용해 제조된 반도체 패키지 기판 역시 본 발명의 범위에 속한다고 할 것이다.

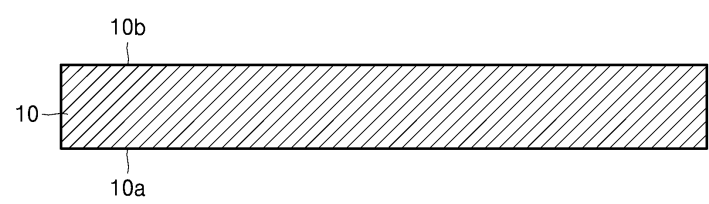
[0031] 이와 같이 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

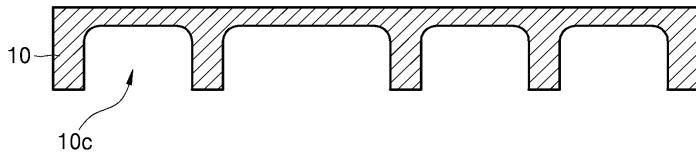
- [0032] 10: 베이스기판 10a: 베이스기판의 일면
- 10b: 베이스기판의 타면 10c: 홈 또는 트렌치
- 20: 수지

도면

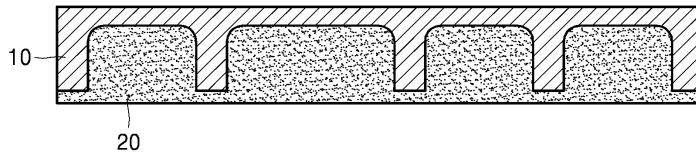
도면1



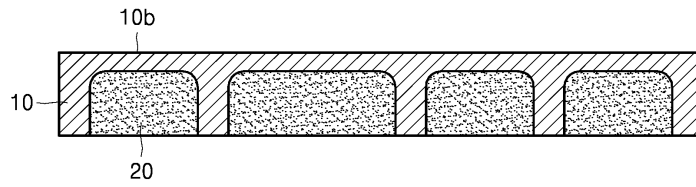
도면2



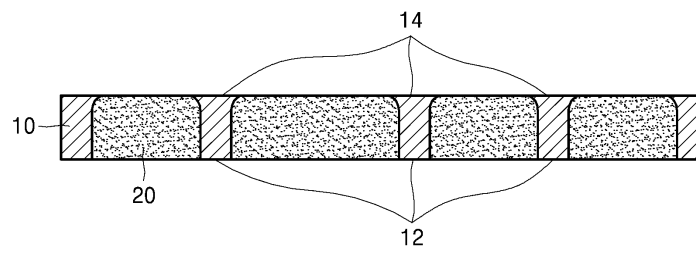
도면3



도면4



도면5



도면6

