

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/108 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년07월28일 10-0604555 2006년07월18일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2001-0035569 2001년06월21일	(65) 공개번호 (43) 공개일자	10-2002-0096745 2002년12월31일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	김동현 경기도이천시부발읍응암리이화아파트103-1305  최봉호 서울특별시광진구광장동현대9차아파트904-1402  조용태 경기도이천시증포동선경아파트202-1501호
(74) 대리인	신영무

심사관 : 조지은

(54) 반도체 소자의 커패시터 제조 방법

요약

본 발명은 반도체 소자의 커패시터 제조 방법에 관한 것으로, 전하 저장 전극이 형성될 콘택홀 저면의 식각 프로파일이 수직이 되도록 하기 위하여 층간 절연막에 불순물을 도핑시키되 층간 절연막 상부와 하부의 도핑 농도 차이를 조절하여 식각 공정 시 층간 절연막의 상부보다 하부의 식각 속도를 더 빠르게 하므로써 층간 절연막의 식각 프로파일이 수직이 되도록 하고, 이에 따라 하부 전극이 형성될 영역을 최대한으로 확보하여 커패시터의 정전 용량이 저하되는 것을 방지할 수 있는 반도체 소자의 커패시터 제조 방법이 개시된다.

대표도

도 2a

색인어

커패시터, 정전용량, 다층 절연막, 도핑 농도, 식각 속도, 식각 프로파일

명세서

도면의 간단한 설명

도 1a 및 도 1b는 종래 기술에 따른 반도체 소자의 커패시터 제조 방법을 설명하기 위한 소자의 단면도.

도 2a 및 도 2e는 본 발명에 따른 반도체 소자의 커패시터 제조 방법을 설명하기 위한 소자의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

11, 21 : 반도체 기판 12, 22 : 층간 절연막

13, 23 : 전하 저장 전극 플러그 14, 24 : 제 2 층간 절연막

15 : 식각면 24a : 제 1 절연막

24b : 제 2 절연막 24c : 제 3 절연막

25 : 감광막 패턴 26 : 콘택홀

27 : 전하 저장 전극

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 커패시터 제조 방법에 관한 것으로, 특히 전하 저장 전극이 형성될 콘택홀의 식각 형태를 조절하여 커패시터의 정전 용량이 저하되는 것을 방지할 수 있는 반도체 소자의 커패시터 제조 방법에 관한 것이다.

반도체 소자의 셀 사이즈가 미세화됨에 따라, 필요한 전하 저장 용량을 확보하기 위하여 전하 저장 전극의 높이가 점점 높아진다.

일반적인 커패시터의 제조 공정을 간략하게 설명하면 다음과 같다.

도 1a 및 도 1b는 종래 기술에 따른 반도체 소자의 커패시터 제조 방법을 설명하기 위한 소자의 단면도이다.

도 1a를 참조하면, 통상의 공정을 통해 반도체 소자를 형성하기 위한 여러 요소가 형성된 반도체 기판(11) 상에 층간 절연막(12)을 형성한 후 소정 영역의 층간 절연막(12)을 식각하여 반도체 기판(11)의 접합 영역을 노출시킨다. 층간 절연막(12)이 제거된 영역에는 전도성 물질을 매립하여 전하 저장 전극 플러그(13)를 형성한다. 이후 전체 상부에 제 2 층간 절연막(14)을 형성한 후 커패시터의 전하 저장 전극이 형성될 영역의 제 2 층간 절연막(14)을 제거한다. 제 2 층간 절연막(14)이 식각 공정으로 제거되면서 전하 저장 전극 플러그(13)의 상부 표면이 노출된다.

이때, 커패시터의 정전 용량을 확보하기 위하여는 전하 저장 전극을 높게 형성해야 하므로 제 2 층간 절연막(14)도 두껍게 형성된다. 이로 인해, 커패시터의 전하 저장 전극이 형성될 영역의 제 2 층간 절연막(14)을 제거하는 과정에서, 일정 깊이 이상에서는 식각시 발생하는 폴리머의 제거 속도가 저하되므로, 제 2 층간 절연막(14)의 식각 형태는 전하 저장 전극 플러그(13)에 가까워질수록 폭이 좁아진다. 결국, 제 2 층간 절연막(14)의 하부 식각면에는 경사면(15)이 발생된다.

도 1b를 참조하면, 소정 영역의 제 2 층간 절연막(14)이 제거되고 전하 저장 전극 플러그(13)가 노출되면, 전하 저장 전극 플러그(13)를 포함한 전체 상부에 전도성 물질을 형성한 후 화학적 기계적 연마 공정과 같은 평탄화 공정을 실시하여 제 2 층간 절연막(14) 상부의 전도성 물질을 제거한다. 이로써, 서로 독립된 다수의 전하 저장 전극(16)이 형성된다.

전하 저장 전극 플러그(13)와 가까운 부분의 전하 저장 전극(B)은 제 2 층간 절연막(14)이 좁게 식각됨에 따라 V자 형태로 형성되어 수직 형태로 형성되었을 때보다 정전 용량의 손실이 줄어든다. 또한, 전하 저장 전극 플러그(13)와 전하 저장 전극(16)과의 접촉 면적도 줄어들어 저항 성분이 증가되므로 전체적인 커패시터의 전기적 특성이 저하된다.

## 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기의 문제점을 해결하기 위하여 층간 절연막에 불순물을 도핑시키되 층간 절연막 상부와 하부의 도핑 농도 차이를 조절하여 식각 공정 시 층간 절연막의 상부보다 하부의 식각 속도를 더 빠르게 하므로써 층간 절연막의 식각 프로파일이 수직이 되도록 하고, 이에 따라 하부 전극이 형성될 영역을 최대한으로 확보하여 커패시터의 정전 용량이 저하되는 것을 방지할 수 있는 반도체 소자의 커패시터 제조 방법을 제공하는데 그 목적이 있다.

## 발명의 구성 및 작용

본 발명에 따른 반도체 소자의 커패시터 제조 방법은

통상의 공정을 통해 반도체 소자를 형성하기 위한 여러 요소가 형성된 반도체 기판 상에 불순물의 도핑 농도가 각기 다른 다수의 절연층이 도핑 농도가 높은 순서부터 순차적으로 적층되어 이루어지는 층간 절연막이 형성되는 제 1 단계, 식각 공정으로 층간 절연막의 소정 영역을 제거하는 제 2 단계, 습식 세정을 실시하는 제 3 단계, 전체 상부에 전도성 물질을 형성한 후 평탄화 공정을 실시하여 서로 독립된 다수의 전하 저장 전극을 형성하는 제 4 단계 및 전체 상부에 유전체막 및 상부 전극을 형성하는 제 5 단계로 이루어지는 것을 특징으로 한다.

불순물로는 붕소 또는 인을 사용하며, 다수의 절연층들은 BPSG 또는 PSG로 형성한다.

제 2 단계는 절연층을 형성하면서 불순물을 공급하여 제 1 절연층을 형성한 후 제 1 절연층을 형성하면서 공급된 불순물의 양보다 적은 양의 불순물을 공급하여 제 1 절연층보다 낮은 농도의 제 2 절연층을 형성하며, 새로운 절연층을 형성할 때마다 공급되는 불순물의 양을 줄여 하부의 절연층보다 낮은 농도의 절연층을 형성시켜 목표 두께의 상기 층간 절연막을 형성한다.

또는, 제 2 단계는 절연층을 형성한 후 불순물을 이온 주입하여 제 1 절연층을 형성한 후 제 1 절연층을 형성하면서 주입된 불순물의 양보다 적은 양의 불순물을 주입하여 제 1 절연층보다 낮은 농도의 제 2 절연층을 형성하며, 새로운 절연층을 형성할 때마다 주입되는 불순물의 양을 줄여 하부의 절연층보다 낮은 농도의 절연층을 형성시켜 목표 두께의 상기 층간 절연막을 형성한다.

습식 세정은 산화물 식각 용액인 BOE 또는 HF 용액을 이용하여 실시한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명하기로 한다.

도 2a 및 도 2e는 본 발명에 따른 반도체 소자의 커패시터 제조 방법을 설명하기 위하여 순차적으로 도시한 소자의 단면도이다.

도 2a를 참조하면, 통상의 공정을 통해 반도체 소자를 형성하기 위한 여러 요소가 형성된 반도체 기판(21) 상에 제 1 층간 절연막(22)을 형성한 후 소정 영역의 제 1 층간 절연막(22)을 식각하여 반도체 기판(21)의 접합 영역을 노출시킨다. 제 1 층간 절연막(22)이 제거된 영역에는 전도성 물질을 매립하여 전하 저장 전극 플러그(23)를 형성한다. 이후 전체 상부에 상부보다 하부에 불순물이 더 많이 도핑된 제 2 층간 절연막(24)을 형성한다. 제 2 층간 절연막(24)은 제 1 내지 제 3 절연막(24a 내지 24c)을 순차적으로 형성하여 목표 두께의 제 2 층간 절연막(24)을 형성한다.

제 1 내지 제 3 절연막(24a 내지 24c)은 BPSG막 또는 PSG막으로 형성한다. 제 1 내지 제 3 절연막(24a 내지 24c)에는 각각 불순물이 포함되며, 전하 저장 전극 플러그(23)와 가장 가까이 하부에 형성되는 제 1 절연막(24a)의 불순물 농도가 가장 높고 상부에 형성되는 제 3 절연막(24c)의 불순물 농도가 가장 낮도록 형성한다.

각각의 층간 절연막에 불순물을 도핑시키는 방법을 설명하면 다음과 같다.

각각의 절연막(24a 및 24c)은 통상의 공정으로 형성되며, 절연막을 형성하는 과정에서 인(P)이나 붕소(B) 등의 불순물을 공급하여 절연막에 불순물이 도핑되도록 한다. 이때, 절연막 형성 시 공급되는 불순물의 양을 조절하여 각각의 절연막의 도핑 레벨을 조절한다. 즉, 제 1 절연막(24a)을 형성할 때에는 제 2 및 제 3 절연막(24b 및 24c)을 형성할 때 공급되는 불

순물의 양보다 더 많이 공급한다. 제 2 절연막(24b)을 형성할 때에는 제 1 절연막(24a)을 형성할 때 공급되는 불순물의 양보다 조금 공급하고, 제 3 절연막(24c)을 형성할 때 공급되는 불순물의 양보다 더 많이 공급한다. 제 3 절연막(24c)을 형성할 때에는 제 2 절연막(24b)을 형성할 때 공급되는 불순물의 양보다 적은 양의 불순물을 공급한다.

각각의 층간 절연막에 불순물을 도핑시키는 방법의 다른 실시예를 설명하면 다음과 같다.

마찬가지로, 각각의 절연막(24a 및 24c)은 통상의 공정으로 형성되며, 각각의 절연막(24a 및 24c)이 형성될 때마다 불순물 이온 주입 공정으로 인(P)이나 붕소(B) 등의 불순물을 주입하여 절연막에 불순물이 도핑되도록 한다. 이때, 각각의 절연막이 형성될 때마다 실시되는 불순물 이온 주입 공정 시 불순물의 양을 조절하여 각각의 절연막의 도핑 레벨을 조절한다. 즉, 제 1 절연막(24a)을 형성한 후에는 제 2 및 제 3 절연막(24b 및 24c)을 형성한 후 주입되는 불순물의 양보다 보다 더 많은 양의 불순물을 이온 주입 공정으로 주입한다. 제 2 절연막(24b)을 형성한 후에는 제 1 절연막(24a)을 형성한 후 주입하는 불순물의 양보다 적고, 제 3 절연막(24c)을 형성한 후 주입하는 불순물의 양보다 더 많은 양의 불순물을 이온 주입 공정으로 주입한다. 제 3 절연막(24c)을 형성한 후에는 제 2 절연막(24b)을 형성한 후 주입되는 불순물의 양보다 적은 양의 불순물을 이온 주입 공정으로 주입한다.

상기와 같이, 불순물의 농도가 각기 다른 제 1 내지 제 3 절연막(24a 내지 24c)을 순차적으로 형성하여 제 2 층간 절연막(24)을 형성하는 이유는 제 2 층간 절연막(24)의 소정 영역을 식각할 때 제 2 층간 절연막(24)의 상부보다 하부의 식각 속도를 더 높이기 위해서이다.

도 2b를 참조하면, 제 2 층간 절연막(24) 상부에 소정의 패턴으로 감광막 패턴(25)을 형성한다. 감광막 패턴(25)이 형성되면서 제 2 층간 절연막(24)의 소정 영역만이 노출되는데, 이 부분이 후속 공정에서 커패시터의 전하 저장 전극이 형성될 영역이다.

도 2c를 참조하면, 감광막 패턴(25)을 형성 후 이를 식각 마스크로 이용한 식각 공정으로 제 2 층간 절연막(24)의 노출된 영역을 제거한다. 제 2 층간 절연막(24)의 노출된 영역이 식각 공정으로 제거되면서 콘택홀(26)이 형성되고, 콘택홀(26)의 하부에는 전하 저장 전극 플러그(23)의 상부 표면이 노출된다. 이후 감광막 패턴을 제거한다.

이때, 제 1 내지 제 3 절연막(24a 내지 24c)의 도핑 레벨의 차이에 의하여 절연막 식각 공정 시 생성되는 폴리머 발생(Polymer generation)양이 달라지고, 이로 인하여 콘택홀(26) 하부의 식각 프로파일(Profile)이 거의 수직(Vertical) 형태가 된다.

도 2d를 참조하면, 콘택홀(26)을 형성하기 위한 식각 공정이나, 감광막 패턴 제거 공정시 발생된 잔류 폴리머 등을 제거하기 위하여 습식 세정을 실시한다.

이때, 습식 세정은 산화물 식각 용액인 BOE(Buffered Oxide Etchant) 또는 HF 용액을 이용하여 실시한다. 제 1 내지 제 3 절연막(24a 내지 24c)의 도핑 레벨이 모두 다르고, 습식 식각시 콘택홀 하부의 식각속도가 콘택홀 상부의 식각 속도보다 빠르므로, 세정 후 콘택홀(26)의 프로파일은 식각공정 후보다 더 수직 형태가 된다. 일반적으로, 인 또는 붕소 등과 같은 불순물의 양이 증가하면 습식 식각 속도는 더욱 더 증가한다.

도 1e를 참조하면, 제 2 층간 절연막(24)의 소정 영역에 콘택홀(26)이 되고 전하 저장 전극 플러그(23)가 노출되면, 전하 저장 전극 플러그(23)를 포함한 전체 상부에 전도성 물질을 형성한 후 화학적 기계적 연마 공정과 같은 평탄화 공정을 실시하여 제 2 층간 절연막(24) 상부의 전도성 물질을 제거한다. 이로써, 서로 독립된 다수의 전하 저장 전극(27)이 형성된다.

콘택홀(26) 하부의 프로파일이 직각의 형태이므로, 종래의 경우처럼 콘택홀 하부에서 하부 전극이 접촉되어 커패시터의 정전 용량이 저하되는 것을 방지할 수 있다.

이후, 도면에는 도시되어 있지 않지만, 통상의 공정을 통해 전체 상부에 유전체막 및 상부 전극을 형성하여 커패시터를 제조한다.

상기에서는 상부 층간 절연막(24)을 3개의 층간 절연막(24a 내지 24c)으로 형성하였으나, 콘택홀의 종횡비나 공정 조건에 따라 2개의 층간 절연막이나 3개 이상 n개의 층간 절연막으로도 목표 두께의 상부 층간 절연막을 형성할 수 있다. 도핑 농

도는 가장 하부에 형성되는 제 1 층간 절연막의 도핑농도를 가장 높게 하고, 상부로 올라갈수록 층간 절연막의 도핑 농도를 점차적으로 낮춰 주기만 하면 된다. 이를 기준으로 상부 층간 절연막을 구성하는 제 1 내지 제 n 층간 절연막의 도핑 농도는 임의로 조절할 수 있다.

**발명의 효과**

상술한 바와 같이, 본 발명은 전하 저장 전극이 형성될 영역의 콘택홀 식각 프로파일이 수직이 되도록 하므로써 전하 저장 전극이 형성될 영역을 최대한 확보하여 정전 용량이 저하되는 것을 방지하고 공정의 신뢰성을 향상시키는 효과가 있다.

**(57) 청구의 범위**

**청구항 1.**

반도체 기판 상에 층간 절연막을 형성하되, 상기 층간 절연막을 형성하는 과정에서 상부보다 하부의 도핑 농도가 높아지도록 불순물의 도핑 농도를 조절하여 멀티플 도핑 레벨을 갖는 층간 절연막을 형성하는 단계;

식각 공정으로 상기 층간 절연막의 소정 영역을 제거하여 콘택홀을 형성하는 단계;

식각중 발생된 잔류 물질을 제거하기 위한 습식 세정을 실시하고, 이로 인해 상기 콘택홀이 하부와 상부의 폭이 동일한 수직 프로파일을 갖는 단계;

전체 상부에 전도성 물질을 형성한 후 평탄화 공정을 실시하여 전하 저장 전극을 형성하는 단계; 및

전체 상부에 유전체막 및 상부 전극을 형성하는 단계를 포함하는 반도체 소자의 커패시터 제조 방법.

**청구항 2.**

제 1 항에 있어서,

상기 불순물은 붕소 또는 인인 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

**청구항 3.**

제 1 항에 있어서,

상기 층간 절연막은 BPSG 또는 PSG로 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

**청구항 4.**

제 1 항에 있어서,

상기 습식 세정은 산화물 식각 용액인 BOE 또는 HF 용액을 이용하여 실시하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

**청구항 5.**

반도체 기판 상에 불순물의 도핑 농도가 서로 다른 다수의 절연막들이 적층된 구조로 층간 절연막을 형성하되, 상기 다수의 층간 절연막들이 상기 도핑 농도가 높은 순서대로 적층된 구조로 상기 층간 절연막을 형성하는 단계;

식각 공정으로 상기 층간 절연막의 소정 영역을 제거하여 콘택홀을 형성하는 단계;

식각중 발생된 잔류 물질을 제거하기 위한 습식 세정을 실시하고, 이로 인해 상기 콘택홀이 하부와 상부의 폭이 동일한 수직 프로파일을 갖는 단계;

전체 상부에 전도성 물질을 형성한 후 평탄화 공정을 실시하여 서로 독립된 다수의 전하 저장 전극을 형성하는 단계; 및

전체 상부에 유전체막 및 상부 전극을 형성하는 단계를 포함하는 반도체 소자의 커패시터 제조 방법.

### 청구항 6.

제 5 항에 있어서,

상기 불순물은 붕소 또는 인인 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

### 청구항 7.

제 5 항에 있어서,

상기 층간 절연막은 BPSG 또는 PSG로 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

### 청구항 8.

제 5 항에 있어서, 상기 층간 절연막을 형성하는 단계는,

제1 농도로 상기 불순물을 도핑하면서 제1 절연막을 형성하는 단계;

상기 제1 절연막 상에 상기 제1 농도보다 낮은 제2 농도로 상기 불순물을 도핑하면서 제2 절연막을 형성하는 단계; 및

상기 제2 절연막 상에 상기 제2 농도보다 낮은 제3 농도로 상기 불순물을 도핑하면서 제3 절연막을 형성하는 단계를 포함하는 반도체 소자의 커패시터 제조 방법.

### 청구항 9.

제 5 항에 있어서, 상기 층간 절연막을 형성하는 단계는,

상기 반도체 기판 상에 제1 절연막을 형성하는 단계;

상기 제1 절연막에 상기 불순물을 제1 농도로 주입하는 단계;

상기 제1 절연막 상에 제2 절연막을 형성하는 단계;

상기 제2 절연막에 상기 불순물을 상기 제1 농도보다 낮은 제2 농도로 주입하는 단계;

상기 제2 절연막 상에 제3 절연막을 형성하는 단계; 및

상기 제3 절연막에 상기 불순물을 상기 제2 농도보다 낮은 제3 농도로 주입하는 단계를 포함하는 반도체 소자의 커패시터 제조 방법.

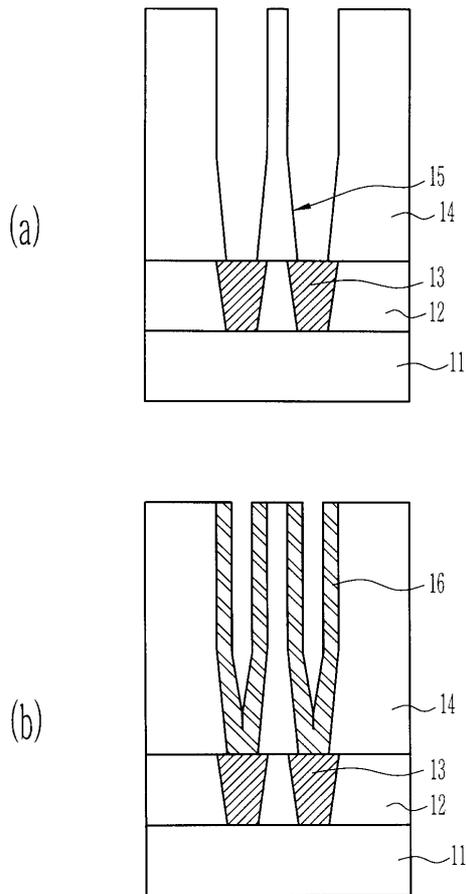
청구항 10.

제 5 항에 있어서,

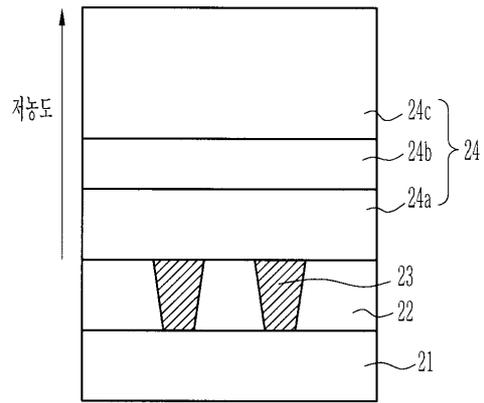
상기 습식 세정은 산화물 식각 용액인 BOE 또는 HF 용액을 이용하여 실시하는 것을 특징으로 하는 반도체 소자의 커패시터 제조 방법.

도면

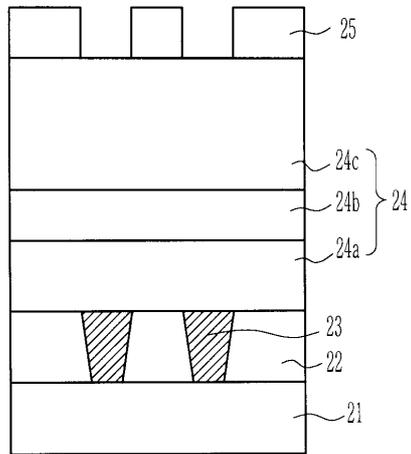
도면1



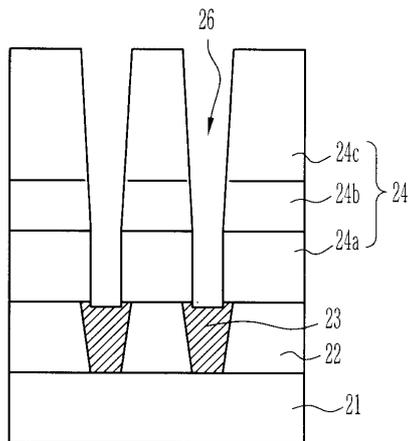
도면2a



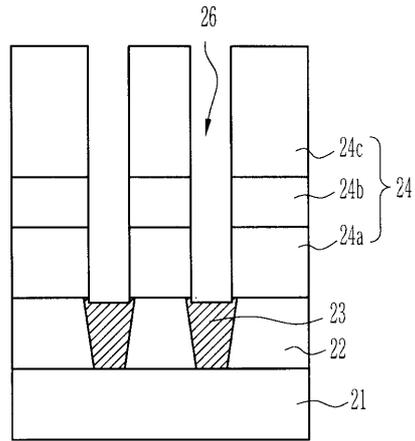
도면2b



도면2c



도면2d



도면2e

