

(19) 대한민국특허청(KR)
(12) 실용신안공보(Y1)

(51) Int. Cl.⁵
H03K 19/00
H03K 17/00

(45) 공고일자 1994년05월23일
(11) 공고번호 실1994-0003396

(21) 출원번호	실 1991-0017732	(65) 공개번호	실 1993-0009909
(22) 출원일자	1991년10월23일	(43) 공개일자	1993년05월26일
(71) 출원인	금성일렉트론주식회사 문정환 충청북도 청주시 향정동 50번지		
(72) 고안자	박용인 서울특별시 서초구 서초동 1494-8		
(74) 대리인	박장원		

심사관 : 이해영 (책
자공보 제1933호)

(54) 다채널 씨모스 아날로그 멀티플렉서 회로

요약

내용 없음.

대표도

도1

명세서

[고안의 명칭]

다채널 씨모스 아날로그 멀티플렉서 회로

[도면의 간단한 설명]

제1도는 종래의 멀티플렉서 회로도.

제2도는 본 고안 다채널 씨모스 아날로그 멀티플렉서의 회로도.

제3도는 채널 선택신호 및 각 채널신호의 파형도.

제4도는 입력신호에 따른 멀티플렉서의 출력 파형도.

제5도는 멀티플렉서의 합성 출력 파형도.

* 도면의 주요부분에 대한 부호의 설명

10 : 제1채널 신호전달부

11 : 제2채널 신호전달부

12 : 제3채널 신호전달부

13 : 제4채널 신호전달부

[실용신안의 상세한 설명]

본 고안은 씨모스 아날로그 멀티플렉서에 관한 것으로, 특히 다채널 아날로그 신호를 1개의 아날로그 신호로 합성하고 넓은 동적 영역에서 아날로그 신호의 처리가 가능하도록 한 다채널 씨모스 아날로그 멀티플렉서 회로에 관한 것이다.

일반적으로 사용되고 있는 종래의 다채널 멀티플렉서 회로는 제1도에 도시한 바와같이 클럭 신호를 입력으로 하는 피-모스(M21), (M22)의 드레인을 채널신호(CH1), (CH2)를 그 입력으로 하는 엔-모스(M23), (M24)의 드레인과 각기 직렬 연결하고, 전원 단자(VDD)와 접속된 전류소스(110)를 엔-모스(M25, M26)의 드레인 및 게이트에 공통 연결하며 상기 엔-모스(M25, M26)는 그 소스를 공통으로 하여 전류소스(110)와 접속하고 상기 엔-모스(M25, M26)의 드레인으로 부터 출력(OUT)을 인출하였다.

상기와 같은 구성을 갖는 종래의 다채널 멀티플렉서 회로에 대하여 그 동작 및 문제점을 상세히 설명하면 다음과 같다.

먼저, 엔-모스(M23), (M24)와 피-모스(M21), (M22)는 서로 직렬로 접속되어 있고 클럭신호(CLK, CLK2)가 인가될 때마다 피-모스(M21, M22)가 회로내에서 스위칭작용을 하므로 두 엔-모스(M23, M24)중

피-모스(M21,M22)가 턴온되어 있는 쪽의 신호만이 엔-모스(M25,M26)의 드레인을 통해 출력이 된다.

그러나, 상기와 같은 회로는 신호를 입력할 수 있는 채널이 2개로 제한되고 특정 채널의 신호를 선택하는 피-모스 트랜지스터(M21, M22)가 스위칭 동작 즉, 온 오프의 동작을 반복하기 위해서는 상기 트랜지스터(M21, M22)의 게이트와 소스간의 전위차 즉, V_{CS} 가 충분히 커야하는데 이 조건을 만족시키려면 아날로그 입력채널의 동적 영역(Dynamic Range)이 제한을 받게되는 문제점이 발생한다.

이에따라 본 고안은 상기와 같이 소수의 채널만을 사용하고 채널신호의 다이내믹 레인지에 제한이 따르는 종래 회로의 결함을 해결하고자 채널 선택 제어신호와 채널 입력신호를 상호 병렬로 접속된 능동소자를 입력하여 다수의 채널을 갖는 멀티플렉서가 실현되도록 안출된 것으로 이를 상세히 설명하면 다음과 같다.

제2도는 본 고안의 회로 구성도로서 이에 도시한 바와같이 엔-모스(M1,M2)의 드레인에 전원(VDD)을 공통 인가하고 그 게이트 입력단자에는 각각 채널선택 신호(CLK1)와 아날로그 채널신호(CH1)를 입력하며 그 소스에는 전류 소스(I2)를 공통으로 인가한다. 그리고 전원단자(VDD)와 접속된 전류소스(I1)를 엔-모스(M3)의 드레인과 게이트에 공통으로 입력함과 아울러 그 소스에 상기 전류소스(I 2)를 인가하고 드레인으로 부터 출력단자(OUT)를 인출하여 제1채널에 대한 신호전달부(10)를 구성한다.

한편, 본 고안의 회로와 같이 다채널을 수용하는 회로에서는 상기의 제1채널 신호 전달부(10)와 동일한 구조의 제2, 제3, .. 채널 신호 전달부가 상호 병렬로 접속되며 제2도에서는 4개의 채널 신호 전달부(10~13)하여 병렬 접속에 의한 다채널의 멀티플렉서 회로가 성립할 수 있음을 보이고 있다.

상기와 같이 구성한 본 고안의 다채널 씨모스 아날로그 멀티플렉서 회로에 대하여 그 동작 및 작용효과를 상세히 설명하면 다음과 같다.

즉, 본 고안에서는 일정한 전류원(I1~I5)을 버퍼(M3,M6,M9,M12)의 드레인 및 각 채널의 트랜지스터(M1~M12)의 소스에 공통 인가하고 두 전류(I1~I5)의 차의 전류를 이용하여 신호를 처리하는 것이 동작의 기본 개념으로서, 다채널에 적용할 수 있도록 안출되어 있어 N단의 멀티플렉서를 구성할 때에는 제1채널 신호처리부(10)와 동일한 형태의 회로를 병렬로 N개 접속하면 된다.

이러한 구성을 갖는 멀티플렉서 회로에 대하여 그 동작은 다수의 아날로그 입력신호(CH1~CH4)에서 특정 채널의 신호만을 선택하여 출력(OUT)으로 내보내는 것이 회로의 기본 작용인데 먼저, 채널을 선택하는 클럭신호(CLK1~CLK4)가 제3도와 같이 각 엔-모스(M1,M4,M7,M10)의 게이트에 순차적으로 입력되면 로우레벨의 신호가 인가된 채널의 신호만이 해당되는 버퍼(M3,M6,M9,M12)를 통해 출력(OUT)으로 전달이 되고 하이레벨의 클럭이 인가된 채널의 신호는 그 소스 전압의 상승으로 인해 신호전달이 차단된다.

예를들어, 제1클럭의 신호(CLK1)만이 로우이고 나머지의 모든 클럭(CLK2~CLK4)이 하이라면 엔-모스(M2)만이 오프상태를 유지하고 나머지 모든 엔-모스 트랜지스터(M5,M8,M11)는 턴온상태가 되므로 턴온된 엔-모스(M5,M8,M11)의 소스전압이 전원전압(VDD)의 레벨까지 상승하게 되어 채널신호(CH2~CH4)를 입력으로 하는 트랜지스터(M4,M7,M10)는 모두 턴 오프 상태가 된다.

따라서 제1채널의 입력 신호(CH1)만이 버퍼(M3)를 통해 출력으로 전달되고 나머지 모든 채널의 입력신호(CH2~CH4)는 출력(OUT)에 나타나지 않게 된다.

한편, 전원단자(VDD)로 부터의 공급 전류는 I이고 그라운드로 싱크되는 전류는 2I 이므로 DC상태에서 I만큼의 전류가 상기 엔-모스 트랜지스터(M1)로 부터 공급이 된다. 이 상태에서 트랜지스터(M1)의 게이트에 제3도의 CH1과 같은 신호가 입력되면, $I=K' \left(\frac{W}{L} \right)_{GS1} \tau_{\delta} V_{DS1GSCH1AM1}$

한편, 제3도와 같이 다음 주기에서 클럭 2(CLK2)가 로우가 되고 나머지의 모든 클럭신호(CLK1,CLK3,CLK4)가 하이가 되면 상기한 바와 똑같은 작용에 의해 채널 2의 신호(CH2)만이 출력단(OUT)으로 전달이되고 나머지의 모든 입력신호(CH1, CH3, CH4)는 출력(OUT)으로의 전달이 차단되어 멀티플렉서로의 고유한 기능을 수행하게 된다.

한편, 제4도는 클럭신호(CLK1~CLK4)에 의해 채널이 순차적으로 선택될 때 서로 다른 각 채널신호(CH1~CH4)가 선택적으로 출력되어 새로운 출력 파형을 형성하는 것을 보여주고 있으며, 일정한 주기로 선택된 각 채널의 신호(CH1~CH4)를 합성한 출력파형은 제5도와 같다.

따라서 클럭 제어신호(CLK1~CLK4)에 의해 다수의 채널의 신호를 선택적으로 취하여 출력할 수 있고 채널신호(CH1~CH4)를 입력으로 하는 트랜지스터(M1,M4,M7,M10)와 직렬로 접속된 스위칭회로가 없으므로 넓은 영역에서의 채널신호(CH1~CH4)를 처리할 수 있게된다.

이상에서와 같이 본 고안은 채널 선택 제어신호와 채널 입력신호를 상호 병렬로 접속된 능동소자로 입력하여 다수의 입력 채널을 갖는 멀티플렉서를 실현할 수 있는 효과를 제공한다.

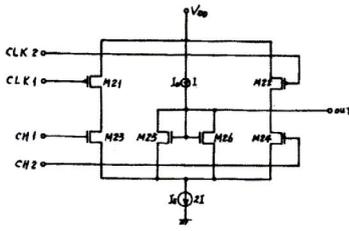
(57) 청구의 범위

청구항 1

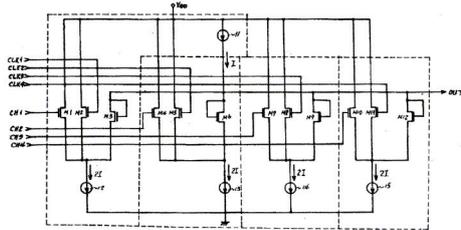
엔-모스(M1,M2)의 드레인에 전원(VDD)을 공통 인가하고 그 게이트 입력단자에는 각각 채널선택 신호(CLK1)와 아날로그 채널신호(CH1)를 입력하며 그 소스에는 전류 소스(I2)를 공통으로 인가하고 전원단자(VDD)와 접속된 전류소스(I2)를 인가하고 상기 엔-모스(M3)의 드레인과 게이트에 공통으로 입력함과 아울러 그 소스에 상기 전류소스(I2)를 인가하고 상기 엔-모스(M3)의 드레인으로 부터 출력단자(OUT)를 인출한 제1채널 신호 전달부(10)와, 상기 제1채널 신호전달부(10)와 동일한 구조의 신호전달부를 다단 병렬 접속한 것을 특징으로 하는 다채널 씨모스 아날로그 멀티플렉서 회로.

도면

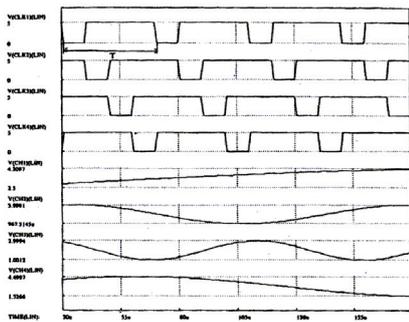
도면1



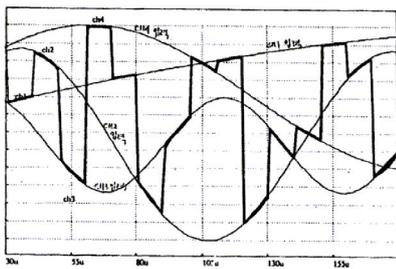
도면2



도면3



도면4



도면5

