

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2012年8月2日(02.08.2012)

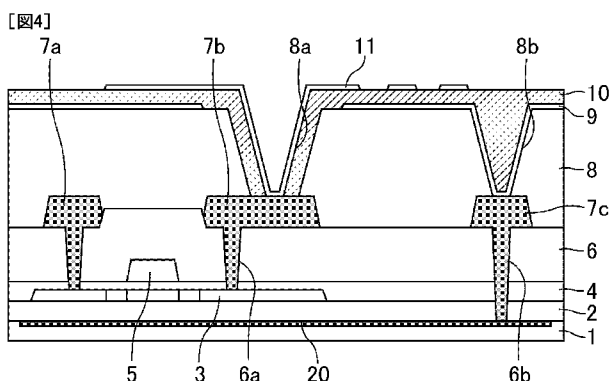


(10) 国際公開番号  
WO 2012/102158 A1

- (51) 国際特許分類:  
G02F 1/1368 (2006.01)
  - (21) 国際出願番号: PCT/JP2012/051028
  - (22) 国際出願日: 2012年1月19日(19.01.2012)
  - (25) 国際出願の言語: 日本語
  - (26) 国際公開の言語: 日本語
  - (30) 優先権データ:  
特願 2011-015291 2011年1月27日(27.01.2011) JP
  - (71) 出願人 (米国を除く全ての指定国について):  
シャープ株式会社(Sharp Kabushiki Kaisha) [JP/JP];  
〒5458522 大阪府大阪市阿倍野区長池町2番  
2号 Osaka (JP).
  - (72) 発明者; および
  - (75) 発明者/出願人 (米国についてのみ): 岡島 奈美  
(OKAJIMA Nami) [JP/—]. 藤原 正弘(FUJIWARA  
Masahiro) [JP/—].
  - (74) 代理人: 特許業務法人 安富国際特許事務所  
(YASUTOMI & Associates); 〒5320003 大阪府大阪  
市淀川区宮原3丁目5番36号 Osaka (JP).
  - (81) 指定国 (表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,  
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,  
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,  
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,  
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,  
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,  
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,  
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,  
VC, VN, ZA, ZM, ZW.
  - (84) 指定国 (表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,  
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ  
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー  
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,  
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,  
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),  
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,  
MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告 (条約第21条(3))

(54) Title: SUBSTRATE FOR LIQUID CRYSTAL DISPLAY PANEL AND LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称: 液晶表示パネル用基板及び液晶表示装置



(57) Abstract: The present invention provides a substrate for a liquid crystal display panel, the substrate being capable of effectively suppressing the incidence of crosstalk and flicker without any reduction in the aperture ratio. A first aspect of this invention is a liquid crystal display panel comprising: a light-blocking electroconductive member; a thin-film transistor arranged on a layer above the light-blocking electroconductive member; transparent electrode wiring arranged on a layer above the thin-film transistor; and a pixel electrode arranged on a layer above the transparent electrode wiring, wherein the light-blocking electroconductive member is a light-blocking body for covering a channel region of the thin-film transistor and is wiring connected in parallel to the transparent electrode wiring; and wherein the transparent electrode wiring has a portion facing the pixel electrode, an insulating film being disposed therebetween.

(57) 要約:

[続葉有]



WO 2012/102158 A1

本発明は、開口率を低下させずに、クロストーク、フリッカの発生を効果的に抑制できる液晶表示パネル用基板を提供する。本発明の一態様は、遮光性導電部材と、前記遮光性導電部材よりも上層に配置された薄膜トランジスタと、前記薄膜トランジスタよりも上層に配置された透明電極配線と、前記透明電極配線よりも上層に配置された画素電極とを備える液晶表示パネル用基板であって、前記遮光性導電部材は、前記薄膜トランジスタのチャネル領域を覆う遮光体であり、かつ前記透明電極配線に並列に接続された配線であり、前記透明電極配線は、絶縁膜を挟んで前記画素電極に対向する部分を有する液晶表示パネル用基板である。

## 明 細 書

**発明の名称 : 液晶表示パネル用基板及び液晶表示装置**

### 技術分野

[0001] 本発明は、液晶表示パネル用基板及び液晶表示装置に関する。より詳しくは、薄膜トランジスタを用いたアクティブマトリクス方式に好適な液晶表示パネル用基板、及び、該液晶表示パネル用基板を備える液晶表示装置に関するものである。

### 背景技術

[0002] 液晶表示装置は、表示のために液晶組成物を利用する表示装置であり、その代表的な表示方式は、一対の基板間に封入した液晶に対して電圧を印加し、印加した電圧に応じて液晶の配向状態を変化させることにより、光の透過量を制御するものである。

[0003] 液晶表示装置の駆動方式としては、パッシブマトリクス方式とアクティブマトリクス方式とがよく知られている。典型的なアクティブマトリクス方式の液晶表示装置では、互いに直交するゲートバスライン及びソースバスラインが格子状に設けられ、ゲートバスライン及びソースバスラインによりマトリクス状に区画された各領域に薄膜トランジスタが配置されている。そして、薄膜トランジスタのゲート電極に対して、ゲートバスラインを通じて走査信号が入力されると、スイッチング素子である薄膜トランジスタがオン状態になる。薄膜トランジスタがオン状態のときに、ソースバスラインを流れる画像信号は、薄膜トランジスタのソース電極からドレイン電極へと伝達され、更に画素電極に伝達される。各画素電極に入力される画像信号は、各画素に対応して設けられた画素電極と、全画素で共用される共通電極との間に印加される電圧に対応しており、言い換えれば、各画素の液晶への印加電圧に対応している。そして、液晶への印加電圧に応じて液晶の配向状態を変化させ、それによって液晶を透過できる光の量を画素ごとに制御することによって、高精細な画像を表示できる。このようなアクティブマトリクス

方式は、多数の画素により表示を行うテレビ、モニター等において一般的に用いられている。

[0004] アクティブマトリクス方式においては、通常では、薄膜トランジスタがオフ状態の間、画素電極に入力された画像信号、すなわち液晶容量を保持させるために、各画素に補助容量が形成される。この補助容量は、例えば各画素の画素電極に対して、絶縁膜を挟んで対向する補助容量配線を設けることによって形成される。この補助容量配線の低抵抗化を図る技術として、ブラックマスクとして形成されている遮光パターンを補助容量配線に電気接続するものが知られている（特許文献1参照）。

[0005] また、アクティブマトリクス方式で用いられる薄膜トランジスタは、チャンネルに光が入射した場合に漏れ電流が発生するものがある。オフ状態での漏れ電流（オフリーク電流）は、薄膜トランジスタの誤動作を引き起こすものであるため、薄膜トランジスタの上層又は下層に遮光層を配置することにより、オフリーク電流を抑制しようとする技術が知られている（特許文献2、3参照）。

[0006] 液晶表示装置の表示モードとしては、フリンジ・フィールド・スイッチング（Fringe Field Switching（FFS））モードが知られている。FFSモードは、画素電極と共通電極とが絶縁膜の上下に分離されて同一基板に配置される点に構成上の特徴を有している（特許文献4参照）。

## 先行技術文献

### 特許文献

- [0007] 特許文献1：特開平8-234239号公報  
特許文献2：特開2001-42361号公報  
特許文献3：特開2000-131713号公報  
特許文献4：特開2008-165134号公報

## 発明の概要

### 発明が解決しようとする課題

- [0008] アクティブマトリックス方式においては、クロストーク、フリッカの発生を効果的に抑制される必要がある。クロストークとは、駆動しようとしていない画素へ駆動信号が漏れ込む現象のことである。フリッカとは、画面のちらつき現象のことであり、眼の残像時間（15～20 msec；周波数60～50 Hz）より長い周期で、雑音信号が表示信号に混入したり、画面の明るさがその周期で変化した場合に生じるものである。
- [0009] クロストークへの対策としては、補助容量配線の抵抗を下げるのが有効であり、例えば、補助容量配線に対して新たな配線を並列接続する方法が考えられる。また、フリッカへの対策としては、薄膜トランジスタのオフリーク電流を低減するために、遮光層を配置する方法が知られていた。
- [0010] しかしながら、クロストーク対策として新たな配線を設けると、開口率が低下するとともに、配線レイアウトの自由度が低くなるという点で工夫の余地があった。更に、クロストークとフリッカの両方を効果的に解決する手法が求められていた。
- [0011] 本発明は、上記現状に鑑みてなされたものであり、開口率を低下させずに、クロストーク、フリッカの発生を効果的に抑制できる液晶表示パネル用基板、及び、該液晶表示パネル用基板を備える液晶表示装置を提供することを目的とするものである。

### 課題を解決するための手段

- [0012] 本発明者らは、アクティブマトリックス方式で駆動される液晶表示パネル用基板において、クロストーク、フリッカの発生を効果的に抑制する方法について種々検討したところ、開口率の低下を防止する観点から、クロストークを解決する手段とフリッカを解決する手段とを組み合わせることに着目した。そして、本発明者らは、薄膜トランジスタの下層に、薄膜トランジスタのチャネル領域を覆う遮光性導電部材を配置するとともに、この遮光性導電部材を透明電極配線に対して並列に接続した配線とすることによって、上記課題をみごとに解決することができることに想到した結果、本発明に到達したものである。

- [0013] すなわち、本発明の一態様は、遮光性導電部材と、上記遮光性導電部材よりも上層に配置された薄膜トランジスタと、上記薄膜トランジスタよりも上層に配置された透明電極配線と、上記透明電極配線よりも上層に配置された画素電極とを備える液晶表示パネル用基板であって、  
上記遮光性導電部材は、上記薄膜トランジスタのチャネル領域を覆う遮光体であり、かつ上記透明電極配線に並列に接続された配線であり、  
上記透明電極配線は、絶縁膜を挟んで上記画素電極に対向する部分を有する液晶表示パネル用基板である。
- [0014] 本発明においては、薄膜トランジスタのチャネル領域を覆う遮光体として、薄膜トランジスタよりも下層に、遮光性導電部材が設けられる。遮光性導電部材は、バックライトユニットから放射された光が薄膜トランジスタのチャネル領域に入射することを防止できる。その結果、薄膜トランジスタのオフリーク電流が低減され、フリッカの発生が防止される。
- [0015] また、上記遮光性導電部材は、透明電極配線に並列に接続された配線でもある。透明電極配線は、絶縁膜を挟んで画素電極に対向する部分を有しており、補助容量を形成している。したがって、遮光性導電部材が透明電極配線に並列に接続された配線として機能することにより、補助容量を形成する配線全体の抵抗を下げるのが可能となる。その結果、クロストークの発生が防止される。
- [0016] 本発明の一形態として、上記遮光性導電部材の電気伝導率（導電率とも呼ばれる）が、上記透明電極配線の電気伝導率よりも高い形態が挙げられる。この形態によれば、補助容量を形成する配線の抵抗を低減する効果が十分に得られ、クロストークの発生を効果的に抑制できる。
- [0017] 本発明の一形態として、上記遮光性導電部材が、タンタル、チタン、タングステン、モリブデン及びアルミニウムからなる群より選択された少なくとも一種の元素を含む金属層又は合金層を含む形態が挙げられる。この形態によれば、薄膜トランジスタのチャネル領域の遮光と補助容量を形成する配線の抵抗の低減とを両立することができ、フリッカ及びクロストークの発生を効

果的に抑制できる。

[0018] 本発明の一形態として、上記透明電極配線が、酸化インジウム錫又は酸化インジウム亜鉛を含む形態が挙げられる。酸化インジウム錫及び酸化インジウム亜鉛は、電気伝導率が比較的高い材料であることから、本発明のように遮光性導電部材を透明電極配線に並列に接続することで、補助容量を形成する配線全体の抵抗を大幅に下げることができ、クロストークの発生を顕著に抑制できる。

[0019] 本発明の一形態として、上記遮光性導電部材と上記薄膜トランジスタのゲート電極との間に、膜厚300nm以上の絶縁膜を備える形態が挙げられる。この形態によれば、遮光性導電部材の電位変動が薄膜トランジスタの動作に及ぼす影響を十分に抑制することができる。

[0020] 本発明の別の態様は、上記液晶表示パネル用基板を備える液晶表示装置であって、上記画素電極と上記透明電極配線とによって液晶に電圧を印加する液晶表示装置である。この液晶表示装置においては、上記透明電極配線は補助容量配線としての機能を有するだけでなく、共通電極としての機能を有する。このような液晶表示装置としては、フリンジ・フィールド・スイッチング (Fringe Field Switching (FFS)) モードの液晶表示装置が挙げられる。

[0021] 本発明の更に別の態様は、上記液晶表示パネル用基板を備える液晶表示装置であって、バックライトを備える液晶表示装置である。この液晶表示装置は、いわゆる透過型の液晶表示装置、又は、半透過型の液晶表示装置である。

### 発明の効果

[0022] 本発明の液晶表示パネル用基板及び液晶表示装置によれば、薄膜トランジスタのオフリーク電流を低減するために設けられる遮光体を用いて、補助容量配線の低抵抗化を図ることにより、開口率を低下させずに、クロストーク、フリッカの発生を効果的に抑制できる。

### 図面の簡単な説明

[0023] [図1]比較形態1の液晶表示パネル用基板の構成を示す断面模式図である。

[図2]比較形態2の液晶表示パネル用基板の構成を示す断面模式図である。

[図3]実施形態1の液晶表示パネル用基板の構成を示す平面模式図である。

[図4]図3の液晶表示パネル用基板の断面を示す断面模式図である。

[図5]クロストークの発生原理を説明する図である。

[図6]実施形態2の液晶表示パネル用基板の構成を示す平面模式図である。

[図7]図6の液晶表示パネル用基板の断面を示す断面模式図である。

## 発明を実施するための形態

### [0024] 実施形態1

図1は、比較形態1の液晶表示パネル用基板の構成を示す断面模式図である。図2は、比較形態2の液晶表示パネル用基板の構成を示す断面模式図である。図3は、実施形態1の液晶表示パネル用基板の構成を示す平面模式図である。図4は、図3の液晶表示パネル用基板の断面を示す断面模式図である。なお、比較形態1及び2の液晶表示パネル用基板は、先行文献に開示されたものではなく、本実施形態の液晶表示パネル用基板と対比するために、本発明者らが創出したものである。

[0025] 液晶表示パネル用基板は、液晶表示装置に組み込まれるものであり、例えば、一对の液晶表示パネル用基板を貼り合わせて、両基板間に液晶層を封入することによって液晶表示パネルを作製できる。本実施形態の液晶表示パネル用基板は、アクティブマトリクス方式による駆動に必要な薄膜トランジスタを備えており、薄膜トランジスタアレイ基板、アクティブマトリクス基板とも呼ばれるものである。

[0026] 図1～4に示すように、比較形態1、2及び本実施形態の液晶表示パネル用基板においては、同一基板上に画素電極11及び共通電極9が設けられており、画素電極11及び共通電極9の間に印加する電圧に応じて、液晶分子の向きを基板面と平行な面内において制御することができる。また、画素電極11と共通電極9との間には、電極間絶縁膜10が設けられている。すなわち、比較形態1、2及び本実施形態の液晶表示パネル用基板は、横電界モードの一種であるフリッジ・フィールド・スイッチング（FFS）モードの液



晶表示装置に用いられるものである。

[0027] また、共通電極 9 は、画素電極 11 と電極間絶縁膜 10 を介して対向する部分において補助容量を形成する役割も有している。

[0028] 表示領域内で基板面に対して平行方向に電界を発生させるため、画素電極 11 及び共通電極 9 としては、バックライトから照射される光を透過できる透明電極が用いられる。しかしながら、共通電極 9 は、酸化インジウム錫 (ITO)、酸化インジウム亜鉛 (IZO) 等の透明導電材料により形成されるため、配線抵抗を十分に低くすることが難しく、そのためにクロストークが生じることがあった。

[0029] 図 5 は、クロストークの発生原理を説明する図である。図 5 では、複数の画素電極 (PIX) が配列したアクティブ・エリア (Active Area) において、補助容量配線の幹線 (Cs 幹線) から枝分かれした配線部 (Cs Line) とソースライン (Source Line) とが交差している場合に生じるクロストークを説明している。まず、薄膜トランジスタへの信号書き込み時にソースライン (Source Line) の電位が変動するの起因して、ソースラインと配線部 (Cs Line) との交差部分の容量が変動し、その影響で補助容量配線の電位が変動してしまう。この場合に、補助容量配線の配線抵抗が高いと、薄膜トランジスタがオフになる時点までに、補助容量配線の電位が所望の電位まで復帰できず、薄膜トランジスタがオフになった後に、補助容量配線の電位が所望の電位まで復帰する際に、画素電極 (PIX) の電位を変動させてしまう。オン状態の画素とオフ状態の画素では、ソースラインの電位変動量が異なるため、画素電極の電位変動量も異なることとなる。その結果、同一の階調で中間調表示を行う場合に、輝度差が生じてしまい、クロストークが見られることとなる。このようなクロストークは、高精細に画素が配置された基板、配線抵抗の比較的高い透明電極配線を補助容量配線として用いた基板等において顕著に生じやすい傾向がある。この傾向は、フリッカの発生についても同様である。

[0030] そこで、比較形態 1 では、図 1 に示したように、共通電極 9 上に、透明導電

材料よりも低抵抗な金属からなる配線層 5 1 及び 5 2 を設けることにより、配線抵抗の低減が図られている。

[0031] また、比較形態 2 では、図 2 に示したように、コンタクトホール 6 b 及び 8 b を用いて、共通電極 9 をゲート電極 5 と同じ層に設けられた補助容量配線 5 a に接続している。

[0032] これに対して、本実施形態では、図 3、4 に示したように、コンタクトホール 6 b 及び 8 b を用いて、共通電極（透明電極配線）9 を下層に設けられた遮光膜（遮光性導電部材）20 に接続している。遮光膜 20 が共通電極 9 に並列に接続された配線として機能することにより、補助容量を形成する配線全体の抵抗を下げるのが可能である。その結果、クロストークの発生を防止することができる。遮光膜 20 は、遮光性と導電性を有しており、遮光膜 20 の電気伝導率は、共通電極 9 の電気伝導率よりも高いことが好ましい。例えば、遮光膜 20 の好ましい形態としては、タンタル、チタン、タングステン、モリブデン及びアルミニウムからなる群より選択された少なくとも一種の元素を含む金属層又は合金層を含むものが挙げられる。中でも、モリブデン（Mo）からなる遮光膜 20 は好適である。

[0033] また、遮光膜 20 は、バックライトユニットから薄膜トランジスタのチャネル領域に入射する光を遮光し、それによって薄膜トランジスタのオフリーク電流を低減するものであり、比較形態 1 においても設けられている部材である。したがって、遮光膜 20 を共通電極 9 に接続する方法は、比較形態 1 のように新たな配線層 5 1、5 2 を追加する方法よりも簡易な方法で実現できる。すなわち、遮光膜 20 を共通電極 9 に接続する方法では、遮光膜 20 の配置パターンを変更し、コンタクトホール 6 b をコンタクトホール 6 a と同時に形成し、コンタクトホール 8 b をコンタクトホール 8 a と同時に形成すればよい。

[0034] 更に、比較形態 2 のように、薄膜トランジスタのゲート電極 5 及び該ゲート電極 5 が接続されたゲートラインと同じ層に補助容量配線 5 a を配置する場合には、ゲート電極 5 又はゲートラインと補助容量配線 5 a とが短絡しない

ようにする必要があり、設計ルール上の制約がある。一方、本実施形態の遮光膜20を用いる場合には、他の部材との短絡を考慮して設計を調整する必要がないので、設計ルール上有利である。

[0035] 次に、本実施形態の液晶表示パネル用基板を製造する方法の一例を説明することによって、その構成の詳細を明らかにする。

[0036] 先ず、ベース基板となるガラス基板1の一方の面上に、遮光膜20を形成するための金属膜が成膜される。金属膜は、Ta、Ti、W、Mo、Al等の元素を主成分とするもの等が用いられる。例えば、Moを主成分とする金属膜が好適に用いられる。そして、遮光膜20の形成領域と重なる部分に、フォトリソグラフィ法によってレジストパターンが形成される。次に、レジストパターンをマスクとして、金属膜をエッチングすることにより遮光膜20が得られる。なお、金属膜の代わりに、シリコン(Si)膜等の絶縁膜を遮光膜20の形成に用いてもよい。この場合、絶縁膜に対してドーピングを行い、その導電性を高める必要がある。遮光膜20の厚みは、例えば50nm以上に設定される。遮光膜20の成膜方法としては、例えばCVD(Chemical Vapor Deposition)法、スパッタ法が用いられる。

[0037] 続いて、遮光膜20が被覆されるようにして、バッファ膜2(ベースコート膜ともいう)が成膜される。バッファ膜2は、単層であってもよいし、多層であってもよく、酸化シリコン膜(SiO<sub>2</sub>)、窒化シリコン膜(SiN<sub>x</sub>)、窒化酸化シリコン膜(SiNO)等が用いられる。例えば、酸化シリコン膜と窒化酸化シリコン膜の積層膜(SiO<sub>2</sub>/SiNO)、酸化シリコン膜(SiO<sub>2</sub>)が好適に用いられる。バッファ膜2の厚みは、例えば100nm~500nmに設定される。遮光膜20が薄膜トランジスタの動作に影響を及ぼすことを抑制する観点からは、バッファ膜2の厚みを300nm以上にすることが好ましい。バッファ膜2の成膜方法としては、例えばCVD法が用いられる。

[0038] バッファ膜2上には、画素TFT、駆動用TFTに用いられる半導体層3が形成される。半導体層3は、連続粒界結晶シリコン(CGS)膜、低温ポ

リシリコン (LPS) 膜、アモルファスシリコン ( $\alpha$ -Si) 膜等のシリコン膜をパターニングして形成される。シリコン膜の成膜方法としては、例えばCVD法が用いられる。

[0039] 一例として、連続粒界結晶シリコン膜を成膜し、これをパターニングして半導体層3を形成する方法を以下に示す。まず、バッファ膜2の上に酸化シリコン膜とアモルファスシリコン膜とを順に成膜する。次に、アモルファスシリコン膜の表層に、結晶化促進の触媒となるニッケル薄膜を形成する。次に、レーザアニールによって、ニッケル薄膜とアモルファスシリコン膜とを反応させ、これらの界面に結晶シリコン層を形成する。その後、エッチング等によって、ニッケル薄膜の未反応部分と珪化ニッケルが形成された部分とを除去する。次に、残ったシリコン膜にレーザアニールを行って結晶化を進展させると、連続粒界結晶シリコンからなるシリコン膜が得られる。

[0040] 次に、シリコン膜の画素TFT部、駆動用TFT部のソース、ドレイン、チャンネル上に、レジストパターンが形成され、これをマスクとしてエッチングが実施される。これにより、各TFTを構成する半導体層3が得られる。

[0041] 次に、半導体層3が被覆されるようにして、ゲート絶縁膜4が成膜される。ゲート絶縁膜4は、単層であってもよいし、多層であってもよく、酸化シリコン膜 ( $\text{SiO}_2$ )、窒化シリコン膜 ( $\text{SiN}_x$ )、窒化酸化シリコン膜 ( $\text{SiNO}$ ) 等が用いられる。例えば、酸化シリコン膜 ( $\text{SiO}_2$ )、窒化シリコン膜 ( $\text{SiN}_x$ )、窒化シリコン膜と酸化シリコン膜の積層膜 ( $\text{SiN}_x/\text{SiO}_2$ ) が好適に用いられる。ゲート絶縁膜4の厚みは、例えば10nm~120nmに設定される。ゲート絶縁膜4の成膜方法としては、例えばCVD法が用いられる。具体的には、酸化シリコン膜を形成するのであれば、原料ガスとして、 $\text{SiH}_4$ と $\text{N}_2\text{O}$ 、又は、 $\text{SiH}_4$ と $\text{O}_2$ を用いて、プラズマCVD法を実施する方法が挙げられる。

[0042] 続いて、半導体層3のドーズ量を調整するために、半導体層3に対してチャンネルドーピングが行われる。具体的には、ボロン (B)、インジウム (In) 等のp型の不純物を用いて、例えば、注入エネルギーを10 [KeV] ~

80 [KeV]、ドーズ量を $5 \times 10^{14}$  [ion]  $\sim 2 \times 10^{16}$  [ion] に設定してイオン注入が行われる。このとき、注入後の不純物濃度は、 $1.5 \times 10^{20} \sim 3 \times 10^{21}$  [個/cm<sup>3</sup>] になるのが好ましい。

[0043] 続いて、ゲート電極5を形成する。具体的には、先ず、Ta、Ti、W、Mo、Al等の元素を主成分とする金属材料を用いて、スパッタ法、真空蒸着法等を実施して、導電層が形成される。導電層としては、例えば、タングステンと窒化タンタルの積層膜(W/Tan)、モリブデン膜(Mo)、モリブデン・タングステン合金膜(MoW)、チタン膜とアルミニウム膜の積層膜(Ti/Al)が好適に用いられる。次に、導電層上のゲート電極の形成領域と重なる部分に、フォトリソグラフィを用いて、レジストパターンが形成され、これをマスクとしてエッチングが実施されると、ゲート電極5が形成される。

[0044] 次に、p型の拡散層を形成するためのイオン注入が行われる。これにより、駆動用p型TFETのp型の拡散層が形成される。具体的には、先ず、p型の拡散層の形成領域に重なる部分に、開口を備えるレジストパターンが形成される。続いて、ボロン(B)、インジウム(In)等のp型の不純物を用いて、例えば、注入エネルギーを10 [KeV]  $\sim 80$  [KeV]、ドーズ量を $5 \times 10^{14}$  [ion]  $\sim 2 \times 10^{16}$  [ion] に設定してイオン注入が行われる。このとき、注入後の不純物濃度は、 $1.5 \times 10^{20} \sim 3 \times 10^{21}$  [個/cm<sup>3</sup>] になるのが好ましい。イオン注入の終了後、レジストパターンの除去が行われる。

[0045] 次に、n型の拡散層を形成するためのイオン注入が行われる。本実施形態では、駆動用TFET、画素TFETにn型の拡散層が形成される。具体的には、先ず、駆動用のn型TFET、画素TFETのソース領域及びドレイン領域に重なる部分に開口を備えるレジストパターンが形成される。続いて、リン(P)、砒素(As)等のn型の不純物を用いて、例えば、注入エネルギーを10 [KeV]  $\sim 100$  [KeV]、ドーズ量を $5 \times 10^{14}$  [ion]  $\sim 1 \times 10^{16}$  [ion] に設定してイオン注入が行われる。このときも、注入後の

不純物濃度は、 $1.5 \times 10^{20} \sim 3 \times 10^{21}$  [個/cm<sup>3</sup>] になるのが好ましい。イオン注入の終了後、レジストパターンの除去が行われる。

[0046] 以上の工程により、画素 TFT、駆動用 p 型 TFT、駆動用 n 型 TFT が作製される。n 型 TFT のみで駆動させるタイプの液晶パネルの場合、p 型の拡散層を形成するためのイオン注入工程は不要となる。

[0047] また、低リーク電流が要求される画素 TFT では、チャンネルの外側に低濃度でリンが注入された領域を設け、LDD 構造を形成してもよい。

[0048] 次に、層間絶縁膜 6 を形成する。層間絶縁膜 6 は、単層であってもよいし、多層であってもよく、酸化シリコン膜 (SiO<sub>2</sub>)、窒化シリコン膜 (SiN<sub>x</sub>)、窒化酸化シリコン膜 (SiNO) 等が用いられる。例えば、酸化シリコン膜と窒化シリコン膜の積層膜 (SiO<sub>2</sub>/SiN<sub>x</sub>)、酸化シリコン膜と窒化シリコン膜と酸化シリコン膜の積層膜 (SiO<sub>2</sub>/SiN<sub>x</sub>/SiO<sub>2</sub>)、酸化シリコン膜 (SiO<sub>2</sub>)、窒化シリコン膜 (SiN<sub>x</sub>) が好適に用いられる。層間絶縁膜 6 の成膜方法としては、例えば CVD 法が用いられる。具体的には、酸化シリコン膜を形成するのであれば、原料ガスとして、SiH<sub>4</sub> と N<sub>2</sub>O、又は、SiH<sub>4</sub> と O<sub>2</sub> を用いて、プラズマ CVD 法を実施する方法が挙げられる。

[0049] 更に、ゲート絶縁膜 4 及び層間絶縁膜 6 を貫通して半導体層 3 に達する貫通孔と、バッファ膜 2、ゲート絶縁膜 4 及び層間絶縁膜 6 を貫通して遮光膜 20 に達する貫通孔とを形成する。具体的には、フォトリソグラフィを用いて、レジストパターンを形成し、これをマスクとしてエッチングすることで形成する。この貫通孔内に、後述するソース電極 7a 及びドレイン電極 7b に用いられる導電材料を充填することにより、半導体層 3 とソース電極 7a 又はドレイン電極 7b とを電氣的に接続するためのコンタクトホール 6a、及び、遮光膜 20 と中継電極 7c とを電氣的に接続するためのコンタクトホール 6b が形成される。

[0050] 次に、ソース電極 7a、ドレイン電極 7b 及び中継電極 7c を形成する。具体的には、先ず、Ta、Ti、W、Mo、Al 等の元素を主成分とする金属

材料を用いて、スパッタ法、真空蒸着法等を実施して、導電層が形成される。導電層としては、例えば、チタン膜、アルミニウム膜及びチタン膜の積層膜 (Ti/Al/Ti)、チタン膜及びアルミニウム膜の積層膜 (Ti/Al)、窒化チタン膜、アルミニウム膜及び窒化チタン膜の積層膜 (TiN/Al/TiN)、モリブデン膜、アルミニウム-ネオジム膜及びモリブデン膜の積層膜 (Mo/Al-Nd/Mo)、モリブデン膜、アルミニウム膜及びモリブデン膜の積層膜 (Mo/Al/Mo) が好適に用いられる。次に、導電層上のソース電極 7 a、ドレイン電極 7 b 及び中継電極 7 c の形成領域と重なる部分に、フォトリソグラフィを用いて、レジストパターンが形成され、これをマスクとしてエッチングが実施されると、ソース電極 7 a、ドレイン電極 7 b 及び中継電極 7 c が形成される。

[0051] 次に、後述する共通電極 9 を形成するための面を平坦化するために透明樹脂膜 (平坦化膜) 8 を形成する。透明樹脂膜 8 は、ドレイン電極 7 b と後に形成される画素電極 11 とを電氣的に導通させるために、ドレイン電極 7 b が形成された領域に開口が設けられる。また、中継電極 7 c と後に形成される共通電極 9 とを電氣的に導通させるために、中継電極 7 c が形成された領域に開口が設けられる。透明樹脂膜 8 の材料として感光性樹脂を用いれば、フォトリソグラフィ及びエッチングによって開口できる。

[0052] 次に、透明樹脂膜 8 上に共通電極 (下層透明電極) 9 を成膜する。このとき、中継電極 7 c が形成された領域に透明樹脂膜 8 を貫通するように設けた開口内にも共通電極 9 を配置し、コンタクトホール 8 b を形成する。具体的には、透明樹脂膜 8 上及び開口内に単一の導電膜を形成した後、フォトリソグラフィ及びエッチングにより導電膜をパターンニングする。共通電極 9 は、液晶の配向を変化させるための電極であり、かつ補助容量を形成する役割も有している。共通電極 9 の材料としては、バックライトから照射される光を透過できる透明導電材料が好適であり、例えば酸化インジウム錫 (ITO)、酸化インジウム亜鉛 (IZO) が好適である。

[0053] 次に、電極間絶縁膜 10 を形成する。電極間絶縁膜 10 は、単層であっても

よいし、多層であってもよく、酸化シリコン膜 ( $\text{SiO}_2$ )、窒化シリコン膜 ( $\text{SiN}_x$ )、窒化酸化シリコン膜 ( $\text{SiNO}$ ) 等が用いられる。電極間絶縁膜 10 の成膜方法としては、例えば CVD 法が用いられる。

[0054] 更に、電極間絶縁膜 10 は、ドレイン電極 7b と後に形成される画素電極 11 とを電氣的に導通させるために、透明樹脂膜 8 に設けた開口が配置された領域において、開口される。電極間絶縁膜 10 の材料として感光性樹脂を用いれば、フォトリソグラフィ及びエッチングによって開口できる。

[0055] 次に、電極間絶縁膜 10 上に画素電極 (上層透明電極) 11 を成膜する。このとき、透明樹脂膜 8 及び電極間絶縁膜 10 に形成した開口内にも画素電極 11 を配置し、コンタクトホール 8a を形成する。画素電極 11 の電極間絶縁膜 10 上の部分は、共通電極 9 との間に横方向電界を形成して、液晶の配向を変化させるための電極であり、かつ共通電極 9 との間に補助容量を形成するための電極である。また、画素電極 11 の開口内の部分は、ドレイン電極 7b と画素電極 11 とを電氣的に導通させるための電極である。画素電極 11 の材料としては、バックライトから照射される光を透過できる透明導電材料が好適であり、例えば ITO、IZO が好適である。画素電極 11 は、フォトリソグラフィ及びエッチングにより、必要部分に選択的に配置させることができる。

[0056] その後、配向膜 (図示省略) としてポリイミド膜を印刷する。以上のようにして本実施形態の液晶表示パネル用基板 (薄膜トランジスタアレイ基板) を製造することができる。

[0057] 次に、上述した薄膜トランジスタアレイ基板の配向膜側に球状スペーサを散布した後、薄膜トランジスタアレイ基板と対向基板とを所定の均一な間隔で貼り合わせる。そして、両基板の間に液晶分子を主体とする液晶層を挟持させる。

[0058] 続いて、薄膜トランジスタアレイ基板と対向基板とを貼り合わせて形成した構造体の表裏にそれぞれ偏光板を貼り付けることにより、液晶表示パネルが完成する。



[0059] 更に必要に応じて、液晶表示パネルの背面側には、バックライトユニット、各種光学フィルム等が配置され、前面側（表示面側）には、各種光学フィルム、タッチパネル等が配置される。また、液晶パネルの端部には、駆動用外部回路が接続される。それらの取付けが完了した液晶表示パネルは、シャーシ内に収納される。

以上により本実施形態の液晶表示パネル用基板を組み込んだ液晶表示装置が完成する。

#### [0060] 実施形態 2

本実施形態の液晶表示パネル用基板の構成を図 6、7 を参照して説明する。

図 6 は、実施形態 2 の液晶表示パネル用基板の構成を示す平面模式図である。図 7 は、図 6 の液晶表示パネル用基板の断面を示す断面模式図である。

[0061] 本実施形態の液晶表示パネル用基板は、横電界モードの一種である面内スイッチング（In-Plane Switching（IPS））モードの液晶表示装置に用いられるものである。実施形態 1 の共通電極 9 は、画素全体を覆っていたが、本実施形態の共通電極 9 a は、画素電極 11 と同様に楕歯状であり、画素電極 11 と同一の層に形成されている。また、本実施形態では、電極間絶縁膜 10 下に補助容量電極 12（透明電極配線）が設けられており、画素電極 11 と補助容量電極 12 とが電極間絶縁膜 10 を介して対向することによって補助容量が形成されている。その他については、実施形態 1 と同様である。本実施形態の液晶表示パネル用基板によっても、補助容量電極 12 と遮光膜 20 が電氣的に並列接続されていることによって、実施形態 1 と同様に、クロストーク、フリッカの発生を効果的に抑制できる。

[0062] 上述の各実施形態は、本発明の技術的思想を逸脱しない範囲でさまざまな変更が施されてもよく、例えば、特定の実施形態に記載された構成を他の実施形態に記載された構成により置き換えてもよいし、各実施形態同士を組み合わせてもよい。

[0063] また、上述の各実施形態において、液晶表示パネル用基板（薄膜トランジスタアレイ基板）は、カラーフィルタを備えていなかったが、本発明において

は、薄膜トランジスタアレイ基板にカラーフィルタを設けるカラーフィルタ・オン・アレイ方式を適用してもよい。

[0064] 上述の各実施形態は、透過型の液晶表示装置に関するものであったが、本発明の液晶表示パネル用基板は、透過型、反射型、及び、半透過型（透過反射両用型）のいずれの方式に適用されてもよい。透過型の液晶表示装置では、液晶表示パネルの背面側にバックライトが設けられ、液晶表示パネルの表示側及び背面側の面に偏光板がそれぞれ設けられる。反射型の液晶表示装置では、液晶表示パネルの液晶層よりも背面側に反射膜が設けられ、液晶表示パネルの表示側の面に円偏光板が設けられる。上記反射膜は、液晶層側に反射面を備える画素電極（反射電極）であってもよいし、画素電極が透過電極である場合には、画素電極とは別に設けられる。反射型の液晶表示装置としては、表示光として外光を用いるもののほか、液晶層よりも表示面側にフロントライトを備えるものが挙げられる。半透過型の液晶表示装置は、透過表示を行う透過領域と反射表示を行う反射領域とが画素内に設けられる方式と、半透過膜が画素内に設けられる方式とがある。透過領域は透過電極を備え、反射領域は反射電極又は透過電極と反射膜との積層体を備える。また、半透過型の液晶表示装置は、透過表示を行うために、透過型の液晶表示装置と同様に、液晶表示パネルの背面側にバックライトが設けられ、液晶表示パネルの表示側及び背面側の面に偏光板がそれぞれ設けられる。更に、反射表示を行うために、少なくとも表示側の偏光板には $\lambda/4$ 位相差板が付設され、円偏光板が構成される。

[0065] なお、本願は、2011年1月27日に出願された日本国特許出願2011-015291号を基礎として、パリ条約ないし移行する国における法規に基づく優先権を主張するものである。該出願の内容は、その全体が本願中に参照として組み込まれている。

## 符号の説明

- [0066] 1 ガラス基板  
2 バッファーマン

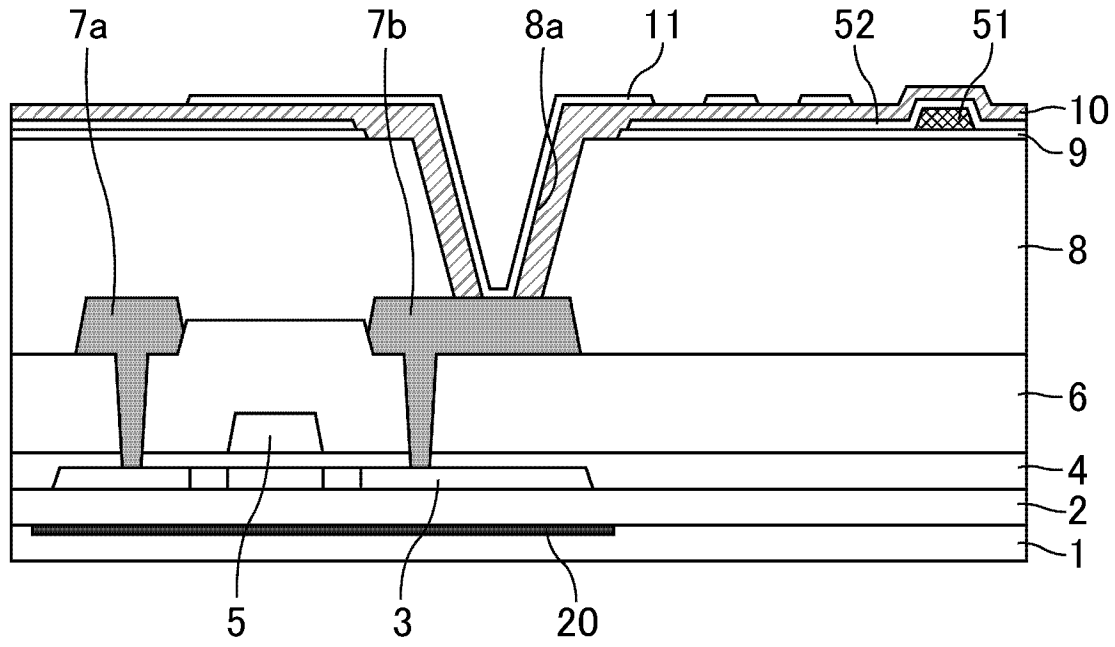
- 3 半導体層
- 4 ゲート絶縁膜
- 5 ゲート電極
  - 5 a 補助容量配線
- 6 層間絶縁膜
  - 6 a、6 b コンタクトホール
- 7 a ソース電極
- 7 b ドレイン電極
- 7 c 中継電極
- 8 透明樹脂膜
  - 8 a、8 b コンタクトホール
- 9、9 a 共通電極
- 10 電極間絶縁膜
- 11 画素電極
- 12 補助容量電極
- 20 遮光膜
- 51、52 配線層

## 請求の範囲

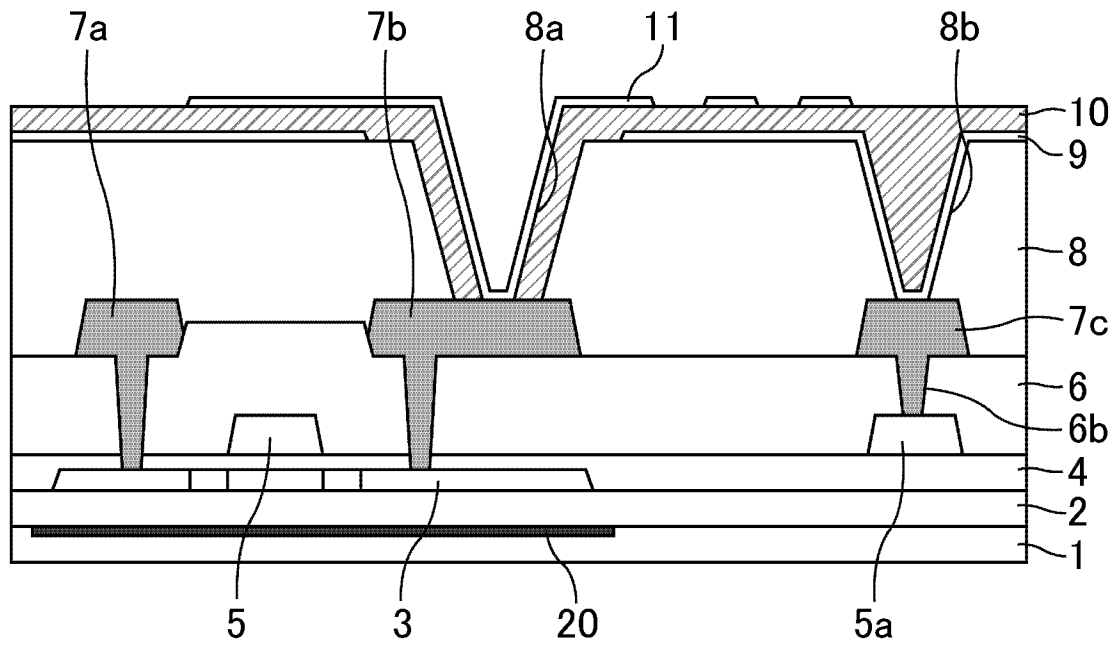
- [請求項1] 遮光性導電部材と、前記遮光性導電部材よりも上層に配置された薄膜トランジスタと、前記薄膜トランジスタよりも上層に配置された透明電極配線と、前記透明電極配線よりも上層に配置された画素電極とを備える液晶表示パネル用基板であって、  
前記遮光性導電部材は、前記薄膜トランジスタのチャンネル領域を覆う遮光体であり、かつ前記透明電極配線に並列に接続された配線であり、  
前記透明電極配線は、絶縁膜を挟んで前記画素電極に対向する部分を有することを特徴とする液晶表示パネル用基板。
- [請求項2] 前記遮光性導電部材の電気伝導率は、前記透明電極配線の電気伝導率よりも高いことを特徴とする請求項1記載の液晶表示パネル用基板。
- [請求項3] 前記遮光性導電部材は、タンタル、チタン、タングステン、モリブデン及びアルミニウムからなる群より選択された少なくとも一種の元素を含む金属層又は合金層を含むことを特徴とする請求項1又は2に記載の液晶表示パネル用基板。
- [請求項4] 前記透明電極配線は、酸化インジウム錫又は酸化インジウム亜鉛を含むことを特徴とする請求項1～3のいずれかに記載の液晶表示パネル用基板。
- [請求項5] 前記遮光性導電部材と前記薄膜トランジスタのゲート電極との間に、膜厚300nm以上の絶縁膜を備えることを特徴とする請求項1～4のいずれかに記載の液晶表示パネル用基板。
- [請求項6] 請求項1～5のいずれかに記載された液晶表示パネル用基板を備える液晶表示装置であって、前記画素電極と前記透明電極配線とによって液晶に電圧を印加することを特徴とする液晶表示装置。
- [請求項7] 請求項1～5のいずれかに記載された液晶表示パネル用基板を備える液晶表示装置であって、バックライトを備えることを特徴とする液晶

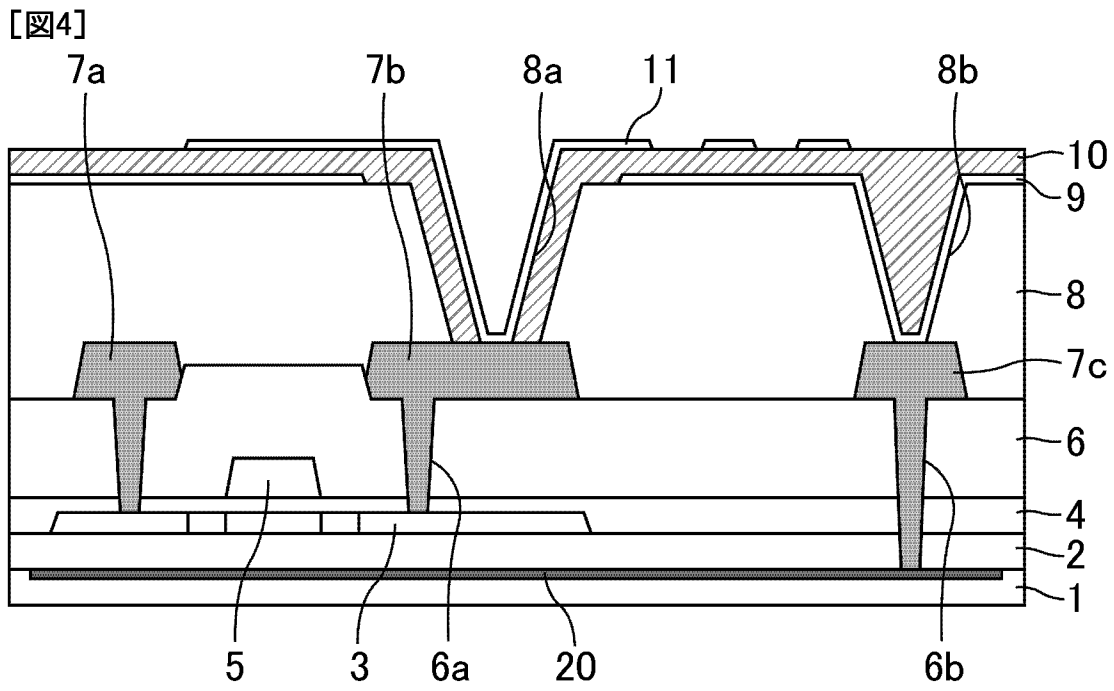
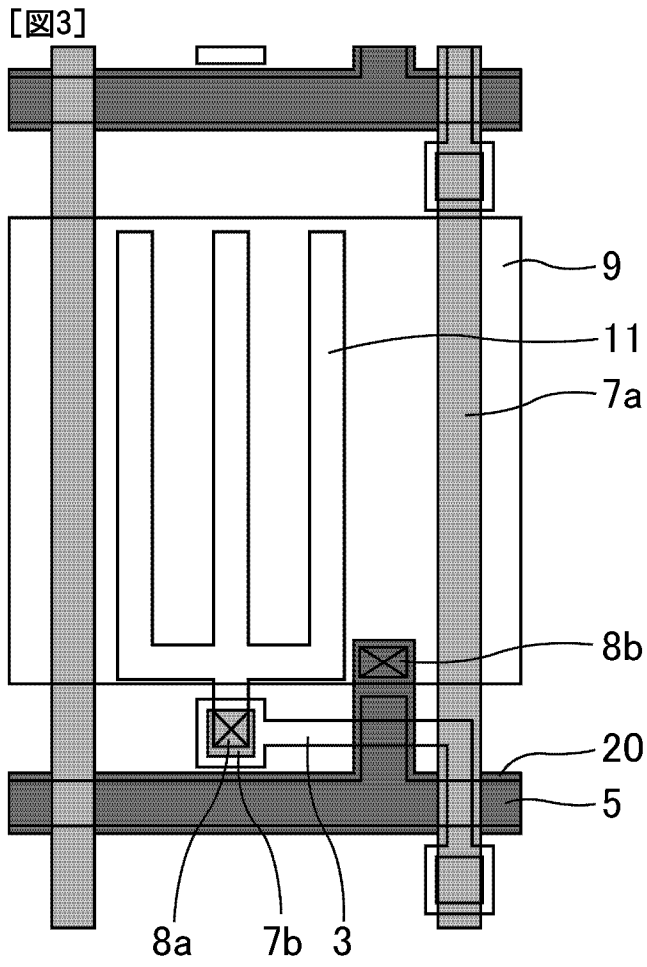
表示装置。

[図1]

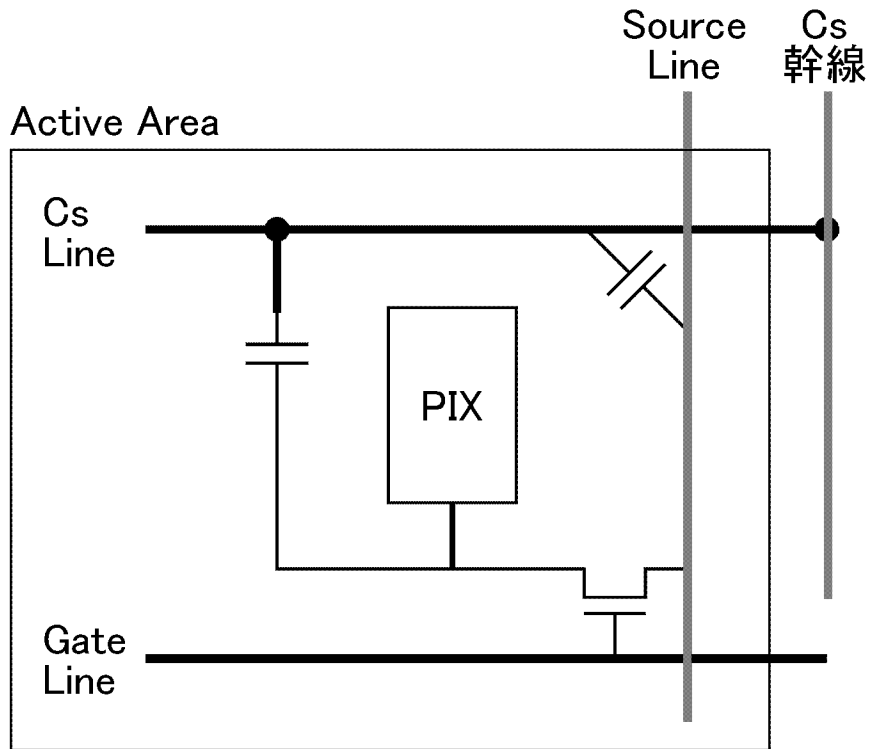


[図2]

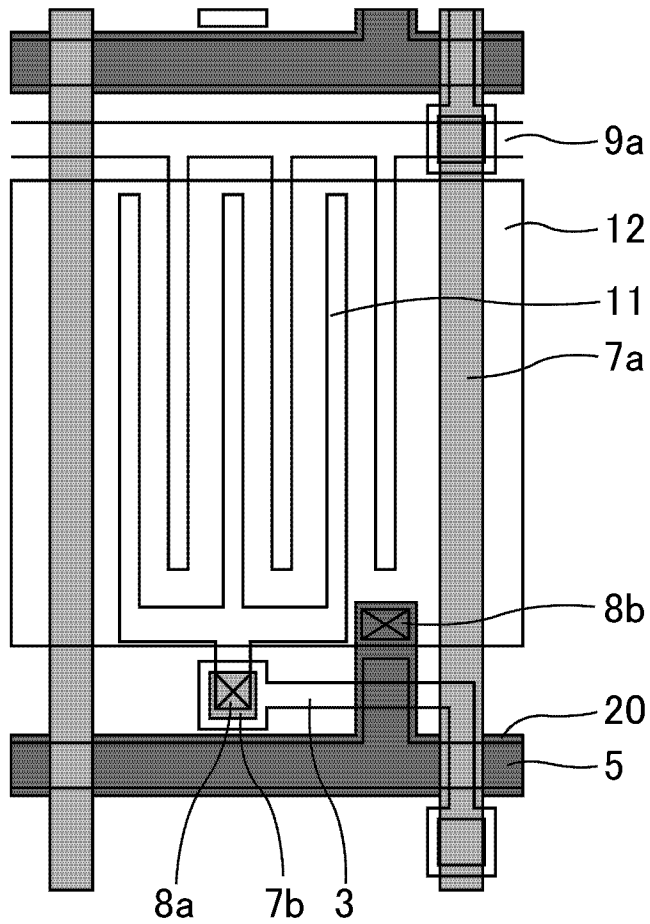




[図5]

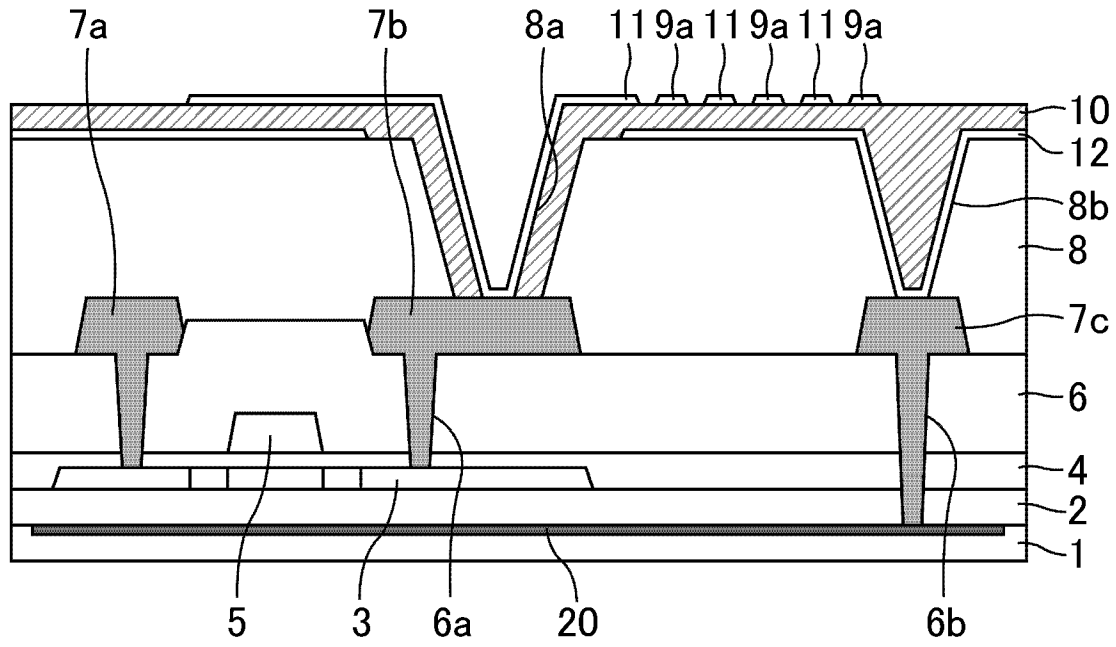


[図6]





[図7]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/051028

## A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-119252 A (Hitachi, Ltd.), 30 April 1999 (30.04.1999), entire text; all drawings (Family: none)	1-7
A	JP 2002-057341 A (Sony Corp.), 22 February 2002 (22.02.2002), entire text; all drawings & US 2002/0089616 A1 & EP 1180716 A2 & TW 544906 B & KR 10-2002-0013774 A & CN 1338658 A	1-7
A	JP 2001-013522 A (Seiko Epson Corp.), 19 January 2001 (19.01.2001), entire text; all drawings (Family: none)	1-7

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
29 February, 2012 (29.02.12)Date of mailing of the international search report  
13 March, 2012 (13.03.12)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G02F1/1368 (2006.01) i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G02F1/1368		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2012年 日本国実用新案登録公報 1996-2012年 日本国登録実用新案公報 1994-2012年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 11-119252 A (株式会社日立製作所) 1999.04.30, 全文、全図 (ファミリーなし)	1-7
A	JP 2002-057341 A (ソニー株式会社) 2002.02.22, 全文、全図 & US 2002/0089616 A1 & EP 1180716 A2 & TW 544906 B & KR 10-2002-0013774 A & CN 1338658 A	1-7
A	JP 2001-013522 A (セイコーエプソン株式会社) 2001.01.19, 全文、全図 (ファミリーなし)	1-7
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 29.02.2012	国際調査報告の発送日 13.03.2012	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 福田 知喜 電話番号 03-3581-1101 内線 3255	2 L 3703