

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G01R 31/26

(45) 공고일자 1999년06월01일
(11) 등록번호 10-0187871
(24) 등록일자 1999년01월08일

(21) 출원번호	10-1996-0004039	(65) 공개번호	특1996-0035042
(22) 출원일자	1996년02월21일	(43) 공개일자	1996년10월24일
(30) 우선권주장	8/398,468 1995년03월03일 미국(US)		
(73) 특허권자	인터내셔널 비지네스 머신즈 코포레이션 포만 제프리 엘 미국 10504 뉴욕주 아몬크 뉴오차드 로드		
(72) 발명자	존 코너 미합중국 05401 버몬트주 버링톤 로리 레인 64 루이지 테놀로, 주니어 미합중국 05446 버몬트주 콜체스터 그레이 버치 드라이브 19 비 로버트 딘 아담스 미합중국 05452 버몬트주 에섹스 정선 카운트리사이드 드라이브 31 가렛트 스티븐 코치 미합중국 05464 버몬트주 제퍼슨빌 알.알. 1, 박스 52 스튜아트 다니엘 라포포르트 미합중국 10027 뉴욕주 뉴욕 119 스트리트 아파트먼트 4지435 더블유		
(74) 대리인	장수길		

심사관 : 권호영

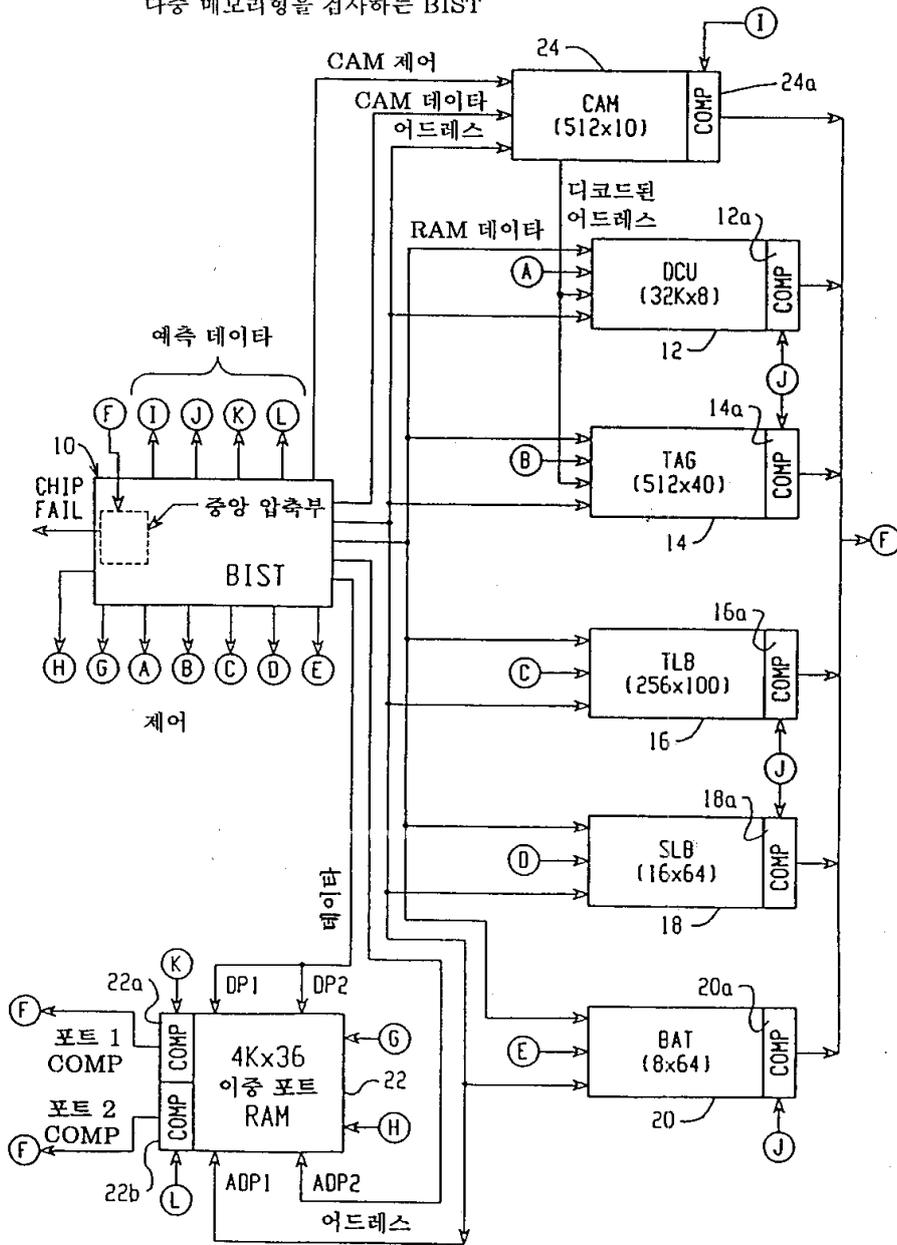
(54) 다수의 메모리를 검사하기 위한 비스트(BIST)검사기 및 검사방법

요약

본 발명은 상태 머신을 이용하여 칩상의 모든 메모리를 검사하는데 필요한 모든 패턴을 선택하여 발생시키고, 예측 데이터와 어드레스 정보를 포함하는 모든 데이터를 동시에 모든 메모리상에 전송함으로써, 크기, 형태 및 특성이 서로 다른 여러가지 메모리를 검사할 수 있는 단일 BIST를 제공한다. 또한, BIST는 여러가지 메모리마다 유일한 (개별)제어 신호를 발생시켜 이들 제어 신호를 여러가지 메모리상에 전송한다. BIST는 여러가지 제어 신호를 선택적으로 공급하여 특정 제어 신호가 공급되는 메모리에만 데이터를 기입 (기록)하고 이들 메모리로부터만 오류 정보를 판독하여 포착한다. 메모리의 기록 인에이블 신호를 선택적으로 공급함으로써 메모리 셀 기록 및 누출 결함을 잠재적으로 덮어 버릴 수 있는 다중 기록을 방지하고, 유효한 메모리 출력 데이터가 예측될 때에만 메모리의 결과 로드 신호가 선택적으로 공급되도록 함으로써 잘못된 오류 정보가 얻어지지 않도록 한다. 제어 신호는 특정 시퀀스의 입력 또는 주어진 입력 시퀀스의 어느 부분도 이용하지 않는 메모리들에게 이러한 신호를 무시하도록 지시함으로써, 모든 메모리 각각에 대한 검사 패턴, 이들 패턴에 대한 데이터와 어드레스 정보, 각 메모리에 기록하고 그 메모리를 판독하여 특정 메모리에 대한 오류 정보를 포착하기 위한 제어 신호를 형성하기 위해 필요한 신호를 발생시킨다. 따라서, 단일 BIST를 이용하여 상이한 크기 및 상이한 형태를 가진 다수의 메모리를 검사할 수 있다.

대표도

다중 메모리형을 검사하는 BIST



명세서

[발명의 명칭]

다수의 메모리를 검사하기 위한 비스트(BIST) 검사기 및 검사 방법

[도면의 간단한 설명]

제1도는 칩상에 내장된 (서로 다른 특성을 갖는) 다수의 메모리를 동시에 검사하기 위한 BIST(Built-In Self-Test)의 상위 레벨 블럭도.

제2a도 및 제2b도는 여러가지 신호 및 데이터 경로와 버스를 도시한, 본 발명에 따른 BIST의 블럭도.

제3a도 및 제3b도는 서로 다른 특성을 갖는 메모리의 판독, 기록 및 출력 압출을 제어하는 BIST의 일부를 도시한 도면.

제4도는 이중 포트 RAM을 검사하기 위한 BIST 제어부를 도시한 도면.

제5도는 내용 지정 메모리(Content Addressable Memory:CAM)의 한 실시예를 도시한 도면.

* 도면의 주요부분에 대한 부호의 설명

10 : BIST
 12 : DCU 메모리
 14 : TAG 메모리
 16 : TLB 메모리
 18 : SLB 메모리
 20 : BAT 메모리
 22 : RAM
 24 : CAM
 62 : 광역 기록 인에이블 포트(global write enable port)
 72 : 광역 결과 로드 포트(global load result port)

[발명의 상세한 설명]

본 발명은 일반적으로 집적 회로 (또는 반도체)의 내장형 셀프-테스트(built-in self-test)에 관한 것으로, 특히 여러가지 크기 및 기능을 갖는 다수의 내장형 메모리를 검사하기 위한 단일 내장형 셀프-테스트 상태 머신(state machine)의 사용에 관한 것이다.

집적 회로 기술이 진보됨에 따라, 더 많은 회로 소자, 따라서 더 많은 회로와 회로 기능이 1개의 칩상에 놓이게 되었다. 이들 회로들은 다른 많은 기능들을 수행하기 때문에, 회로들을 사용하기 전에 검사하여야 한다. 대부분의 회로들은 외부 검사기, 즉 칩의 일부가 아니거나 칩상에 형성되지 않은, 더욱 정확하게 말하자면, 분리되어 있는 독립형 머신(stand-alone machine) 검사기들을 사용하여 검사될 수 있다. SIMM 또는 그밖의 증설 카드 또는 모듈 내의 메모리와 같은 회로들이 이러한 방식으로 검사될 수 있다. 그러나, 여러가지 이유로 인해 이러한 외부 머신에 의해 검사될 수 없는 특정 회로들도 있다. 예를 들어, 마이크로프로세서와 관련된 여러가지 메모리들은 검사용 외부 머신에 접속하기 위한 어떠한 외부 액세스 패드 또는 다른 수단도 구비하고 있지 않다. 이러한 문제를 해결하는 방법은 칩 디바이스 및 다른 회로 소자들이 형성될 때 동일한 칩상에 검사 회로를 직접 형성하는 것이다. 이들 내장형 회로들을 종종 내장형 셀프-테스트(Built-In Self-Test; BIST)라 부른다. 전형적인 BIST는 본 명세서의 일부로서 참조되는 특허로서, 1992년 12월 22일 허여되고 발명의 명칭이 집적회로용 내장형 셀프 테스트(BUILT-IN SELF TEST FOR INTEGRATED CIRCUIT)인 미합중국 특허 제5,173,906호에 도시되고 설명되어 있다. 이러한 BIST는 매우 잘 작동되고, 마이크로프로세서와 함께 사용되거나 또는 마이크로프로세서의 일부로서 사용되는 메모리에 필수적인 검사 기능을 제공한다. 그러나, 이러한 온-칩(on-chip) 검사기의 경우, 다른 BIST와 마찬가지로, 검사되고 있는 각각의 메모리마다 또는 최소한 형태 또는 크기가 다른 각각의 메모리마다 별도의 BIST가 필요하다. 이를 위해, 각각의 BIST는 칩의 표면상의 공간 또는 영역을 필요로 하는데, 이 공간은 BIST가 검사하기 위해 연관된 칩 영역의 2-3% 정도에 해당된다. 따라서, 단일 BIST가 모든 메모리를 검사할 수 있도록 함으로써, 칩 표면상의 유효 영역을 절약하는 것이 바람직할 것이다. 그러나, 이러한 해결책에는 두가지 중요한 제한이 있다. 먼저, 검사를 행하는데 상당한 추가 시간이 필요하지 않아야 하고, 메모리들의 크기, 형태 또는 특성에 관계없이 여러가지 메모리 각각에 필요한 검사 기능 및 패턴을 1개의 BIST가 모두 수행할 수 있어야 한다.

본 발명에 따르면, 서로 다른 크기와 형태 및 특성을 갖는 여러가지 메모리를 검사할 수 있는 단일 BIST가 제공된다. 이것은 로직을 포함하는 상태 머신을 이용하여 칩상의 모든 메모리를 검사하기 위해 요구되는 모든 패턴을 선택하고 생성하고, 예측 데이터를 포함하는 모든 데이터와 어드레스 정보를 모든 메모리상에 동시에 전송(impress)함으로써 이루어진다. BIST는 또한 여러가지 메모리를 위한 특정(개별) 제어 신호를 발생시키고, 이들 제어 신호를 여러가지 메모리상에 전송한다. BIST는 여러가지 제어 신호를 선택적으로 공급하여(assert), 특정 제어 신호가 공급된 메모리에만 데이터를 제공 (기록)하고, 그 메모리로부터 오류 정보를 판독하여 얻어낸다(결과 로드). 제어 신호는 특정한 시퀀스의 입력 또는 주어진 시퀀스의 입력의 어느 부분도 사용하지 않는 메모리에 대해서는 이러한 신호를 무시하도록 지시한다. 따라서, BIST는 각각의 그리고 모든 메모리에 대한 필수 검사 패턴, 이들 패턴용 데이터 및 어드레스 정보, 및 각각의 메모리를 기록 및 판독하고 그 특정 메모리에 대한 오류 정보를 포착하기 위한 제어 신호를 형성하는데 필요한 신호를 생성한다. 따라서, 단일 BIST를 사용하여 크기와 형태가 다른 다수의 메모리를 검사할 수 있다. 메모리의 기록 인에이블 신호(memory's write enable signal)를 선택적으로 공급함으로써, 셀 기록 결함 및 셀 누출 결함을 잠재적으로 감출 수 있는 위치로의 다중 기록을 방지한다. 메모리의 결과 로드 신호(memory's load result signal)를 선택적으로 공급함으로써, 두번째 및 그 이후의 어드레스 액세스시에 메모리내에 저장되어 있는 잠재적인 반전 데이터(potentially inverted data)로 인한 잘못된 오류 신호의 포착을 방지할 수 있다.

도면을 구체적으로 참조하기 전에, BIST 및 그의 동작에 대해 개략적으로 설명하겠다. 미합중국 특허 제 5,176,906호에 설명된 바와 같이, VLSI 회로용 온 칩 내장형 셀프 테스트(BIST) 디바이스가 제공된다. VLSI와 동일한 칩상에 내장된 BIST는 선정된 검사 패턴 데이터를 발생시켜 이 데이터를 VLSI 회로의 입력에 기록하며, 그 결과를 판독하여 그 기록 결과를 예측 결과와 비교하기 위한 데이터 패턴 발생기를 포함한다. 제5,173,906호 특허는 단일 메모리 전용의 BIST 회로를 설명하고 있지만, 본 발명이 하나의 BIST를 이용하여 상이한 특성을 갖는 복수의 상이한 메모리를 이러한 상이한 메모리들에 대해 동시에 실행되는 동일한 데이터 검사 패턴으로 검사하기 위해 필요한 제어 논리 회로를 제공한다는 점을 제외하고는 동작 면에서 본 발명과 동일하다.

원하는 검사에 따라 여러가지 다른 패턴이 발생할 수 있다. 소정의 메모리는 전형적으로 6가지 다른 패턴, 즉 유니크 어드레스 리플 워드(unique address ripple word; UARW), 유니크 어드레스 리플 비트(unique address ripple bit; UARB), 체커보드(checkerboard; CHBD), 워드선 스트라이프(Wordline Stripe; WLS), 블랭킷(Blanket; BL) 및 프로그램가능(programmable; PG) 패턴으로 검사될 수 있다. 프로그램가능 패턴을 제외한 이들 모든 패턴은 기본적으로 하드-코드화(hard-coded)되어 있고, 프로그램 가능한 패턴은, 본 기술 분야에 공지되고 미국 특허 제5,173,906호에 설명된 바와 같이, 논리 회로의 스캐닝 및 초기화동안 기록-판독 데이터 시퀀스 및 어드레스 제한으로서 프로그램될 수 있다.

또한, 검사 데이터에 대한 동작을 가능하게 하는 VLSI 회로의 동작용 제어 신호를 발생하기 위해 제어 신호 발생기가 제공된다.

데이터 발생기-몇몇 애플리케이션에 대해서는 동일한 검사 패턴 발생기로 될 수 있음-은 검사 데이터의 애플리케이션으로부터 VLSI 회로로 입력 데이터 및 예측된 데이터(예측 데이터)를 발생시킨다. 예측 데이터를 메모리로부터 판독하여 실제 데이터와 비교하고, 이에 따라 합격/오류(pass/fail) 신호를 발생시켜 최종 압축 래치(final compression latch)에서 포착한다. 이러한 방식으로, 선정된 검사 패턴이 마이크로 프로세서상에 내장된 BIST에 의해 VLSI 회로 또는 메모리 회로에 인가될 수 있다.

리던던시(redundancy)가 이용 가능하다면, 오류가 난 메모리 소자의 위치를 진단용으로 사용될 수 있는 레지스터내 및/또는 효용 리던던시 메모리내에 저장하여, 1개 이상의 메모리 셀에 오류가 있더라도 침을 수리하도록 한다.

전술한 BIST는 기본적으로 하나의 상태 머신 또는 바람직하게는 일련의 종속 상태 머신(a series of dependent state machines)으로서, 다양한 메모리를 검사하기 위해 상이한 검사 패턴과 필수적인 기록 인에이블(WE) 및 결과 로드(LR) 신호를 생성하여 하나의 상태(패턴, 서브사이클, 모드)로부터 또다른 상태로 이동한다.

BIST(10)은 현재 어드레스가 메모리의 어드레스 공간을 초과할 때, 그리고 그외에 개별적인 메모리의 기능에 따라 적절하게 각각의 메모리의 WE 및 LR 신호를 차단한다. WE 신호를 차단하는 것은 특정 패턴을 통해 메모리 위치에 재기록하는 것을 방지해준다. 메모리에 재기록하는 것은 잠재적으로 셀의 전하 누출 문제를 덮을(mask) 수 있다. 최대 어드레스에 도달하면, 상태 머신은 대기(WAIT) 상태로 들어가고, 어드레스 카운터를 리셋하며(reset), 새로운 서브사이클의 공급을 포함하는 다양한 갱신을 수행한다. 예를 들어, 서브사이클 RC1은 판독 0, 기록 1, 판독 1, 기록 1(ROW1R1W1)을 수행하게 된다. 이러한 새로운 서브사이클에 바로 이어서, 상태 머신은 검사중인 메모리에 이 새로운 서브사이클의 데이터 판독/기록 동작을 가하며 어드레스 공간에 걸쳐 다시 진행하기 시작한다. 이전의 WC 서브사이클에서 기록된 001 UARW 또는 UARB 패턴으로 된 RC1 서브사이클의 셀의 제1억세스(RO) 동안 판독된다. RC1 서브사이클의 4번째 억세스 시에, 셀은 반대값의 데이터로 기록된다(W1). 보다 작은 메모리용 어드레스가 억세스된다면, 제2 및 후속 시간동안 RO 동작이 발생하고, 1이 판독되고, BIST는 이번 억세스 동안 0을 판독할 것으로 예측하기 때문에 오류가 관찰될 것이다. 이를 해결하기 위해, 공통 예측 데이터 버스 및 유니크 메모리 LR 신호가 사용되었다. 현재 어드레스가 메모리의 어드레스 공간의 범위를 벗어나고 LR 신호가 차단될 때마다, LR 신호와 압축 출력값을 AND 연산함으로써 잘못된 오류 신호가 발생하는 것을 방지할 수 있다. 메모리 유닛이 완전 기록(write-through) 능력을 갖고 있다면, 이 메모리의 완전 기록 능력이 BIST(10)에 의해 검증될 수 있도록 어드레스 공간내의 기록 사이클 동안 LR 신호가 공급될 필요가 있다.

따라서, 미국 특허 제5,173,906호의 개념 및 회로는, 본 발명에 따라 사용되는 광역 기록 인에이블 및 광역 결과 로드 제어 신호(global write enable and global load result control signals)와 함께, 필수 검사 패턴을 발생시키기 위한 상태 머신의 기초를 제공한다. 그러나, 미국 특허 제5,173,906호의 BIST는, 상기 특허에 구체적으로 설명되어 있는 바와 같이, 각각의 메모리 또는 적어도 각각의 메모리 구조에 대해 하나의 BIST를 필요로 한다. 사실, 칩상의 다양한 VLSI 회로가 검사 패턴을 완성하는데 각각 다른 시간을 필요로 하는 다른 BIST들을 가질 수 있다는 것을 상기 특허는 지적하였다. 따라서, 검사될 각각의 메모리 또는 적어도 다른 특성의 메모리들은 별도의 상태 머신을 필요로 하고, 각각은 자신의 신호에 따라 작동되며, 각각은 패턴 제어, 패턴 발생 등의 모든 기능을 위해 칩상에 별도의 공간을 필요로 한다. 한편, 본 발명은 미국특허 제5,173,906호에 개시되어 있는 형태의 상태 머신을 한개만 이용하여 상이한 특성의 개별적인 메모리들을 동시에 검사할 수 있도록 한다.

이제, 제1도를 참조하면, 일단의 메모리와 이에 연관된 BIST에 회로 접속이 표시된 상위 레벨의 블록도가 도시되어 있다. BIST와 다양한 메모리들은 모두 집적 회로칩 상에 칩의 일부로서 형성되어 있으며(집적 회로칩은 VLSI 소자를 포함하고, VLSI 소자 위에 다양한 메모리가 형성되어 있음), BIST 소자는 그의 검사 기능이 수행되거나 완료된 이후에도 칩상에 그대로 남아 있는데, 시스템이 초기에 턴온될 때나 시스템 진단중의 파워-온 자기 검사(Power-on Self-Test; POST) 동안에는 사용될 수 있어도, 동작 또는 기능 모드에 있는 칩의 정상 동작 동안에는 어떠한 기능도 수행하지 않는다. 어떠한 경우이든, BIST에 의해 점유된 칩상의 영역 또는 실제 면적을 비교적 작게 하는 것이 바람직하다.

제1도에 도시된 바와 같이, 본 발명에 따라 형성된 BIST(10)이 실리콘 또는 그밖의 다른 반도체 기판(도시되어 있지 않음) 상에 형성된다. BIST(10)은 상이한 크기 및 구조를 갖는 여러 다양한 메모리에 접속되어 있다. 이들 특정 메모리들은 설명의 목적상 도시된 것이고, 다른 특성을 갖는 다른 형태의 메모리들도 사용될 수 있으며, 본 발명의 BIST(10)에 의해 검사될 수 있다. 메모리에는, 데이터 캐시 유닛(Data Cache Unit; DCU) 메모리(12), TAG 메모리(14)(다른 데이터를 찾기 위한 태그를 저장하는 메모리 형태), 변환 색인 버퍼(translation lookaside buffer; TLB) 메모리(16), 세그먼트 색인 버퍼(Segment Lookaside Buffer; SLB) 메모리(18) 및 블록 어드레스 변환 버퍼(Block Address Translation Buffer; BAT) 메모리(20)가 포함되어 있다. 이러한 모든 메모리들(12, 14, 16, 18 및 20)은 서로 다른 어드레스 길이, 폭 및 기능적 특성을 갖는 단일 포트 메모리이다. DCU 메모리(12)는 32K×8의 구성, TAG 메모리(14)는 512×40의 구성, TLB 메모리(16)는 256×100의 구성, SLB 메모리는 16×64의 구성, 그리고 BAT는 8×64의 구성을 갖는다. 이들 각각의 메모리들은 서로 다른 크기 및 서로 다른 어드레스 지정 가능한 구조를 갖는다. 즉, DCU은 그밖의 다른 메모리들보다 상당히 많은 어드레스 지정 가능한 위치를 포함하며, 다른 메모리들 각각은 보다 작은 어드레스 지정 가능 공간을 갖는다. 그러나, 모든 메모리(12, 14, 16, 18 및 20)은 동일한 검사 패턴으로 검사되는 단일 포트 메모리들이다.

또한, 다양한 패턴 구성으로 검사되어야 할 이중 포트(dual port)의 랜덤 액세스 메모리(RAM)(22)가 제공된다. 모든 메모리(12, 14, 16, 18, 20 및 22)의 공통 특성은 메모리로 기록되는 어떤 데이터도 판독해낼 수 있다는 것이다. 즉, 소정 어드레스 위치에 저장된 어떠한 데이터라도 그 위치에 기록된 데이터로서 판독될 수 있다는 측면에서 그 메모리 위치는 판독가능하다는 의미이다.

내용 지정 메모리(CAM)(24)가 또한 제공된다. 이 메모리(24)는 512×10비트 메모리이고, 여기서 512엔트리는 8개의 10비트 비교기의 그룹으로 분할된다. 내용 지정 메모리(CAM)은 자신의 내부에 기록된 이진 데이터가 여러 어드레스 위치에 저장되는 메모리이지만, 이 실시예에서는 상기 저장된 데이터가 직접 판독될 수 없다. CAM 메모리는 특정 비트 패턴이 그 내부에 저장되어 있는지를 판단하기 위해, 공급된 이진

데이터와 비교하는 기능을 수행한다. 패턴이 저장되어 있다면, CAM 메모리는 적절한 출력 신호, 예를 들면, 이진수 1을 출력함으로써 응답하고, 패턴이 저장되어 있지 않다면, 저장된 데이터에 따라 각각의 비교기의 출력상에 이진 0을 출력한다. 또다른 방식으로 표현하면, CAM 메모리(24)는 다른 메모리의 어드레스의 부분에 대응하는 비트들이 선정된 패턴으로 저장되어 있는 비교기로서의 역할을 하며, CAM(24) 상에 비트 패턴이 전송될 때, CAM(24)는 전송된 비트 패턴을 저장된 비트 패턴과 비교하여 특정 비트 패턴이 저장되었는지를 판단하며, 8개의 비교기 중 하나의 비교기가 그 비트 패턴을 찾게 된다. 따라서, CAM의 검사 기능은, 여러 검사 데이터를 입력하고, 그 다음에 CAM 내부에 저장된 데이터와 CAM 상으로 전송된 이진 데이터를 비교하는 기능을 수행하여, 이러한 저장된 데이터가 소정의 위치에 존재하는지의 여부를 그 출력 응답이 적절하게 표시하고 있는지를 판단하는 것을 필요로 한다. 이는 CAM을 작동시키는 BIST의 동작과 함께 설명하겠다.

BIST(10)과 다른 메모리들간의 다양한 접속은 도면을 간단히 할 수 있도록 도시되어 있다. 특정 입력은 문자로서 식별되어 있고, BIST로부터의 대응 출력이 여러 메모리로의 입력에 대응하는 문자로서 식별되어 있다. 즉, BIST(10)으로부터의 출력(A)는 DCU(12)로의 입력(A)이고, BIST(10)으로부터의 출력(B)는 TAG(14)로의 입력(B)이며, 다른 것들도 이와 마찬가지로이다. 그밖의 신호선은 직접 접속 형태로 도시되어 있고 도면 부호로 식별된다(제1도 참조).

각각의 메모리(12,14,16,18,20 및 24)는 각각의 해당 데이터 압축 회로를 구비하는데, 이 회로는 메모리 데이터 출력을 예측 데이터와 비교하고 이들이 이리하지 않을 때 메모리 오류 신호(memory fail signal)를 발생시킨다. 이들 압축 회로는 각각 부호(12a,14a,16a,18a,20a 및 24a)로 식별되어 있다. 이중 포트 메모리 RAM(22)은 각각의 포트로부터 각각 부호(22a 및 22b)가 붙어 있는 2개의 압축 데이터 블록을 갖는다. 메모리 출력부에 있는 압축 회로는 출력 데이터와 BIST(10)에서 공급한 예측 데이터를 비교하고 메모리마다 1개의 합격/오류(pass/fail) 비트를 발생시킨다. DCU 및 리던던시(redundancy)를 사용하는 임의의 다른 메모리로부터의 합격/오류 비트는 오류 어드레스 레지스터(Failed Address Register; FAR)(제2b도의 44)에 전송된다. FAR(44)는 오류 비트 및 이에 해당하는 오류 어드레스 위치를 저장한다. FAR는 리던던트 워드선이 있는 만큼의 DCU 오류만을 저장할 수 있도록 설계되어 있다. FAR이 가득찬 상태가 되고 더 이상의 리던던트 워드선이 이용 가능하지 않다면, 오버플로우 오류 비트(overflow fail bit)가 FAR로부터 BIST(10)내의 중앙 오류(central fail) 블록(제2b도의 46)으로 전달된다. 다른 메모리들로부터의 모든 다른 FAIL 비트(TAGFAIL, BATFAIL, TLBFAIL, SLBFAIL, DP1FAIL, DP2FAIL)들도 또한 이 중앙 오류 블록(46)으로 전달된다. 오류가 있는 곳의 어드레스 위치는 저장되지 않고, 오류 비트도 저장되지 않는다. 이들 오류 비트들은 더욱 압축되어 칩 외부로 전송될 하나의 칩 오류 신호를 발생시킨다. 리던던시가 없는 각각의 메모리를 위해 저장 래치(storage latch, 도시되지 않음)가 존재하여, 그 메모리에서 오류가 발생하는 첫번째 오류를 저장한다. 따라서, BIST(10)은 7개의 서로 다른 메모리에 대해 필수적인 검사 정보를 제공하는 기능과 데이터를 포착하는 기능을 수행하며, 서로 다른 특성을 갖는 이들 메모리 모두는 동일한 BIST(10)에 의해 제어된다.

이제, 제2a도 및 제2b도를 참조하면, 다양한 소자가 보여주는 BIST의 상위 레벨 블록도가 도시되어 있다. 전술한 바와 같이, BIST의 기본 구조는 미국특허 제5,173,196호에 개시된 상태 머신과 동일하다. 이 상태 머신은 메모리에 기록되도록 상태 머신에 의해 제어되는 다양한 검사 패턴을 제공하고, 결과를 로드하고, 중앙 오류 블록에서의 메모리 합격/오류 신호와 오류 어드레스 레지스터(44)의 오류 어드레스를 수신한다. 종래 기술의 상태 머신은, 하나의 메모리내에 검사 데이터를 기록하고, 그 메모리로부터 데이터를 판독하고, 그 판독된 데이터와 예측 데이터를 비교하는 기능을 제어하는 위상 제어 기능을 또한 포함하고 있다.

이를 위해, 클럭 레지스터(30)이 제공되는데, 클럭 레지스터(30)은 시스템 클럭(SYSCLK)로부터 클럭 신호를 수신하고, 상태 머신의 모든 다양한 기능에 대한 클럭킹 신호를 제공한다. 어드레스 비교 기능부(32), 어드레스 카운터(34), 모드 및 갱신 제어(36), 데이터 및 예측 데이터 발생기(38), 서브사이클 제어부(40) 및 패턴 제어부(42)가 제공된다. BIST(10)은 또한 오류 어드레스 레지스터(44) 및 중앙 오류 저장부(46)을 포함한다. 클럭 발생기(30), 어드레스 비교기(32), 어드레스 카운터(34) 및 중앙 오류 저장부(46)은 검사될 모든 메모리에 공통적이다. 그러나, 모드 및 갱신 제어부(36), 데이터 및 예측 데이터 발생기(38), 서브사이클 제어부(40) 및 패턴 제어부(42)는 메모리(12,14,16,18,20 및 22)마다 특정된다. 이들에 필적하는 기능들이, 이제 설명되는 바와 같이, CAM(24)용으로 특별하게 제공된다. 이제까지 설명한 시스템은 미국특허 제5,173,906호에 도시된 시스템과 동일한 방식으로 수행하고, 그 내부의 기능들은 패턴 제어부, 모드 제어부, 서브사이클 제어부, 위상 제어부, 데이터 패턴 발생기 및 어드레스 카운터로서 설계되어 있다. 미국특허 제5,173,906호의 위상 제어부는, 판독, 기록, AS, 및 WGATE로 이루어져 있고 도시된 하나의 메모리에 대해서만 특정되어 있음을 주목해야 한다. 판독 및 기록만이 이 실시예에 관련되어 있고, 본 발명에서는 이를 각각 광역 결과 로드(global load result) 및 광역 기록 인에이블(global write enable)로서 표시하겠다. 이들 기능은 미국특허 제5,173,906호에 상세히 설명되어 있으므로, 본 명세서에서는 여러 신호를 표시한 것 이상으로 상세히 설명하지 않겠다. 전술한 바와 같이, 본 발명에서는 위상 제어 기능부(48)가 여러 메모리로의 데이터 기록 및 이로부터의 데이터 판독을 제어하기 위해 제공된다. 그러나, 이 경우에, 데이터 및 예측 데이터 발생기는 RAM 데이터 포트 및 예측 데이터 포트를 출력 부로서 구비하여, DP1, DP2뿐만 아니라 DP1 예측 데이터 및 DP2 예측 데이터를 제공한다. 이것은, 모두 동일한 상태 머신 및 동일한 패턴 및 서브사이클의 제어에 기초하여, 한 집합의 데이터가 1개의 포트 메모리(12,14,16,18 및 20)에 기록될 수 있고, 또다른 2개 집합의 데이터가 이중 포트 RAM(22)에 기록될 수 있도록 한다. 제2도에 도시된 바와 같이, 다양한 신호들이 다양한 기능 블록들 사이에 제공된다. 이 신호들은 다음과 같다.

CLK=클럭(clock)

CDONE=CAM BIST 수행(CAM BIST done)

AC=어드레스 제어(address control)

SUB=서브사이클 제어(subcycle control)

UPDT=갱신(update)

ADDR=어드레스(address)

PAT=패턴(pattern)

지금까지 전술한 시스템은 미국특허 제5,173,906호에 설명된 것과 동일한 방식으로 동작한다. 이 시스템은 먼저 소정의 상태로 초기화된다. 이 상태 머신은 래치들(도시되지 않음)의 스캔 초기화 이후에 동작하기 위해 클럭 입력만을 필요로 한다. 상태 머신은, PG를 제외하고는, 래치 내의 모든 0(zero)을 스캐닝함으로써, 전술한 모든 패턴을 실행하기 위해 초기화될 수 있다. 패턴이 실행되는 순서는, UARW, UARB, CHBD, WSL 및 BL이다. 그밖의 데이터가 스캔되어, 어드레스 공간을 제한하고, 하나의 패턴 또는 서브사이클 상에서의 루핑(looping)이 프로그래머블 패턴(programmable pattern) 등을 불러내도록 한다.

이어서, 상태 머신은 연속적으로 기록될 각각의 패턴을 나타내는 사이클을 통해 진행하여, 임의의 오류 데이터를 발생시키게 된다. 각각의 패턴은 검사 모드에서 메모리로 인가되는 다양한 패턴을 기록하고 판독하기 위한 필수적인 기록 및 결과 로드 연산을 수행하는 일련의 서브사이클로 구성된다. 각각의 패턴에 서의 이들 기록 및 판독 동작, 및 서브사이클은 기록되어질 어드레스 공간이 가장 큰 메모리를 기본으로 하고 있으며, 이 경우에는 DCU 메모리(12)가 된다. 각각의 사이클의 끝에서, 다음 사이클이 시작되고, 각 패턴에 대한 모든 서브사이클을 거친 후에, 다양한 패턴이 생성될 수 있는 서브사이클을 갖는 다음 패턴으로 진행한다. 미국특허 제5,173,906호에 설명된 바와 같이, 이들 메모리용 패턴은 전형적으로 유니크 어드레스 리플 워드(Unique Address Ripple Word; UARW), 유니크 어드레스 리플 비트(UARB), 체커보드(checkerboard), 워드선 스트라이프(Wordline Stripe; WLS), 블랑켓(BL), 및 프로그래머블(PG) 패턴일 수 있다. 이들 동일한 패턴들은 전술한 상태 머신의 일부에 의해서 생성되고, 모든 패턴이 인가되어 데이터가 판독되고 결과가 로드될 때까지 광역 기록 인에이블 및 광역 결과 로드 신호가 발생된다.

그러나, 상술한 바와 같이, 다양한 메모리들은 상이한 구성을 가지므로, 각각의 패턴 및 서브사이클 동안, 메모리 및 어드레스 지정 가능 위치의 수에 따라, LR 및 WE 신호가 어드레스 공간의 범위를 벗어나기 때문에 이들 신호의 공급(assertion)이 수행되지 않는다. 사실, DCU 메모리는 모든 다른 메모리(14, 16, 18, 20 및 22)의 용량을 넘어서는 어드레스 위치 및 용량을 가지므로, DCU 메모리에 기록되어야 할 특정 어드레스 위치의 경우, DCU 메모리와 동일한 어드레스 범위 용량을 갖지 못하는 메모리들 내에서의 이와 동일한 어드레스 위치는 기록 인에이블 및 결과 로드 신호에 대해 비활성될 것이다. 더욱이, 이제 설명하겠지만, 이중 포트 메모리(22)는 이중 포트의 양 어드레스에 대한 특별한 형태의 판독 및 기록 인에이블을 필요로 한다. 따라서, 서브사이클 제어부(40)으로부터의 입력은 광역 기록 인에이블 및 광역 결과 로드 신호에 해당하는 기록 인에이블 및 결과 로드 신호를 발생시킨다. 미국특허 제5,173,906호는, 1과 0, 및 트루 데이터 어센딩(true data ascending), 상보 데이터 어센딩(complimentary data ascending), 트루 데이터 디센딩(true data descending), 상보 데이터 디센딩(complimentary data descending)과 같은 다양한 상태를 기록하기 위한 회로 및 테이블을 포함하여, 각각의 다양한 패턴을 기록하기 위한 회로 및 테이블을 상세히 설명하고, 또한 제2a도 및 제2b도에 도시된 다양한 패턴용 특정 판독/기록 신호를 더 설명하고 있다. 어떠한 경우이더라도, 기록 인에이블 및 결과 로드 신호에 대한 상태 머신의 출력은, 광역 기록 인에이블(GBWE) 및 광역 결과 로드(GBLR) 신호인, 개별적인 1 및 0을 제3도에 도시된 버스상으로 기록하는 것이다.

이제, 제3a도 및 제3b도를 참조하면, 서브사이클 제어부(40) 및 어드레스 비교기(32)로부터의 입력이 위상 제어부(48)로 제공된다. 서브사이클 제어부(40)으로부터 위상 제어부(48)로의 입력은 포트(62)에서 광역 기록 인에이블 신호(GBWE)를 발생시키는 OR 게이트(60)상에 전송되는 기록 제어(WRTCNTL) 신호 및 기록/판독 제어(RWTCNTL) 신호로 구성된다. 게이트(60)으로부터의 출력은 한쌍의 인버터(64 및 66)에 전달되어 DCU 메모리(12)용 기록 인에이블 신호를 인가하는 DCU 기록 인에이블 포트(68)에 전달된다. 서브사이클 제어부(40)은 또한 서브사이클 수행(subcycle done; SUBCDN) 신호를 어드레스 비교기에 의해 생성되는 최대 어드레스(MAXAD) 신호와 함께 발생시키고, 이들 신호는 광역 결과 로드 신호 입력(72)를 발생시키는 NAND 게이트(70) 상에 공급된다. 동일한 NAND 게이트(70)은 또한 그의 출력 신호를 한쌍의 인버터(74 및 76)상으로 전송하며, 이들 인버터는 DCU 데이터(12)용 결과 로드 신호를 제공하는 포트(78)에 결과 로드 신호 DCULR를 출력한다. 이 실시예에서 DCU 메모리(12)는 최대 수의 워드 어드레스 및 비트 어드레스를 갖고 있으므로, 상태 머신의 사이클 및 서브사이클은 DCU 메모리(12)에 모든 패턴을 완전히 기록하는데 필요한 모든 사이클 및 서브사이클 모두를 수행할 수 있도록 프로그램된다. 그러나, TAG 메모리(14), TLB 메모리(16), SLB 메모리(18) 및 BAT 메모리(20)은 모두 DCU 메모리의 워드 어드레스 및 비트 어드레스의 수보다 작은 수의 워드 어드레스 및 비트 어드레스를 포함하므로, 위상 제어부로부터의 나머지 신호들은 일단 전(full) 어드레스 공간이 검토되면 판독 데이터와 예측 데이터간의 비교 결과를 기록하거나 로드하는 것을 불가능하게 하거나 차단하기 위한 목적으로 이용된다.

광역 기록 인에이블 포트(62) 및 광역 결과 로드 포트(72)는, TAG 메모리(14), TLB 메모리(16), SLB 메모리(18) 및 BAT 메모리(20)을 제어하기 위해 위상 제어기(48)의 여러 부분들에 입력을 제공한다. 이러한 제어는 메모리 공간이 초과될 때 판독의 압축 결과를 기록하고 로드하는 것을 불가능하게 함으로써 작동된다. 일반적으로, 이것은 광역 기록 인에이블 및 광역 결과 로드 신호와 결합되는 논리 회로를 제공하여 이용 불가능한 어드레스의 기록 인에이블 또는 결과 로드선 상에 활성 신호가 전송되는 것을 방지함으로써 수행된다.

TAG 메모리의 제어에 있어서, 이러한 논리 회로는 부호(79)로 윤곽이 그려져 있는 영역내에 도시되어 있다. 광역 결과 로드 포트(72)는 AND 게이트(80)의 하나의 입력에 접속되어 있고, 광역 기록 인에이블 포트(62)는 AND 게이트(82)의 하나의 입력에 접속되어 있다. 데이터의 어드레스 지정은 어드레스 버스를 구성하는 워드 어드레스 입력(WA) 및 비트 VLSI 입력(BA)을 이용하여 이루어진다. 이 경우에, 7개의 WA, 즉 WAO 내지 WA6, 및 5개의 BA, 즉 BAO 내지 BA4가 있다. 본 기술 분야에 숙련된 자들에게는 공지되어 있는 바와 같이, 이것은 128워드 위치 및 32비트 위치를 제공한다. WA선 및 BA선상의 신호들은 어드레스 카운터(34)에 의해 발생된다. 논리 회로(79)는 또한 WA6, BA4 및 BA3으로부터의 입력을 포함한다. WA6은 NOR 게이트(84)의 1개의 입력에 접속되고, BA4 및 BA3은 OR 게이트(86)의 입력에 접속되는데, OR 게이트(86)의 출력은 NOR 게이트(84)의 다른 하나의 입력에 접속된다. NOR 게이트(84)로부터의 출력은 2개의 AND 게

이트(80 및 82)의 입력에 인가된다. 첫번째 8개의 비트 위치와 첫번째 64워드선 동안, WA6, BA4 및 BA3은 정상적으로 로우(low) 상태이므로 활성화되지 않는다. 따라서, 하이(high) 신호가 2개의 AND 게이트(82 및 80)의 출력으로부터 제공되어 TAGWE 및 TAGLR이 발생하도록 함으로써 기록 동작 및 결과 로드 동작이 발생하도록 한다. WA6선 및 BA3 및 BA4 모두가 비활성일 때, GBWE(62) 및 GBLR(72)가 공급되면 TAG 메모리에 대한 기록 인에이블 및 결과 로드 기능이 수행된다. 그러나, 어느 특정한 패턴의 서브사이클 동안 WA6, BA4 또는 BA3이 활성화될 때, 게이트(84 및 86)의 로직은 TAG 기록 인에이블(TAGWE) 및 TAG 결과 로드(TAGLR) 기능 모두를 단절시킬 NOR 게이트(84)로부터의 반전 출력 신호를 제공한다. 따라서, WA6, BA4 또는 BA3이 하이 상태인 경우를 제외하고, BIST(10)이 모든 워드 어드레스 입력 및 비트 어드레스 입력에 의해 지정되는 어드레스에 기록할 때, DCU 및 TAG 메모리 모두의 상기 어드레스에 데이터가 기록되고, 그 결과가 이들로부터 로드될 것이다. 그러나, 데이터가 WA6, BA4 또는 BA3에 의해 활성화되는 위치에 기록될 때, 이 데이터는 DCU 메모리(12)에만 기록되어 그 결과가 로드되고 TAG 메모리(14)에는 기록되지 않는다. 이는 기록 사이클 또는 결과 로드 사이클 동안, TAG 메모리로의 제어선이 비활성되고 오프(off) 상태로 되었기 때문이다. 따라서, 하나의 기록 사이클 동안, 어드레스 지정 가능한 메모리들에는 기록될 것이고, 어드레스 지정 가능하지 않은 메모리들은 오프 상태일 것이다. 이와 유사하게, 결과 로드 사이클 동안, 그 패턴에 대해 판독될 데이터를 필요로 하는 경우에는 결과가 로드되지만, 어드레스 지정이 가능하지 않은 패턴 동안에 데이터가 판독되는 것을 필요로 하지 않는 메모리의 경우에는 결과 로드가 오프 상태일 것이다.

동일한 방식으로, TLB 메모리(16)에 대한 제어는 블럭(90)에 도시된 것과 유사하게 행해진다. TLB 메모리(16)의 결과 로드 및 기록 인에이블 역세상을 제어하기 위해, AND 게이트(92)는 광역 결과 로드 포트(72)로부터의 신호를 하나의 입력으로서 수신하고, AND 게이트(94)는 광역 기록 인에이블 포트(62)로부터의 신호를 하나의 입력으로서 수신한다. NOR 게이트(96)은 AND 게이트(94 및 92)에 다른 입력을 제공한다. NOR 게이트(96)으로 하나의 입력은 WA6으로부터 입력된 것이다. BA4, BA3 및 BA2는 OR 게이트(92)에 입력을 제공하는데, 이 게이트의 출력은 NOR 게이트(96)의 다른 하나의 입력으로 제공된다. TLB 메모리의 검사는, WA6 또는 BA4 또는 BA3 또는 BA2의 공급을 필요로 하지 않는 어드레스에 대한 기록 인에이블 또는 결과 로드 신호가 발생할 때마다 그 어드레스로의 기록 또는 그 어드레스로부터의 결과 로드가 발생한다는 점에서, TAG 메모리의 검사와 유사하다. 그러나, 서브사이클 동안, WA6 또는 BA4 또는 BA3 또는 BA2의 활성을 필요로 하는 어드레스가 액세스되면, TAG 메모리(14)에 관해 전술한 바와 같이, 게이트(96 및 98)의 로직은 AND 게이트(92 및 94)로의 신호를 제공하여 이들 어드레스에 기록하거나 이들 어드레스들로부터 결과를 로드하는 것을 방지한다. TAG 메모리(14) 및 TLB 메모리(16)는 완전 기록(write-through) 방식 메모리로서 공지된 종류이고, 이 메모리들은 기록된 대로 판독될 수 있음을 주목한다. 따라서, 이 메모리는 기록된 데이터를 저장하고, 동일한 데이터를 출력으로서 제공한다. 따라서, 기록 사이클 동안, 판독이 또한 발생하므로 기록 인에이블 및 결과 로드선 모두가 기록 동작동안 인에이블될 수 있다.

SLB 메모리의 제어 로직은 참조부호(100)의 윤곽으로서 도시되어 있고, 약간의 변형을 제외하고는, TAG 메모리(14) 및 TLB 메모리(16)에 대한 기록 인에이블 및 결과 로드의 논리 제어 동작과 유사하게 작동된다. 광역 결과 로드 포트(72)는 AND 게이트(102)로 하나의 신호 입력을 제공하고, 광역 기록 인에이블 포트(62)는 AND 게이트(104)로 하나의 입력을 제공한다. 인버터(106)이 광역 기록 인에이블 포트(62)와 AND 게이트(102)의 사이에 삽입되어, (이하에서 설명될 목적을 위해) 기록 인에이블 기능이 활성화될 때 결과 로드 기능을 비활성시킨다. WA6, WA5 및 WA4 포트는 OR 게이트(108)에 입력을 제공하고, BA4, BA3 및 BA2는 OR 게이트(110)에 입력을 제공하며, BA1 및 BA0은 OR 게이트(112)에 입력을 제공한다. OR 게이트(108, 110 및 112)로부터의 출력은 NOR 게이트(114)에 입력을 제공하는데, 이 NOR 게이트(114)의 출력은 AND 게이트(102 및 104)에 입력을 제공한다. TAG 및 TLB 메모리와 마찬가지로, 광역 기록 인에이블 포트(62)이 활성화되고 소정의 워드 어드레스 또는 비트 어드레스가 선택되어 WA6, WA5, BA4, BA3, BA2, BA1 및 BA0이 비활성될 때 SLB로의 기록 동작이 발생하게 된다. 그러나, 인버터(106)은 광역 기록 인에이블 포트(62)로부터 AND 게이트(102)로의 기록 인에이블 신호를 반전시키기 때문에 인버터(106)은 기록 동작이 수행되는 동안 SLB 결과 로드가 발생하는 것을 방지하게 되고, 이는 결과 로드 포트선(SLBLR)을 구동시키는 AND 게이트(102)로부터의 하이 출력을 방지할 것이다. 그러나, 광역 기록 인에이블 포트(62)가 활성화되지 않고 현재 어드레스가 논리 블럭(100)으로의 어떠한 어드레스 입력(WA6WA4, BA4-BA0)의 공급도 필요로 하지 않는다면, 광역 결과 로드 포트(72)가 공급될 때 결과 로드 신호가 발생할 것이다. 윤곽선(100)으로 도시된 이를 워드 어드레스 또는 비트 어드레스중 어느 하나가 활성화되면, NOR 게이트(114)로부터의 신호는 기록 신호가 AND 게이트(104)로부터 출력되는 것을 방지하고, 결과 로드 인에이블 신호가 AND 게이트(102)로부터 출력되는 것을 방지한다.

BAT 메모리(20)용 논리 회로는 SLB 메모리(18)용 논리 회로와 유사하고, 참조부호(20)으로 표시된 블럭내에 도시되어 있다. 이것은 광역 결과 로드 단자 또는 포트(72)로부터의 신호를 1개의 입력으로서 포함하고 있는 AND 게이트(122)와, 광역 기록 인에이블 포트(62)로부터의 신호를 하나의 입력으로서 갖고 있는 AND 게이트(124)를 포함한다. 인버터(126)은 광역 기록 인에이블 포트(62)와 AND 게이트(122)의 하나의 입력 사이에 접속되어 있다. WA6 및 WA5선은 OR 게이트(128)에 입력을 제공하고, WA4 및 WA3 포트는 OR 게이트(130)에 입력을 제공하며, BA4, BA3 및 BA2 포트는 OR 게이트(132)에 입력을 제공하고, BA1 및 BA0 포트는 OR 게이트(134)에 입력을 제공한다. OR 게이트(128 및 130)으로부터의 출력은 OR 게이트(136)로의 입력을 제공한다. OR 게이트(136, 132 및 134)로부터의 출력은 ONR 게이트(138)에 입력을 제공한다. ONR 게이트(138)로부터의 출력은 AND 게이트(122 및 124)에 다른 하나의 입력을 제공한다. BAT 메모리에 대한 기록 인에이블 및 결과 로드를 제어하기 위한 로직(120)의 동작은 SLB 메모리에 대한 로직의 동작과 유사하다. 또한, SLB 메모리의 경우와 같이, BAT 메모리는 완전 기록 방식의 메모리가 아니므로, 기록 인에이블 신호가 활성 상태인 경우에 AND 게이트(122)에 의해 구동된 결과 로드 신호를 활성화시키기 위해 인버터(126)이 필수적이다.

워드 어드레스 입력 및 비트 어드레스 입력은 기록하거나 판독할 다수의 메모리 셀 위치를 제어한다는 것을 이해해야 한다. 다음의 표 1은 TAG 메모리(14)의 경우에 이것이 어떻게 동작하는지에 대한 설명을 매트릭스 형태로 나타내고 있다.

트선 위치(8-31)에서 TAGWE=0 및 TALR=0을 수신한다.

이어서, 어드레스 카운터가 증가하여 WA0이 활성(1) 상태이고, BA4-0가 모두 리셋(0) 상태인 다음 행으로 진행하며, 표 1에서 8개의 X로 된 두번째 집합으로 표시된 바와 같이, 어드레스(워드선 1, 비트선 0)과 다음 7개의 어드레스(워드선 1, 비트선 1-7)에서 결과 로드 및 기록 인에이블 신호가 발생하도록 한다. 그러나, BA3 및/또는 BA4가 활성이기 때문에, 워드선 0에서의 경우와 같이, TAGLR 및 TAGWE는 다음 24개의 어드레스 위치, 워드선 1, 비트선 8-31(워드선 1, 비트선 8만이 표 1에 도시됨) 동안 비활성화된다. 비트선 위치(0-7)에서 활성으로 되고, 비트선 위치(8-31)에서 비활성으로 되는 기록 인에이블 및 결과 로드의 이러한 패턴은 어드레스 카운터가 어드레스 공간의 처음부터 끝까지 증가함에 따라 반복된다. WA6이 활성화될 때까지 이러한 반복은 중단되지 않으며, TAGWE 및 TAGLR은 잔여 어드레스 공간에 대해 비활성 상태로 남아 있다. 표 1의 W/E L/R 열에 어드레스 워드선(64), 비트선(0-7)의 부분은 빈 칸으로 되어 있다. 이 표는 기록 인에이블 및 결과 로드 기능이 어떻게 동작하는지를 단지 설명하기 위한 것으로서, 매트릭스 형태의 함수이고, OR 게이트(86) 및 ONR 게이트(84) 및 AND 게이트(80 및 82)를 통해 결과 로드와 기록을 불능으로 한 활성 신호를 제공하는 소정의 워드 어드레스(WA6) 또는 비트 어드레스(BA3 또는 BA4)의 어느 하나 상에 활성 신호가 있는지에 따라 달라진다. 그밖의 다른 메모리(16, 18 및 20)도 동일한 방식으로 동작한다. 물론, DCU 메모리(12)는 BIST(10)에 의해 발생된 어드레스의 전 범위가 동작가능하기 때문에 소정의 다른 불능(disable) 상태를 필요로 하지 않는다.

요약하자면, 미국특허 제5,173,906호에 설명되어 있는 단일 상태 머신은 필수적인 기록 인에이블 및 결과 로드 신호를, 최대 확장 가능한 어드레스(본 실시예의 경우에 DCU 메모리 상의 어드레스에 해당함)를 기본으로 하는 기록 데이터와 예측 데이터와 함께, 발생시킨다. 위상 제어 회로는 각 메모리에 대한 기록 인에이블 및 결과 로드 신호를 제어하여, 어드레스 크기, 즉 워드 또는 비트 크기가 초과될 때, 기록 인에이블 및 결과 로드 신호가 오프 상태로 되도록 한다. 이러한 경우가 발생할 때 이러한 작은 메모리는 기록되지 않지만 판독될 수가 있다. 그러나, 그 출력은 예측 데이터에 비교하지는 않는다. 활성에서 비활성으로 되거나 비활성에서 활성으로 되는 기록 인에이블/결과 로드 신호의 전이는 하나의 서브사이클 내에 여러번 발생할 수 있다. 예를 들어, 리플 비트 모드에서 열의 크기는 초과될 수 있지만, 일단 가장 큰 메모리에 대한 최대 비트 어드레스에 도달하면, 워드 어드레스는 증가하는 반면에 비트 어드레스는 0으로 복귀한다. 따라서, 기록 인에이블/결과 로드 신호가 상위 순서의 열 또는 비트의 디코드 동안에는 비활성으로 될 수 있지만, 워드 어드레스가 증가되고 비트 위치가 0으로 복귀할 때에는 다시 활성으로 될 것이다. 이것의 변형은 어드레스 공간이 감소 중일 때도 발생한다.

데이터가 다양한 어드레스 위치로부터 판독되고 결과 로드선이 활성화되면, BIST 상태 머신에 의해 발생된 예측 데이터 출력은 각각의 메모리내의 데이터 압축 회로(12a, 14a, 16a, 18a 및 20a) 각각에 전달되고, 특정 메모리로부터 판독된 데이터가 예측 또는 예상 데이터에 대응하는지를 판단하기 위한 비교가 이루어지며, 회로(12a)로부터의 임의의 오류 신호는 오류 어드레스 레지스터(44)에 전달되고, 회로(12a, 14a, 16a, 18a 및 20a)로부터의 오류 신호는 중앙 오류부(46)으로 전달된다. 이 시점에서, 어떤 메모리인지 리던던트 어드레스 행이 메모리내에 존재한다면 이것을 사용함으로써 복구될 수 있고, 그렇지 않다면 칩이 스크랩(scraped)될 것이고, 또는 그 기록된 오류를 보상하기 위해 다른 것이 제공될 것이다.

이중 포트 RAM(22)에 대한 BIST(10)의 동작은, 바람직한 검사를 위해 데이터가 이중 포트 메모리의 각 포트에 인가되는 것을 제외하고는, 단일 포트 메모리(12, 14, 16, 18 및 20)에 대한 BIST이 동작과 동일하다. 단일 포트 메모리용으로 발생된 동일한 데이터가 논리적으로 처리되어 RAM(22)의 포트(1) 및 포트(2)에 제공된다. 이러한 논리적 처리는 제4도에 도시되어 있다. 제4도에 도시된 바와 같이, 카운터의 BAO 출력은 포트 1 어드레스 버스에 제공되고, 기능 입력부(141)에 따라 선택적으로 반전되는 XOR 게이트(140)에 또한 공급된다. 기능 입력부(141)는 양쪽 포트가 동일한 어드레스 또는 2개의 포트 메모리에 인가될 필요가 있는 개별화된 알고리즘 패턴(customized algorithmic pattern)에 따라 달라지는 상이한 어드레스를 얻을 것인지를 제어한다. 카운터(34)로부터의 출력은 이중 포트 RAM(22)의 포트 1(P1)에 (및 또한 모든 다른 메모리에) 변조되지 않고 공급되어, 이들 다른 메모리용 어드레스를 제공한다. XOR 데이터는 이중 포트 어레이의 포트 2에 공급된다.

데이터 및 예측 데이터 발생기(38)은 이중 포트 메모리(22)용 데이터를 발생시키고, 데이터 발생기(38)로부터의 데이터는 XOR 게이트(142)에 하나의 입력으로, 또한 XOR 게이트(144)에 1개의 입력으로 공급된다. XOR 게이트(142)에 공급되는 데이터 발생기로부터의 데이터는 논리 기능부(146)에서 XOR 연산되고, 데이터 발생기(38)로부터의 데이터는 XOR 게이트(144)에 공급되어 논리 기능부(148)에서 XOR 연산된다. XOR 게이트(142)로부터의 출력은 포트 1로의 데이터 입력, 데이터 입력 및 예측 데이터 모두로서 공급되고, XOR 게이트(144)의 출력은 데이터 포트 2로의 데이터 입력, 데이터 입력 및 예측 데이터 모두로서 출력된다. 다시, 기능부(146 및 148)은 포트 데이터가 단일 포트 RAMDP 제공되는 정상 데이터로부터 반전되는지를 제어하고, 이중 포트 메모리에 인가될 필요가 있는 개별화된 알고리즘 패턴에 따라 달라진다. 위상 제어부(48)은 광역 기록 인에이블 포트(62)가 AND 게이트(150 및 152)에 공급되는 것과 유사한 방식으로 작동된다. AND 게이트(150)으로부터의 출력은 포트 1로의 기록 인에이블 신호이고, AND 게이트(152)로부터의 출력은 포트 2로의 기록 인에이블 신호이다. AND 게이트(150)으로의 입력은 기능부(158)의 출력과 AND 연산되고, AND 게이트(152)로의 입력은 기능부(160)의 출력과 AND 연산되고, AND 게이트(154)로의 입력은 기능부(162)의 출력과 AND 연산되며, AND 게이트(156)으로의 입력은 기능부(164)의 출력과 AND 연산된다. 기능부(158 및 160)은 1개 또는 2개의 포트에 기록하는 것을 디스에이블시키고, 기능부(162 및 164)는 1개 또는 2개의 포트 모두로부터 결과가 수신되도록 한다. 이들 기능부들은 다시 2중 포트 메모리에 인가될 필요가 있는 개별 알고리즘 패턴에 따라 달라진다. 이들 기능부의 입력은, 공간의 어드레스 지정이 가능한지의 여부에 따라, 단일 포트 기록 인에이블 및 결과 로드 신호가 활성화되는 위상 제어부로부터의 출력에 해당하며, 이에 따라 워드 어드레스 WA 또는 비트 어드레스 BA에 종속되는 로직은 기록 인에이블 및 결과 로드에 대해 활성 상태로 되거나 그렇지 않다. 그밖의 점들에 있어서, 기록 인에이블 및 결과 로드는, 이중 포트 메모리를 제어하기 위해 변형되는 것을 제외하고는, 단일 포트 메모리의 것과 동일하다.

이중 포트 메모리용 알고리즘 패턴을 개별화시키기 위해, 부분 유니크 어드레스 리플 워드(UARW) 패턴이 예로서 사용된다. 하나의 예로서, 메모리(22)는 우선 1개 또는 2개의 포트를 사용하여 모두 0인 상태로

기록된다. 한편, 포트 1이 제1주소 어드레스상에서 판독 0, 기록 1, 판독 1을 실행하고, 다른 포트(포트 2)는 제1출수 어드레스상에서 판독 0, 판독 0, 판독 0을 실행한다고 가정한다. 이러한 예에서, 포트 2가 출수 위치를 판독하기 전에 포트 1이 주소 위치를 검사한다. 메모리(24)이 포트 1에 의해 변형된 후에 그 메모리로부터 포트 2가 데이터를 판독할 때마다, 어레이로부터 1을 바로 판독해야 한다. 카운터가 수행되면, 어드레스가 변화하고, 포트 1은 전체 어레이에, 판독 0, 기록 1, 판독 1을 실행하고, 포트 2는 변경되지 않은 모든 어드레스에, 판독 0, 판독 0, 판독 0을 실행하고, 포트 1에 의해 변경된 모든 어드레스에, 판독 1, 판독 1, 판독 1을 실행한다.

상기 패턴에서, 2개의 포트에 대한 어드레스는 서로 달라야 했다. 포트 2에 대한 비교 데이터는 포트 1에 대한 데이터와 달랐고, 또한 주소/출수 어드레스 비트에 의해 변경되었다. 2개의 포트는 메모리(22)에서 다른 판독, 기록 동작을 수행하였다.

전술한 실시예에서와 같이, 데이터는 포트 1 압축부(22a) 및 포트 2 압축부(22b)내에서 비교되어 중앙 오류부(46)에 공급된다.

이미 설명한 바와 같이, CAM 메모리(24)는 본질적으로, DCU(12), TAG(14), TLB(16), SLB(18), BAT(20) 및 이중 포트 RAM 메모리(22)와 약간 다른데, 그 이유는 CAM 메모리(24)는 데이터를 저장하고 따라서 데이터를 그 자신에 기록할 수는 있는 반면에 저장된 데이터를 자신으로부터 판독해낼 수 있는 능력은 없고, 자신에 공급된 4비트 패턴이 그 내부에 저장되어 있는지를 알아보기 위해 그 패턴을 비교하는 비교기로서의 역할을 수행하기 때문이다. 종래의 구성에 따른 CAM 메모리(24)는 512×10 메모리로서, 각각이 80비트인 64개의 워드 라인으로 구성되어 있으며, 각각의 80비트는 검사 대상이 되는 8개의 10비트 세그먼트로 분할되어 있다. 제5도에는 일반적으로 설명의 목적상 4개의 비트 세그먼트를 갖는 16개의 비트만이 도시되어 있다.

메모리(24)를 검사하기 위해, BIST에 의해 공급되는 검사 패턴은 제5도의 예시적인 64×16비트 CAM 내의 워드선 당 4개의 4-비트 세그먼트에 우선 기록된 후에, 비교될 데이터가 비교 데이터 입력단에 공급되고, 처음에 기록된 데이터와 비교 데이터와 부합하는지를 알아보기 위한 비교가 수행된다. 이러한 비교는 4개의 비교기(170, 172, 174 및 176)에 의해 수행되고, 비교기(170)는 워드선상의 제1의 4-비트 세그먼트내의 데이터를 비교하기 위해 구성되고, 비교기(172)는 제2의 4-비트 세그먼트의 데이터를 비교하기 위해 구성되며, 비교기(176)은 워드선상의 제5의 4-비트 세그먼트의 데이터를 비교하기 위해 구성된다. 각각의 비교기(170, 172, 174 및 176)는 4개의 2-입력 XNOR 게이트로 구성된다. 비교기(170)의 출력은 AND 게이트(178)에 입력을 제공하고, 비교기(172)는 AND 게이트(180)에 입력을 제공하며, 비교기(174)는 AND 게이트(182)에 입력을 제공하고, 비교기(176)은 AND 게이트(184)에 입력을 제공한다. AND 게이트(178, 180, 182, 184)의 출력은 DCU 메모리(12) 및 TAG 메모리(14)에 출력된다.

CAM 검사 기록 인에이블 사이클 동안 소정의 검사 패턴이 메모리(24) 내로 기록되고, CAM 검사 결과 로드 사이클 동안 비교 데이터가 제공되어 CAM(14)의 세그먼트 내에 저장된 상기 기록 패턴과 비교 데이터간의 비교가 수행된다. 4-비트 비교 데이터 스트링(string)은 현재 어드레스 지정된 워드선상의 세그먼트(1 내지 4)에 저장되어 있는 각각의 4비트 패턴에 대하여, AND 게이트(178, 180, 182 및 184)에 입력을 각각 공급하는 세그먼트 비교기 논리부(170, 172, 174 및 176)에 의해 비교된다. 4-비트 세그먼트와 비교 데이터간의 비교가 참이면, 그 각각의 4-비트 세그먼트 비교기 논리 블록은 그것이 입력을 제공하는 AND 게이트에 4개의 1을 출력하고, 이 AND 게이트는 세그먼트와 비교 데이터간의 비교가 성공적으로 이루어졌음을 나타내는 1을 출력하게 된다. 그러나, 저장된 세그먼트 패턴내의 1개 이상의 비트와 비교 데이터간에 차이가 있다면, 그 각각의 세그먼트 비교기 로직은 모두 1을 출력하지 않을 것이고, 이 출력을 공급받는 AND 게이트는 세그먼트와 비교 데이터간의 비교 실패를 나타내는 0을 출력할 것이다. 예를 들어, 현재 선택된 워드선에서, 세그먼트 1이 비트 패턴 0001을 포함하고, 세그먼트 2 내지 4가 0010, 0100 및 1000을 각각 포함하고, CAM(24) 입력에 나타나는 4-비트 비교 데이터 패턴이 0001이라면, 세그먼트 1 비교기 블록(170)은 4개의 1을 출력하여, AND 게이트(178)이 1을 출력하도록 한다. 이 비교 데이터 패턴이 세그먼트 2 내지 4에 저장된 패턴과는 일치하지 않기 때문에, 비교기 논리부(172, 174 및 176)는 모두 1을 출력하지 않을 것이고, 이것이 공급되는 각각의 AND 게이트(180, 182 및 184)는 0을 출력할 것이다. 그러므로, 전술한 예에서, CAM의 출력은 1000이 될 것이다.

CAM(24)의 4개의 AND 게이트(178, 180, 182 및 184)의 출력은 BIST에 의해 공급되는 예측 데이터에 의해 검증되어야 한다. 4-비트 예측 데이터 패턴은 실행될 CAM 검사(즉, 메모리 셀 또는 XNOR 게이트 또는 AND 게이트의 검사)에 따라 4개의 비트의 어느 하나의 비트가 온(on)이거나 4개의 비트가 모두 온이거나, 4개의 비트 중 어느 1개의 비트가 오프(off)이거나, 4개의 비트가 모두 오프일 수 있다.

전술한 예에 의하면, BIST는 제대로 작동하는 CAM의 예측되는 출력에 일치하기 위해 예측 데이터 패턴 1000을 공급해야 한다.

CAM(24)에 기록된 데이터는 예측 데이터 출력으로서 동일한 비트 조합(001, 0010, 0100, 1000, 1111, 1110, 1101, 1011, 0111, 0000)을 갖는다. 메모리에 기록된 데이터가 예측된 출력과 동일하다고는 할 수 없다. 상술된 바와 같이, 4비트 CAM 출력이 검증되기 전에, 4비트의 4개의 어드레스 위치 각각이 메모리(24) 내에 기록되어야 한다. 그 다음, 비교 데이터는 CAM에 공급되고, CAM 비교기로부터의 출력은 예측 데이터를 이용하여 검증된다.

CAM 모드 및 갱신 제어 기능부(제2도의 186)는, 참 또는 보수 데이터 제어와 오름차순 또는 내림차순 어드레스 제어를 제어하는 것에 부가하여, CAM 모드 및 갱신 제어부(186) 내에 2비트 카운터(도시되지 않음)를 공급하여 CAM(24) 내부로 기록되는 데이터를 변경하여야 한다. 이 2개 비트는 CAM(24) 입력, 즉 비교 데이터 또는 예측 데이터의 데이터 필드의 4비트중 어느 것이 상이한지를 판별하는데 사용된다.

CAM(24)에 기록되는 데이터의 상이한 특성 및 여러가지 CAM 패턴용으로 기록되는 시퀀스(sequence), 그리고 특히 검사 결과의 특성 때문에, 양호한 실시예에 의하면, CAM 위상 제어부(194) 뿐만 아니라, 개별적인 CAM 모드 및 갱신 제어부(186), CAM 데이터 및 예측 데이터 발생기(189), CAM 서브사이클 제어부(190) 및 CAM 패턴 제어부(192)가 제공된다(제2a도 및 제2b도 참조). 그러나, 이들 모듈은 상술된 다른 메모리

에 대한 동일한 형태의 모듈과 유사한 방식으로 작동하고, 어드레스 카운터(34), 어드레스 비교부(32), 클럭 발생기(30) 및 중앙 오류부(46)는 공통으로 갖는다.

CAM 메모리(24) 및 DCU 메모리(12)의 경우에 있어서, 이들 메모리의 기능적인 동작 중에, CAM 메모리(24)는 DCU 메모리(12)에 대한 어드레스의 일부를 제공한다는 것에 주목해야 할 것이다. 그러므로, 각각이 독립적으로 검사될 수 있지만, 이들 2개의 메모리는, 다음의 미국특허 출원 제08/398,465호-발명의 명칭이 검사 동안에 연관 메모리에 어드레스를 공급하기 위해 하나의 메모리를 이용하는 방법(Using one Memory to Supply Addresses to an Associated Memory During Testing)이고, 1995년 3월 3일자로 출원됨-전술된 바와 같이 검사되는 것이 바람직하다. 상기 미국 특허 출원에 기재된 바에 따르면 CAM 메모리(24)는 DCU 메모리(12)에 입력의 일부를 제공한다.

상대 머신을 미합중국 특허 제5,173,906호의 기재 내용과 관련하여 설명하였다. 다양한 패턴 제어부, 어드레스 카운터, 데이터 패턴 발생기, 및 광역 기록 인에이블 및 결과 로드 제어부, 서브사이클 제어부 및 위상 제어부를 갖는 상대 머신의 이러한 구성은 잘 작동하며, 전술한 특허에 도시된 바와 같은 회로 부품을 사용하여 만족스러운 구조와 로직을 제공할 수 있다. 그러나, 이러한 여러가지 기능을 수행하기 위한 다른 적절한 구조도 사용될 수 있다. 본 분야에 숙련된 기술자라면 미국 특허 제5,173,906호의 기재 내용에 따라 이들 여러가지 부품에 대하여 이들 특정 회로 설계를 미국 특허 제5,173,906호에 개시된 회로 설계로 용이하게 대체할 수 있다.

따라서, 다수의 메모리에 대한 BIST 검사기의 특정 실시예가 설명되어 있다.

상기한 설명을 염두에 두어야 하겠으나, 이러한 설명은 단지 예에 지나지 않으며, 본 발명은 상술된 특정 실시예에 제한되지 않고, 본 발명의 특허청구의 범위를 벗어나지 않는 범위 내에서 여러가지 재구성, 변형 및 대체가 가능하다.

(57) 청구의 범위

청구항 1

다수의 메모리-상기 다수의 메모리중 적어도 2개의 메모리가 상이한 특성을 갖고 있으며 상이한 검사 패턴(test pattern)을 필요로 함-를 검사하기 위한 단일 내장형 셀프-테스트 장치(built-in self-device)에 있어서, i) 메모리의 각 형태에 따라 특정되는 선정된 검사 패턴의 검사 데이터 및 상기 검사 데이터에 대응하는 예측 출력 비교 데이터(anticipated output compare data)를 발생시키는 논리부(logic), ii) 상기 검사 데이터를 적어도 2개의 상기 메모리에 동시에 전달하는 논리부와, iii) 검사되어질 메모리의 위치 어드레스에 상기 검사 데이터를 공급하는 논리부와, iv) 상기 메모리 위치로부터 출력 데이터를 수신하여 상기 출력 데이터와 상기 예측 출력 비교 데이터를 비교하여 비교 결과를 제공하는 논리부와, v) 제어 논리부-상기 제어 논리부는 상기 각각의 메모리상에 검사되어질 메모리의 각각의 어드레스 지정 가능한(addressable) 위치에서 상기 검사 데이터의 기록 기능(write function)을 선택적으로 발생시키는 기록 인에이블(write enable) 논리부와, 검사되어질 메모리의 각각의 어드레스 지정 가능한 위치에서 상기 비교 결과를 선택적으로 로드(load)하는 논리부를 포함함-을 포함하는 단일 내장형 셀프-테스트 장치.

청구항 2

제1항에 있어서, 상기 메모리의 상이한 특성은 상이한 어드레스 지정 가능 크기를 포함하고, 상기 장치는 각각의 메모리 내의 각각의 어드레스 지정 가능한 위치에 선택적으로 기록 인에이블을 동작시키는 논리부를 포함하는 단일 내장형 셀프-테스트 장치.

청구항 3

제2항에 있어서, 상기 장치는 광역(global) 기록 인에이블 신호를 발생시키는 논리부, 및 상기 광역 기록 인에이블 신호로부터 각 메모리에 대한 기록 인에이블 신호를 발생시키는 논리부를 포함하는 단일 내장형 셀프-테스트 장치.

청구항 4

제2항에 있어서, 상기 장치는 각각의 어드레스 지정 가능 위치로부터 선택적으로 결과 로드를 동작시키는 논리부를 포함하는 단일 내장형 셀프-테스트 장치.

청구항 5

제4항에 있어서, 상기 장치는 광역 결과 로드 신호를 발생시키는 논리부, 및 상기 광역 결과 로드 신호로부터 상기 각 메모리에 대한 결과 로드 신호를 발생시키는 논리부 회로를 포함하는 단일 내장형 셀프-테스트 장치.

청구항 6

제1항에 있어서, 상기 메모리들 중 적어도 하나의 메모리는 단일 포트(single-port) 메모리이고, 상기 메모리들 중 적어도 하나의 메모리는 이중 포트 메모리이며, 상기 장치는 상기 단일 포트 메모리와 상기 이중 포트 메모리의 양 포트에 대해 기록 인에이블 신호 및 결과 로드 신호를 발생시키는 논리부를 포함하는 단일 내장형 셀프-테스트 장치.

청구항 7

제2항에 있어서, 상기 메모리들 중 적어도 하나의 메모리는 내용 지정 메모리(Content Addressable Memory:CAM)이고, 상기 메모리들 중 적어도 하나의 메모리는 직접 판독 가능한 메모리이며, 상기 장치는 상기 메모리 형태에 따라 상기 메모리에 대한 비교 데이터를 발생시키기 위한 논리 회로를 포함하는 단일 내장형 셀프-테스트 장치.

청구항 8

제1항에 있어서, 상기 검사로부터 상기 메모리의 출력 데이터를 수신하고 압축(compress)하기 위한 데이터 압축 시스템을 더 포함하는 단일 내장형 셀프-테스트 장치.

청구항 9

제8항에 있어서, 상기 장치는 상기 데이터 압축 시스템에 접속된 오류 어드레스 레지스터(failed address register)를 포함하는 단일 내장형 셀프-테스트 장치.

청구항 10

제8항에 있어서, 상기 데이터 압축 시스템은 상기 각 메모리에 접속된 개별 데이터 압축부를 포함하는 단일 내장형 셀프-테스트 장치.

청구항 11

다수의 메모리-상기 메모리중 적어도 두개의 메모리는 서로 다른 특성을 갖고 있음-를 메모리의 각각의 형태에 특정되는 적어도 하나의 선정된 검사 패턴으로 검사하는 방법에 있어서, i) 각 검사 패턴에 대하여 하나의 세트의 검사 데이터 및 예측 출력 비교 데이터를 발생시키는 단계와, ii) 각각의 검사 데이터 및 예측 출력 비교 데이터 세트를 상기 메모리 각각에 동시에 전달하는 단계와, iii) 각각의 검사 데이터 세트에 의해 검사되어질 각 메모리의 위치에 대한 기록 기능을 선택적으로 동작시키는 단계와, iv) 각 메모리 위치의 출력과 상기 예측 출력 비교 데이터를 비교하고, 상기 검사 데이터에 의해 검사되는 각 메모리의 각 어드레스 위치에 대한 비교 결과를 선택적으로 로드하는 단계를 포함함으로써, 상이한 특성을 갖는 다수의 메모리가 하나의 검사기로 검사되는 다수의 메모리 검사 방법.

청구항 12

제11항에 있어서, 상기 메모리의 상기 상이한 특성은 상이한 어드레스 지정 가능 위치를 포함하고, 상기 위치 각각에 기록 인에이블 및 결과 로드 기능을 선택적으로 작동시킬 수 있는 다수의 메모리 검사 방법.

청구항 13

제12항에 있어서, 광역 기록 인에이블 기능 및 광역 결과 로드 기능이 생성되고, 어드레스 지정 가능 메모리 위치에 대한 기록 기능 및 결과 로드 기능이 상기 광역 기록 인에이블 및 광역 결과 로드 기능으로부터 발생되는, 다수의 메모리 검사 방법.

청구항 14

제11항에 있어서, 검사되어질 단일 포트 및 다중 포트 메모리가 제공되고 검사되는 다수의 메모리 검사 방법.

청구항 15

제11항에 있어서, 상기 로드된 결과값은 데이터 압축값을 형성하기 위해 이용되는 다수의 메모리 검사 방법.

청구항 16

제15항에 있어서, 각 메모리에 대한 데이터 압축값이 형성되는 다수의 메모리 검사 방법.

청구항 17

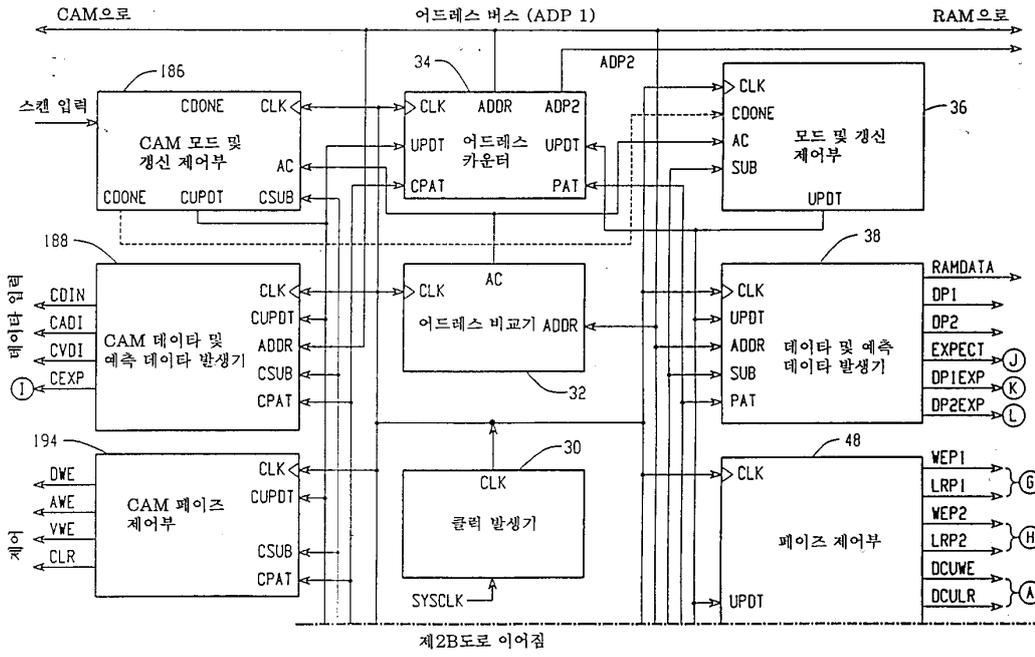
제16항에 있어서, 상기 데이터 압축값은 오류 어드레스 레지스터에 공급되는 다수의 메모리 검사 방법.

청구항 18

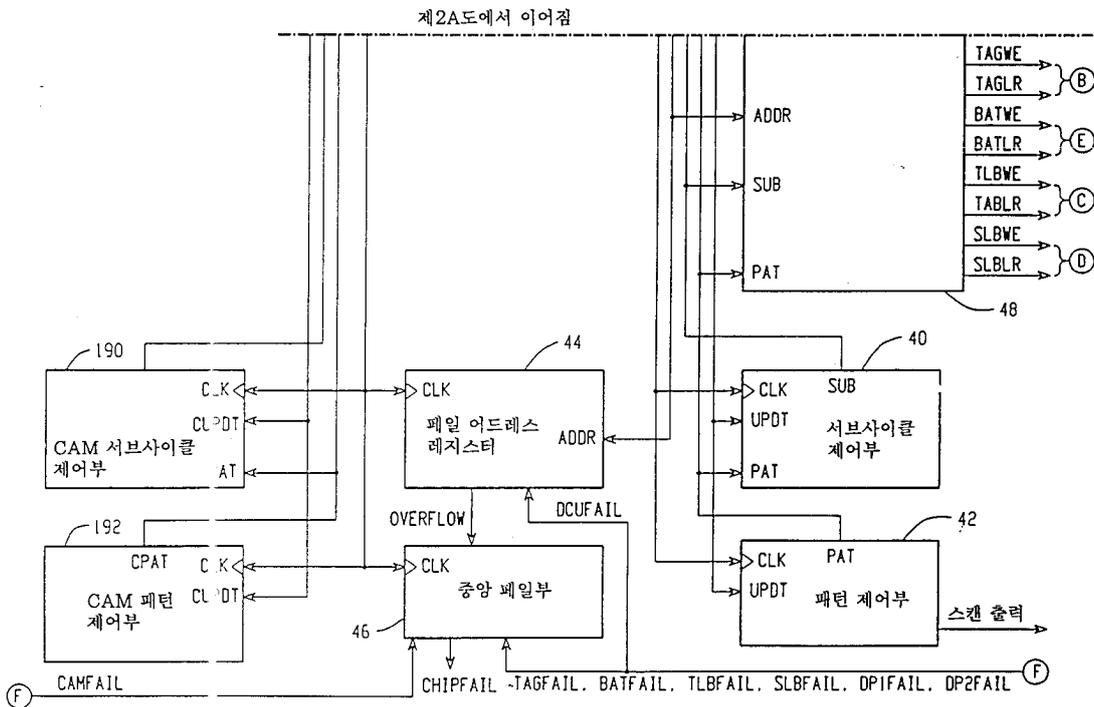
제11항에 있어서, 상기 메모리들 중 적어도 하나의 메모리는 내용 지정 메모리(CAM)인 다수의 메모리 검사 방법.

도면

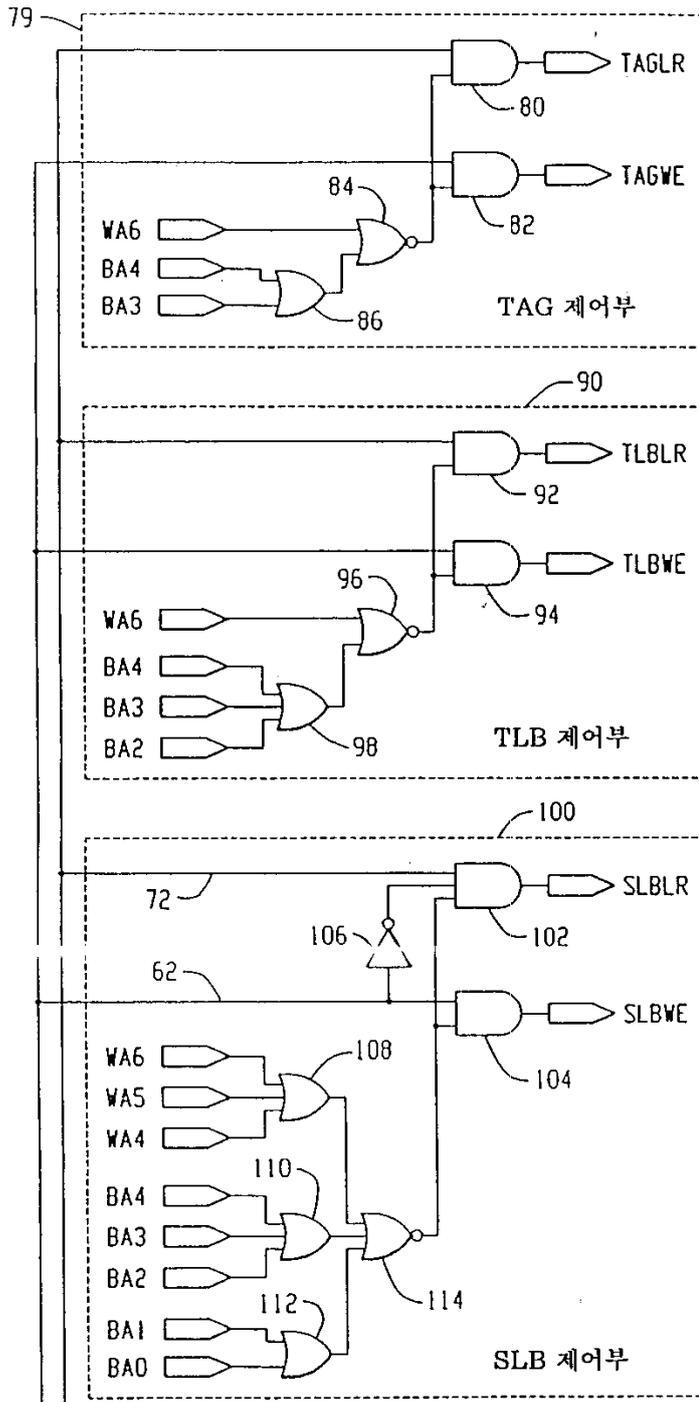
도면2a



도면2b

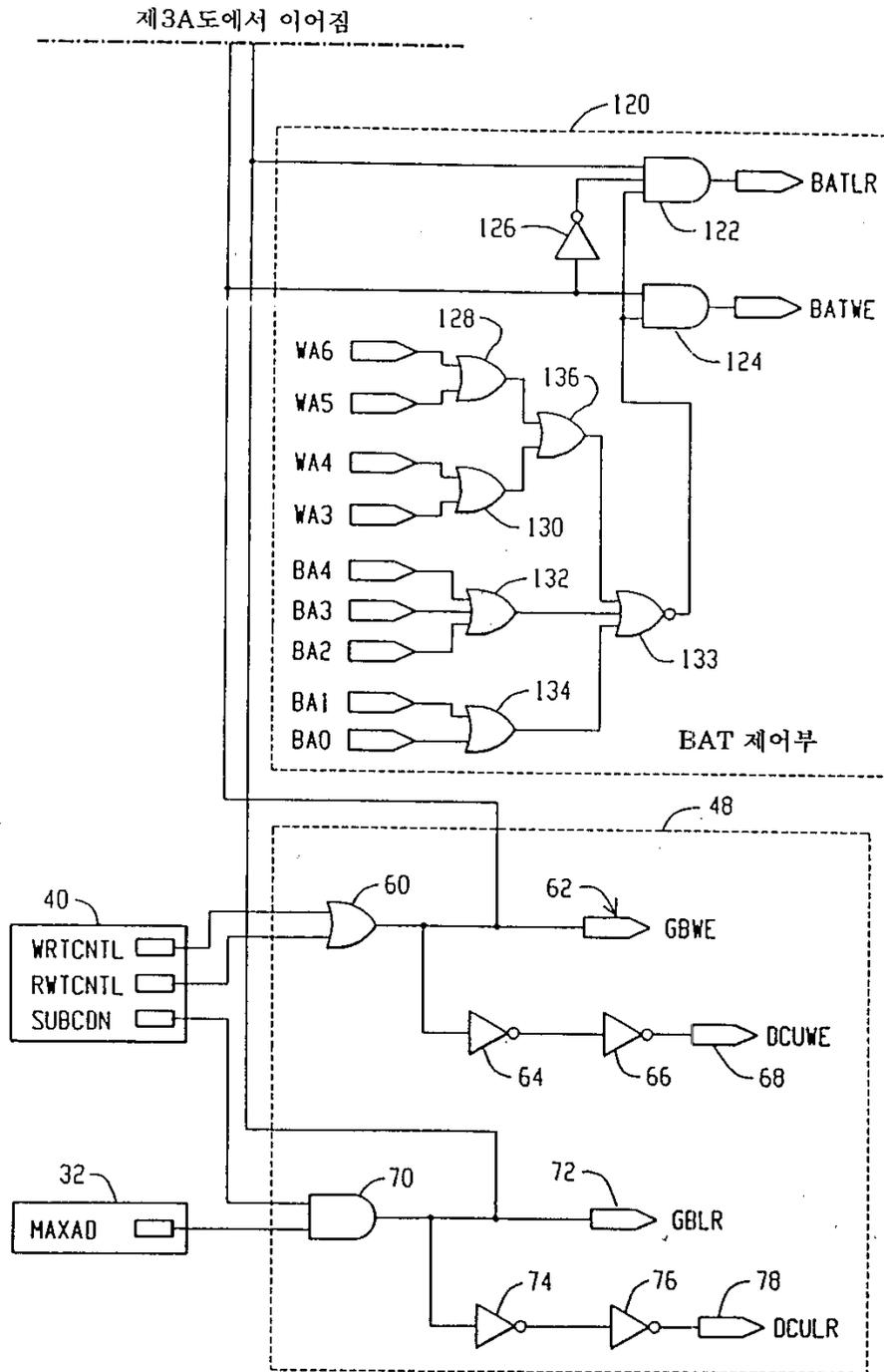


도면3a

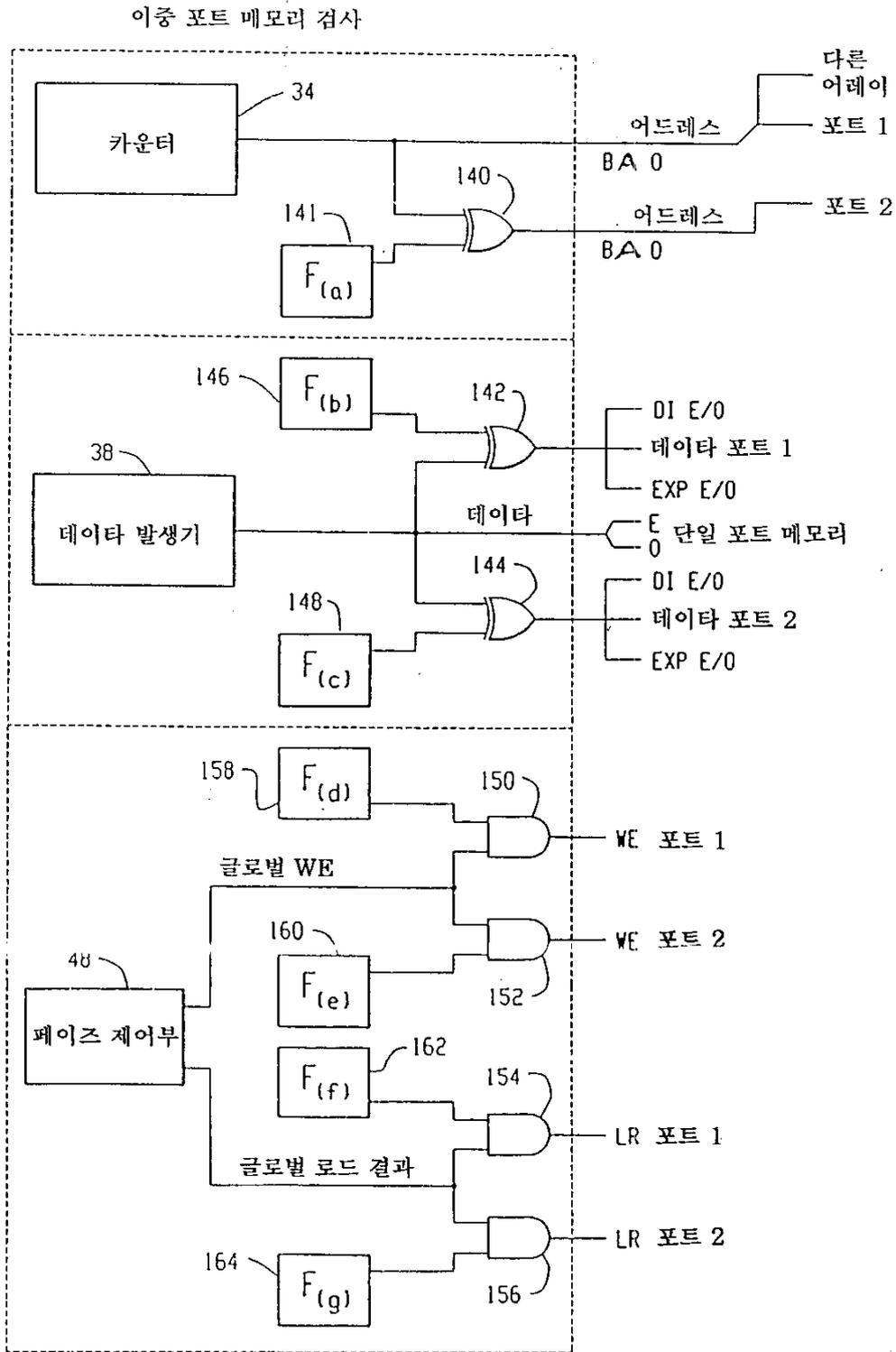


제3B도로 이어짐

도면3b



도면4



도면5

