

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4592677号
(P4592677)

(45) 発行日 平成22年12月1日(2010.12.1)

(24) 登録日 平成22年9月24日(2010.9.24)

(51) Int. Cl. F I
GO2F 1/1368 (2006.01) GO2F 1/1368
GO2F 1/1343 (2006.01) GO2F 1/1343

請求項の数 13 (全 14 頁)

(21) 出願番号	特願2006-336513 (P2006-336513)	(73) 特許権者	501358079
(22) 出願日	平成18年12月14日(2006.12.14)		友達光電股▲ふん▼有限公司
(65) 公開番号	特開2007-298943 (P2007-298943A)		AU Optronics Corporation
(43) 公開日	平成19年11月15日(2007.11.15)		台湾新竹科学工业园区新竹市力行二路一号
審査請求日	平成19年2月6日(2007.2.6)		No. 1, Lt-Hsin Rd, 11, Science-Based Industrial Park, Hsinchu, Taiwan, R. O. C.
(31) 優先権主張番号	095115636	(74) 代理人	100060368
(32) 優先日	平成18年5月2日(2006.5.2)		弁理士 赤岡 迪夫
(33) 優先権主張国	台湾(TW)	(74) 代理人	100124648
			弁理士 赤岡 和夫
		(72) 発明者	王湧鋒
			台湾新竹科学工业园区新竹市力行二路1号
			最終頁に続く

(54) 【発明の名称】 液晶表示装置のアレイ基板及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上にパターニングされた第1の金属層を形成し、少なくとも1つの第1の導電ライン、少なくとも2つの第2の導電ライン及び少なくとも1つのゲート電極を形成し、前記第1の導電ラインは、少なくとも1つの交差領域を有して前記ゲート電極と電氣的に接続され、前記第1の導電ラインの前記交差領域の両側に前記第2の導電ラインをそれぞれ別々に配置する工程と、

誘電体層及び半導体層を順次形成してパターニングし、前記第2の導電ライン、前記交差領域及び前記ゲート電極を覆い、前記第2の導電ライン上にある前記誘電体層及び前記半導体層は、前記第2の導電ラインを露出する第1の開口を有し、前記ゲート電極の上方にある前記半導体層をチャンネル層として用いる工程と、

前記基板上にパターニングされた第2の金属層を形成し、少なくとも2つの第3の導電ライン、少なくとも1つの第4の導電ライン、少なくとも1つのソース電極及び少なくとも1つのドレイン電極を別々に形成し、前記第3の導電ラインは、前記交差領域の両側にある前記第1の導電ラインを直接覆って走査線を形成し、前記第4の導電ラインは、前記第2の導電ライン及び前記交差領域上にある前記半導体層を覆ってデータ線を形成し、前記チャンネル層上の両側に前記ソース電極及び前記ドレイン電極を形成して少なくとも1つの薄膜トランジスタを形成し、前記第3の導電ラインを前記第4の導電ラインに接続させない工程と、

パターニングされた保護層を形成し、前記薄膜トランジスタ、前記走査線及び前記デー

10

20

タ線を覆う工程と、

前記基板の上方に少なくとも1つの画素電極を形成し、前記画素電極を前記薄膜トランジスタと電氣的に接続させる工程と、

を含むことを特徴とする液晶表示装置のアレイ基板の製造方法。

【請求項2】

前記半導体層は、アモルファスシリコン層と、その上に形成されたn型不純物ドーブトアモルファスシリコン層とを含むことを特徴とする請求項1に記載の液晶表示装置のアレイ基板の製造方法。

【請求項3】

前記パターンニングされた第1の金属層を形成する工程は、前記第1の導電ラインの前記ゲート電極と同じ側に配置され、前記第2の導電ラインに接続されていない状態で、前記第1の導電ラインと平行に少なくとも1つの容量線を形成する工程と、

前記容量線上に前記誘電体層を形成してキャパシタ誘電体層を形成する工程と、

前記キャパシタ誘電体層上に前記画素電極を形成して上部電極として用いる工程と、

をさらに含むことを特徴とする請求項1に記載の液晶表示装置のアレイ基板の製造方法

。

【請求項4】

前記パターンニングされた保護層を形成する工程の後と、前記画素電極を形成する工程の前との間に、前記基板上にパターンニングされた平坦化層を形成する工程をさらに含むことを特徴とする請求項1に記載の液晶表示装置のアレイ基板の製造方法。

【請求項5】

前記パターンニングされた第1の金属層を形成する工程は、前記第1の導電ラインの前記ゲート電極と同じ側に配置され、前記第2の導電ラインに接続されていない状態で、前記第1の導電ラインと平行に少なくとも1つの容量線を形成する工程と、

前記容量線上に前記誘電体層及び前記半導体層を形成してキャパシタ誘電体層を形成する工程と、

前記キャパシタ誘電体層上に前記パターンニングされた第2の金属層を形成して上部電極として用い、前記平坦化層は、前記上部電極を露出して前記画素電極と電氣的に接続された第2の開口を有する工程と、

をさらに含むことを特徴とする請求項4に記載の液晶表示装置のアレイ基板の製造方法

。

【請求項6】

基板上にパターンニングされた第1の金属層を形成し、少なくとも1つの第1の導電ライン、少なくとも2つの第2の導電ライン及び少なくとも1つのゲート電極を形成し、前記第1の導電ラインは、少なくとも1つの交差領域を有して前記ゲート電極と電氣的に接続され、前記第1の導電ラインの前記交差領域の両側に前記第2の導電ラインをそれぞれ別々に配置する工程と、

誘電体層及び半導体層を順次形成してパターンニングし、前記第2の導電ライン、前記交差領域及び前記ゲート電極を覆い、前記第2の導電ライン上にある前記誘電体層及び前記半導体層は、前記第2の導電ラインを露出する第1の開口を有し、前記ゲート電極の上方にある前記半導体層をチャンネル層として用いる工程と、

前記基板上にパターンニングされた透明導電層を形成し、少なくとも2つの第3の導電ライン、少なくとも1つの第4の導電ライン、少なくとも1つのソース電極、少なくとも1つのドレイン電極及び少なくとも1つの画素電極を別々に形成し、前記第3の導電ラインは、前記交差領域の両側にある前記第1の導電ラインを直接覆って走査線を形成し、前記第4の導電ラインは、前記第2の導電ライン及び前記交差領域上にある前記半導体層を覆ってデータ線を形成し、前記チャンネル層の両側に前記ソース電極及び前記ドレイン電極を形成して少なくとも1つの薄膜トランジスタを形成し、前記基板上にある画素領域の中に前記画素電極を配置し、前記第3の導電ラインを前記第4の導電ラインに接続させない工程と、

10

20

30

40

50

パターンニングされた保護層を形成し、前記薄膜トランジスタ、前記走査線及び前記データ線上を覆う工程と、
を含むことを特徴とする液晶表示装置のアレイ基板の製造方法。

【請求項 7】

前記半導体層は、アモルファスシリコン層と、その上に形成された n 型不純物ドーブトアモルファスシリコン層とを含むことを特徴とする請求項 6 に記載の液晶表示装置のアレイ基板の製造方法。

【請求項 8】

前記パターンニングされた第 1 の金属層を形成する工程は、前記第 1 の導電ラインの前記ゲート電極と同じ側に配置され、前記第 2 の導電ラインに接続されていない状態で、前記第 1 の導電ラインと平行に容量線を形成する工程と、

前記容量線上に前記誘電体層を形成してキャパシタ誘電体層を形成する工程と、

前記キャパシタ誘電体層上に前記パターンニングされた透明導電層を形成し、前記画素電極と電氣的に接続された上部電極として用いる工程と、

をさらに含むことを特徴とする請求項 6 に記載の液晶表示装置のアレイ基板の製造方法。

【請求項 9】

基板上に配置され、少なくとも 1 つの交差領域を有する少なくとも 1 つの第 1 の導電ラインと、

前記基板上に配置され、前記交差領域の両側に前記第 1 の導電ラインと垂直に配置された少なくとも 2 つの第 2 の導電ラインと、

前記第 2 の導電ライン及び前記交差領域上に配置され、前記第 2 の導電ラインを露出する第 1 の開口を前記第 2 の導電ライン上の箇所にも有する少なくとも 1 つの信号絶縁層と、

前記交差領域の両側にある前記第 1 の導電ラインを直接覆って走査線を形成する少なくとも 2 つの第 3 の導電ラインと、

前記信号絶縁層及び前記第 1 の開口を覆ってデータ線を形成し、前記第 3 の導電ラインと電氣的に接続されていない状態である少なくとも 1 つの第 4 の導電ラインと、

前記第 4 の導電ラインと電氣的に接続されたソース電極と、前記第 1 の導電ラインと電氣的に接続されたゲート電極とを有する少なくとも 1 つのトランジスタと、

前記トランジスタのドレイン電極と電氣的に接続された少なくとも 1 つの画素電極と、
を備えることを特徴とする液晶表示装置のアレイ基板。

【請求項 10】

前記基板上で前記第 1 の導電ラインと平行に配置され、かつ、前記第 1 の導電ラインの前記ゲート電極と同じ側で前記第 2 の導電ラインと接続されていない状態で配置された容量線と、

前記容量線上に配置されたキャパシタ誘電体層と、

前記キャパシタ誘電体層上に配置され、前記トランジスタの前記ドレイン電極及び前記画素電極と電氣的に接続された上部電極と、

をさらに備えることを特徴とする請求項 9 に記載の液晶表示装置のアレイ基板。

【請求項 11】

前記基板上に配置され、前記上部電極を露出する第 2 の開口を有するパターンニングされた平坦化層をさらに備えることを特徴とする請求項 10 に記載の液晶表示装置のアレイ基板。

【請求項 12】

前記第 3 の導電ライン、前記第 4 の導電ライン、前記ソース電極及び前記ドレイン電極は、透明導電材料からなることを特徴とする請求項 9 に記載の液晶表示装置のアレイ基板。

【請求項 13】

前記第 3 の導電ライン、前記第 4 の導電ライン及び前記トランジスタ上に形成された保護層をさらに備えることを特徴とする請求項 9 に記載の液晶表示装置のアレイ基板。

10

20

30

40

50

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は液晶表示装置に関し、特に薄膜トランジスタ液晶表示装置のアレイ構造及びその製造方法に関する。

【背景技術】**【0002】**

液晶表示装置の技術の進歩と表示装置の大型化を求める市場の要求に応え、液晶表示装置はサイズが大型化するとともに、その解析度も高くなってきている。そして、これに伴い導電ラインの抵抗及びキャパシタンスも高くなってきている。しかし、導電ラインの抵抗及びキャパシタンスを増大させた場合、液晶表示装置の中のRC遅延が増大し、液晶表示装置の信号伝達に悪影響を与え、表示装置の表示品質が低減することがあった。

10

【0003】

従来、表示装置のRC遅延を改善する方法としては、主に銅工程を導入したり導電ラインの線幅を増大させたりする方法があった。液晶表示装置の製造工程において、銅の導電ラインを製作する銅工程を行った場合、導電ラインの抵抗を低減させて信号伝達速度を高めることができるため、RC遅延を改善することができたが、この銅工程には解決しなければならない多くの問題があった。また導電ラインの幅を増大させた場合、導電ラインの断面積を増大させて抵抗が低減し、RC遅延の影響を低減させることができた。しかし、導電ラインの幅が増大した場合、画素表示の面積に悪影響を及ぼし、表示装置の開口率と輝度が低減することがあった。

20

【0004】

一方、表示装置の画素領域は、異なる機能を有する複数の薄層から構成され、各薄層の反射率の違いが非常に大きく、薄層と薄層の間にある界面を光が透過する時にその一部が反射され、透過率が低減して表示装置の輝度が低減することがあった。そのため、必要な輝度を得るため、高輝度のバックライト光源を用いなければならなかった。

【発明の開示】**【発明が解決しようとする課題】****【0005】**

本発明の目的は、導電ラインのRC遅延を低減し、表示装置の開口率に悪影響を及ぼさない液晶表示装置のアレイ基板を提供することにある。

30

本発明のもう一つの目的は、画素領域を透過する光量を増大させて表示装置の輝度を向上させる液晶表示装置のアレイ基板の製造方法を提供することにある。

【課題を解決するための手段】**【0006】**

本発明の一態様は、基板上にパターンニングされた第1の金属層を形成し、少なくとも1つの第1の導電ライン、少なくとも2つの第2の導電ライン及び少なくとも1つのゲート電極を形成し、前記第1の導電ラインは、少なくとも1つの交差領域を有して前記ゲート電極と電氣的に接続され、前記第1の導電ラインの前記交差領域の両側に前記第2の導電ラインをそれぞれ別々に配置する工程と、誘電体層及び半導体層を順次形成してパターンニングし、前記第2の導電ライン、前記交差領域及び前記ゲート電極を覆い、前記第2の導電ライン上にある前記誘電体層及び前記半導体層は、前記第2の導電ラインを露出する第1の開口を有し、前記ゲート電極の上方にある前記半導体層をチャンネル層として用いる工程と、前記基板上にパターンニングされた第2の金属層を形成し、少なくとも2つの第3の導電ライン、少なくとも1つの第4の導電ライン、少なくとも1つのソース電極及び少なくとも1つのドレイン電極を別々に形成し、前記第3の導電ラインは、前記交差領域の両側にある前記第1の導電ラインを覆って走査線を形成し、前記第4の導電ラインは、前記第2の導電ライン及び前記交差領域上にある前記半導体層を覆ってデータ線を形成し、前記チャンネル層上の両側に前記ソース電極及び前記ドレイン電極を形成して少なくとも1つの薄膜トランジスタを形成し、前記第3の導電ラインを前記第4の導電ラインに接続させ

40

50

ない工程と、パターニングされた保護層を形成し、前記薄膜トランジスタ、前記走査線及び前記データ線を覆う工程と、前記基板の上方に少なくとも1つの画素電極を形成し、前記画素電極を前記薄膜トランジスタと電氣的に接続させる工程と、を含むことを特徴とする液晶表示装置のアレイ基板の製造方法に関する。

【0007】

本発明の一態様は、前記半導体層は、アモルファスシリコン層と、その上に形成されたn型不純物ドーパントアモルファスシリコン層とを含むことを特徴とする。

【0008】

本発明の一態様は、前記パターニングされた第1の金属層を形成する工程は、前記第1の導電ラインの前記ゲート電極と同じ側に配置され、前記第2の導電ラインに接続されていない状態で、前記第1の導電ラインと平行に少なくとも1つの容量線を形成する工程と、前記容量線上に前記誘電体層を形成してキャパシタ誘電体層を形成する工程と、前記キャパシタ誘電体層上に前記画素電極を形成して上部電極として用いる工程と、をさらに含むことを特徴とする。

10

【0009】

本発明の一態様は、前記パターニングされた保護層を形成する工程の後と、前記画素電極を形成する工程との前との間に、前記基板上にパターニングされた平坦化層を形成する工程をさらに含むことを特徴とする。

【0010】

本発明の一態様は、前記パターニングされた第1の金属層を形成する工程は、前記第1の導電ラインの前記ゲート電極と同じ側に配置され、前記第2の導電ラインに接続されていない状態で、前記第1の導電ラインと平行に少なくとも1つの容量線を形成する工程と、前記容量線上に前記誘電体層及び前記半導体層を形成してキャパシタ誘電体層を形成する工程と、前記キャパシタ誘電体層上に前記パターニングされた第2の金属層を形成して上部電極として用い、前記平坦化層は、前記上部電極を露出して前記画素電極と電氣的に接続された第2の開口を有する工程と、をさらに含むことを特徴とする。

20

【0011】

本発明の一態様は、基板上にパターニングされた第1の金属層を形成し、少なくとも1つの第1の導電ライン、少なくとも2つの第2の導電ライン及び少なくとも1つのゲート電極を形成し、前記第1の導電ラインは、少なくとも1つの交差領域を有して前記ゲート電極と電氣的に接続され、前記第1の導電ラインの前記交差領域の両側に前記第2の導電ラインをそれぞれ別々に配置する工程と、誘電体層及び半導体層を順次形成してパターニングし、前記第2の導電ライン、前記交差領域及び前記ゲート電極を覆い、前記第2の導電ライン上にある前記誘電体層及び前記半導体層は、前記第2の導電ラインを露出する第1の開口を有し、前記ゲート電極の上方にある前記半導体層をチャンネル層として用いる工程と、前記基板上にパターニングされた透明導電層を形成し、少なくとも2つの第3の導電ライン、少なくとも1つの第4の導電ライン、少なくとも1つのソース電極、少なくとも1つのドレイン電極及び少なくとも1つの画素電極を別々に形成し、前記第3の導電ラインは、前記交差領域の両側にある前記第1の導電ラインを覆って走査線を形成し、前記第4の導電ラインは、前記第2の導電ライン及び前記交差領域上にある前記半導体層を覆ってデータ線を形成し、前記チャンネル層の両側に前記ソース電極及び前記ドレイン電極を形成して少なくとも1つの薄膜トランジスタを形成し、前記基板上にある画素領域の中に前記画素電極を配置し、前記第3の導電ラインを前記第4の導電ラインに接続させない工程と、パターニングされた保護層を形成し、前記薄膜トランジスタ、前記走査線及び前記データ線上を覆う工程と、を含むことを特徴とする液晶表示装置のアレイ基板の製造方法に関する。

30

40

【0012】

本発明の一態様は、前記半導体層は、アモルファスシリコン層と、その上に形成されたn型不純物ドーパントアモルファスシリコン層とを含むことを特徴とする。

【0013】

50

本発明の一態様は、前記パターンニングされた第1の金属層を形成する工程は、前記第1の導電ラインの前記ゲート電極と同じ側に配置され、前記第2の導電ラインに接続されていない状態で、前記第1の導電ラインと平行に容量線を形成する工程と、前記容量線上に前記誘電体層を形成してキャパシタ誘電体層を形成する工程と、前記キャパシタ誘電体層上に前記パターンニングされた透明導電層を形成し、前記画素電極と電氣的に接続された上部電極として用いる工程と、をさらに含むことを特徴とする。

【0014】

本発明の一態様は、基板上に配置され、少なくとも1つの交差領域を有する少なくとも1つの第1の導電ラインと、前記基板上に配置され、前記交差領域の両側に前記第1の導電ラインと垂直に配置された少なくとも2つの第2の導電ラインと、前記第2の導電ライン及び前記交差領域上に配置され、前記第2の導電ラインを露出する第1の開口を前記第2の導電ライン上の箇所には有する少なくとも1つの信号絶縁層と、前記交差領域の両側にある前記第1の導電ラインを覆って走査線を形成する少なくとも2つの第3の導電ラインと、前記信号絶縁層及び前記第1の開口を覆ってデータ線を形成し、前記第3の導電ラインと電氣的に接続されていない状態である少なくとも1つの第4の導電ラインと、前記第4の導電ラインと電氣的に接続されたソース電極と、前記第1の導電ラインと電氣的に接続されたゲート電極とを有する少なくとも1つのトランジスタと、前記トランジスタのドレイン電極と電氣的に接続された少なくとも1つの画素電極と、を備えることを特徴とする液晶表示装置のアレイ基板に関する。

【0015】

本発明の一態様は、前記基板上で前記第1の導電ラインと平行に配置され、かつ、前記第1の導電ラインの前記ゲート電極と同じ側で前記第2の導電ラインと接続されていない状態で配置された容量線と、前記容量線上に配置されたキャパシタ誘電体層と、前記キャパシタ誘電体層上に配置され、前記トランジスタの前記ドレイン電極及び前記画素電極と電氣的に接続された上部電極と、をさらに備えることを特徴とする。

【0016】

本発明の一態様は、前記基板上に配置され、前記上部電極を露出する第2の開口を有するパターンニングされた平坦化層をさらに備えることを特徴とする。

【0017】

本発明の一態様は、前記第3の導電ライン、前記第4の導電ライン、前記ソース電極及び前記ドレイン電極は、透明導電材料からなることを特徴とする。

【0018】

本発明の一態様は、前記第3の導電ライン、前記第4の導電ライン及び前記トランジスタ上に形成された保護層をさらに備えることを特徴とする。

【発明の効果】

【0019】

本発明の薄膜トランジスタ液晶表示装置のアレイ基板の構造は、走査線及びデータ線の厚みを増大させて断面積を大きくすることにより、抵抗を下げて画素品質に与えるRC遅延の悪影響を低減させることができる。また、基板上を占める走査線及びデータ線の面積が同じであるため、画素面積の大きさには影響を与えない。この他、画素領域上に誘電体層がないため、光が通過する層数を減らし、画素領域の透過率を増大させて液晶表示装置の輝度を上げることができる。

【発明を実施するための最良の形態】

【0020】

(第1実施形態)

図1A及び図2Aを参照する。図1Aは、図2Aに示す走査線の線A-A、データ線の線B-B、容量線の線C-C及びゲート電極の線D-Dに沿った断面図である。まず、透明基板(図示せず)上に第1の金属層を形成した後に、第1の金属層を画定して第1の走査線112、第1のデータ線114、容量線116及びゲート電極118を形成する。図2Aに示すように、第1の走査線112と容量線116は互いに平行に配置され、第1の

走査線 112 と容量線 116 は、それぞれ複数の交差領域 119 を有する。第 1 のデータ線 114 は、第 1 の走査線 112 及び容量線 116 と垂直に配置され、第 1 のデータ線 114 は、第 1 の走査線 112 及び容量線 116 の交差領域 119 の両側に間欠的に配列され、交差領域 119 とは接続されていない状態である。第 1 の走査線 112 及び第 1 のデータ線 114 により画定される領域は、基板上の画素領域である。

【0021】

図 1 B に示すように、第 1 の走査線 112、第 1 のデータ線 114、容量線 116 及びゲート電極 118 上には、誘電体層 120 及び半導体層 130 が順次形成される。本実施形態の半導体層 130 は、アモルファスシリコン層と、その上に形成された n 型不純物ドーパントアモルファスシリコン層との組み合わせからなる。

10

【0022】

図 1 C 及び図 2 B を参照する。図 2 B は、図 1 C の平面図である。図 1 C 及び図 2 B に示すように、半導体層 130 及び誘電体層 120 を画定し、第 1 のデータ線 114 及び交差領域 119 上にそれぞれ信号絶縁層 134 を形成し、容量線 116 上にキャパシタ誘電体層 136 を形成し、ゲート電極 118 上にチャンネル層 138 を形成する。第 1 のデータ線 114 の中央部分にある信号絶縁層 134 は、第 1 のデータ線 114 を露出する開口 139 を有する。信号絶縁層 134 とキャパシタ誘電体層 136 は、それぞれ独立して互いに接続されていない状態である。第 1 の走査線 112 及び第 1 のデータ線 114 により画定された画素領域上にある誘電体層及び半導体層は全て除去されるため、光が画素領域を透過する時に通る薄膜層の数を減らし、画素領域の透過率を増大させることができる。

20

【0023】

図 1 D 及び図 2 C を参照する。図 2 C は、図 1 D の平面図である。半導体層及び誘電体層を画定した後、その上に第 2 の金属層が 1 層形成される。その後、第 2 の金属層を画定し、露出された第 1 の走査線 112 上に第 2 の走査線 142 がそれぞれ形成され、信号絶縁層 134 上と開口 139 の中に第 2 のデータ線 144 が形成され、キャパシタ誘電体層 136 上に上部電極 146 が形成され、チャンネル層 138 の両側にソース電極 148 及びドレイン電極 149 がそれぞれ形成され、上部電極 146 とドレイン電極 149 を接続する接続線 147 が形成される。

【0024】

上述の第 2 の走査線 142 と第 1 の走査線 112 は、直接接続されて 2 層金属構造の走査線が形成される。第 2 のデータ線 144 と第 1 のデータ線 114 は、開口 139 の箇所で直接接続され、2 層金属構造のデータ線が形成される。第 2 のデータ線 144 は、交差領域 119 上の信号絶縁層 134 により、第 1 の走査線 112 及び容量線 116 とそれぞれ絶縁される。上述のゲート電極 118、ソース電極 148 及びドレイン電極 149 は、トランジスタの 3 つの電極を構成する。上述の容量線 116、キャパシタ誘電体層 136 及び上部電極 146 は、完全な蓄積容量を構成する。

30

【0025】

図 1 E 及び図 2 D を参照する。図 2 D は、図 1 E の平面図である。図 1 E 及び図 2 D に示すように、まず、保護層 150 を 1 層堆積してから画定し、画素領域及び上部電極 146 の箇所にある保護層を除去するとともに、上述の導電ライン及び電極が酸化されないように、第 2 の走査線 142、第 2 のデータ線 144、ソース電極 148 及びドレイン電極 149 上を覆って保護する。

40

【0026】

続いて、基板上に平坦化層 160 を形成してから画定し、上部電極 146 を露出させる。

【0027】

最後に、透明導電層を形成してから画定し、画素領域上に上部電極 146 と接続された画素電極 171 が形成される。この画素電極は、上部電極 146 を介してドレイン電極 149 と接続される。画素電極 171 は、それぞれ互いに独立して接続されていない状態である。本実施形態の液晶表示装置のアレイ基板の走査線及びデータ線は、ともに 2 層の金

50

属層から構成されている。上述したように、走査線は、第1の走査線及び第2の走査線から構成され、データ線は、第1のデータ線及び第2のデータ線から構成されている。これにより、走査線及びデータ線の厚みが増大して断面積が増大されるため、抵抗値が低減してRC遅延が画素品質に与える悪影響を減らすことができる。その上、基板上を占める走査線及びデータ線の面積が変化しないため、各画素の開口率には影響を与えない。

【0028】

従来、光が画素領域を透過する時は、各層間の屈折率が異なる基板、誘電体層、平坦化層及び透明導電層を透過するが、光が界面を通る時に、その一部が屈折及び/又は反射により失われることがあった。しかし本実施形態では、屈折率が最大である誘電体層が除去されているため、各層間の屈折率の差異が縮小されるだけでなく、界面間を通る光の反射率を低減させることもできる。また光が透過する層を5層から3層に減らすことにより、透過する界面の数を4つから2つに減らし、光が界面で反射される割合を大幅に低減させることができる。そのため、画素領域を透過する際の光のロスが減らされているため、最終的に得られる表示装置の輝度が大幅に向上する。

10

【0029】

(第2実施形態)

本実施形態では、第1実施形態で用いられている平坦化層が無い場合、液晶表示装置のアレイ基板の構造の一部は、それに対応して調整されている。第2実施形態では、第2の金属層を画定するときにキャパシタ誘電体層上に上部電極を形成しない工程以外は、第1の金属層の堆積から保護層の堆積までの工程が第1実施形態と同じであるため、ここでは繰り返して述べない。

20

【0030】

図3A及び図3Bを参照する。図3Bは、図3Aの平面図である。保護層150は、堆積された後に画定され、第2の走査線142、第2のデータ線144、ソース電極148及びドレイン電極149上を覆う。その後、透明導電層を形成してから画定し、画素領域上に画素電極171を形成する。この画素電極171は、接続点181によりトランジスタのドレイン電極149に接続されている。

【0031】

前述の保護層を画定する工程では、キャパシタ誘電体層上に上部電極がないため、続いてエッチングにより容量線116上にある半導体層130を除去して誘電体層120のみを残すことができる。図3Aに示すように、蓄積容量は、それぞれ蓄積容量の下部電極、誘電体層及び上部電極である容量線116、誘電体層120及び画素電極171から構成されている。第1実施形態と異なり、本実施形態の蓄積容量の誘電体層は、誘電体層及び半導体層の2層から構成され、蓄積容量の誘電体層は、誘電体層のみから構成されている。そのため、本実施形態の蓄積容量は、誘電体層の厚みが薄く、蓄積容量の量が多い。

30

【0032】

本実施形態では、画素領域の中の平坦化層をさらに省略することにより、光が画素領域を通ると、基板及び透明導電層のみを透過する。光が透過する薄膜層の数が減るため、透過する界面の数が減り、界面を透過する時の光のロスをさらに低減させることができる。

【0033】

(第3実施形態)

透明導電層は、それ自身導体の性質を有するため、第2実施形態の第2の金属層及び透明導電層は、透明導電層だけで代替することもできる。そのため、第3実施形態では、平坦化層だけでなく、第2の金属層も省略されている。本実施形態の透明導電層は、画素電極に用いることができる以外に、導電ラインを兼ねることもできる。そして平坦化層及び第2の金属層を省略することにより、工程に必要なマスク数を減らし、製造コストを低減させることもできる。第3実施形態では、第1の金属層の堆積から半導体層及び誘電体層の画定までの工程が第1実施形態と同じであるため、ここでは繰り返して述べない。

40

【0034】

図4A及び図4Bを参照する。図4Bは、図4Aの平面図である。透明導電層を1層堆

50

積した後に画定し、第1の走査線112上に第2の走査線142を形成し、第1のデータ線114上に第2のデータ線144を形成し、チャンネル層138の両側にソース電極148及びドレイン電極149を形成し、画素領域に画素電極171を形成する。キャパシタ誘電体層136上に形成された画素電極171は、蓄積容量の上部電極を兼ねることもできる。

【0035】

その後、保護層150を1層堆積して画定し、第2の走査線142、第2のデータ線144、ソース電極148及びドレイン電極149上を覆い、導電ライン及び電極を保護する。

【0036】

上述したことから分かるように、本発明は以下の長所を有する。

(1) 走査線及びデータ線の抵抗を減らし、画素品質に与えるRC遅延の悪影響を低減することができる。

(2) 画素領域の透過率を上げて表示装置の輝度を上げることができる。

【0037】

当該施術を熟知するものが理解できるように、本発明の好適な実施形態を前述の通り開示したが、これらは決して本発明を限定するものではない。本発明の主旨と範囲を脱しない範囲内で各種の変更や修正を加えることができる。従って、本出願による特許請求の範囲は、このような変更や修正を含めて広く解釈されるべきである。

【図面の簡単な説明】

【0038】

【図1A】本発明の第1実施形態による液晶表示装置のアレイ基板の製造工程を示す断面図である。

【図1B】本発明の第1実施形態による液晶表示装置のアレイ基板の製造工程を示す断面図である。

【図1C】本発明の第1実施形態による液晶表示装置のアレイ基板の製造工程を示す断面図である。

【図1D】本発明の第1実施形態による液晶表示装置のアレイ基板の製造工程を示す断面図である。

【図1E】本発明の第1実施形態による液晶表示装置のアレイ基板の製造工程を示す断面図である。

【図2A】本発明の第1実施形態による液晶表示装置のアレイ基板の製造工程を示す平面図である。

【図2B】本発明の第1実施形態による液晶表示装置のアレイ基板の製造工程を示す平面図である。

【図2C】本発明の第1実施形態による液晶表示装置のアレイ基板の製造工程を示す平面図である。

【図2D】本発明の第1実施形態による液晶表示装置のアレイ基板の製造工程を示す平面図である。

【図3A】本発明の第2実施形態による液晶表示装置のアレイ基板の製造工程を示す断面図である。

【図3B】本発明の第2実施形態による液晶表示装置のアレイ基板の走査線を示す平面図である。

【図4A】本発明の第3実施形態による液晶表示装置のアレイ基板の製造工程を示す断面図である。

【図4B】本発明の第3実施形態による液晶表示装置のアレイ基板の走査線を示す平面図である。

【符号の説明】

【0039】

112 第1の走査線

10

20

30

40

50

- 1 1 4 第 1 のデータ線
- 1 1 6 容量線
- 1 1 8 ゲート電極
- 1 1 9 交差領域
- 1 2 0 誘電体層
- 1 3 0 半導体層
- 1 3 4 信号絶縁層
- 1 3 6 キャパシタ誘電体層
- 1 3 8 チャンネル層
- 1 3 9 開口
- 1 4 2 第 2 の走査線
- 1 4 4 第 2 のデータ線
- 1 4 6 上部電極
- 1 4 7 接続線
- 1 4 8 ソース電極
- 1 4 9 ドレイン電極
- 1 5 0 保護層
- 1 6 0 平坦化層
- 1 7 1 画素電極
- 1 8 1 接続点

10

20

【図 1 A】

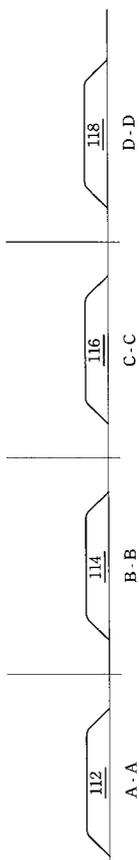


Fig. 1A

【図 1 B】

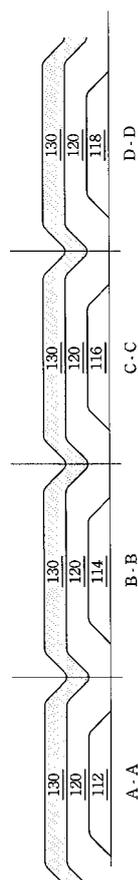


Fig. 1B

【 1 C】

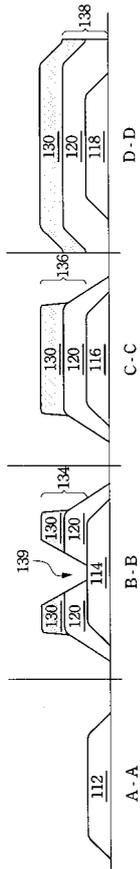


Fig. 1C

【 1 D】

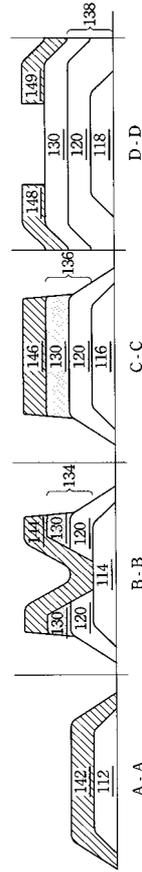


Fig. 1D

【 1 E】

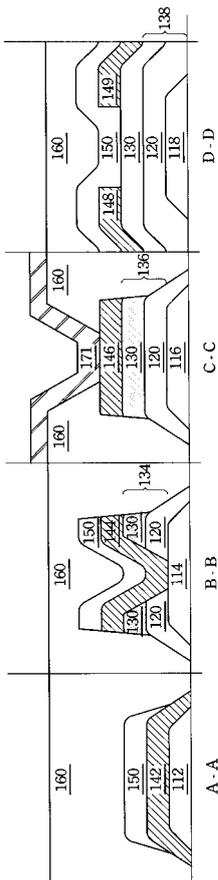


Fig. 1E

【 2 A】

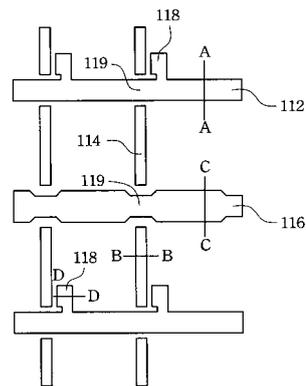


Fig. 2A

【 2 B 】

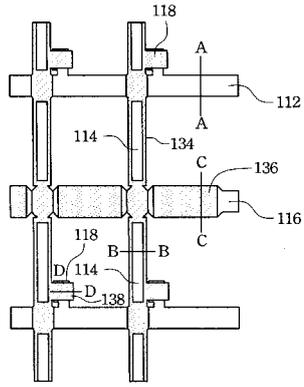


Fig. 2B

【 2 C 】

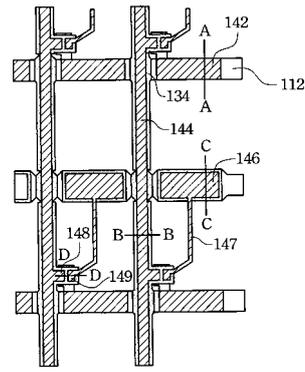


Fig. 2C

【 2 D 】

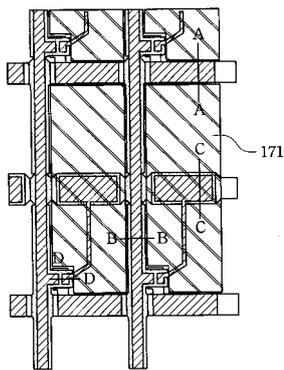


Fig. 2D

【 3 A 】

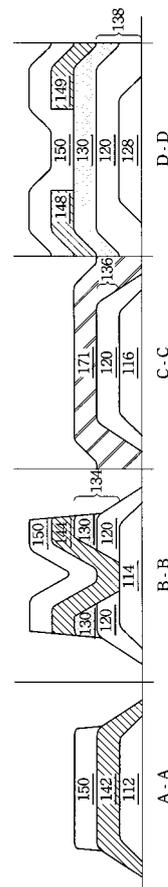


Fig. 3A

【 図 3 B 】

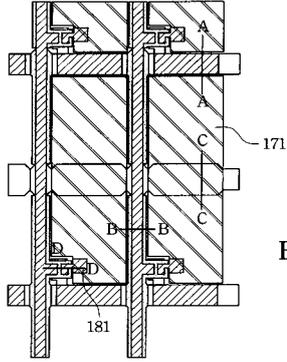


Fig. 3B

【 図 4 A 】

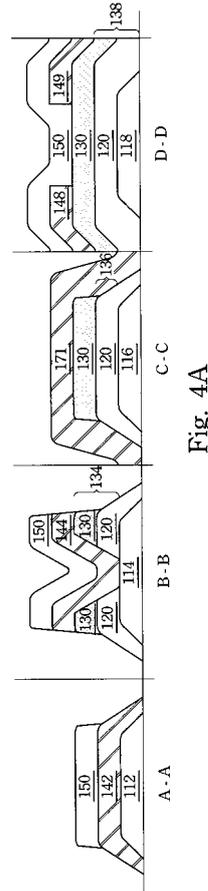


Fig. 4A

【 図 4 B 】

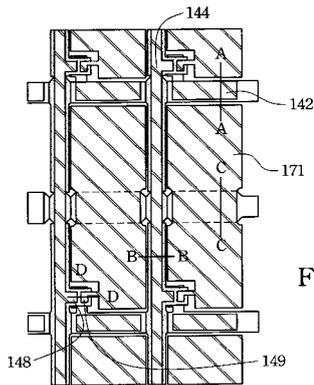


Fig. 4B

フロントページの続き

- (72)発明者 余良彬
台湾新竹科学工业园区新竹市力行二路1号
- (72)発明者 潘智瑞
台湾新竹科学工业园区新竹市力行二路1号

審査官 藤田 都志行

- (56)参考文献 特開平01-134341(JP,A)
特開2004-199074(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

G02F 1/1343