

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

H01L 29/786 (2006.01)

H01L 21/336 (2006.01)

H01L 51/50 (2006.01)

(11) 공개번호 10-2006-0089242

(43) 공개일자 2006년08월08일

(21) 출원번호 10-2006-7009069

(22) 출원일자 2006년05월10일

번역문 제출일자 2006년05월10일

(86) 국제출원번호 PCT/JP2004/010759

(87) 국제공개번호 WO 2005/045939

국제출원일자 2004년07월22일

국제공개일자 2005년05월19일

(30) 우선권주장 JP-P-2003-00381294 2003년11월11일 일본(JP)

(71) 출원인 마츠시타 덴끼 산교 가부시카가이샤
일본 오오사카후 가도마시 오오아자 가도마 1006

(72) 발명자 다케우치 다카유키
일본 오사카후 가도마시 오아자 가도마 1006 마츠시타 덴끼 산교가부시
카가이샤 내
나나이 노리시게
일본 오사카후 가도마시 오아자 가도마 1006 마츠시타 덴끼 산교가부시
카가이샤 내

(74) 대리인 김창세

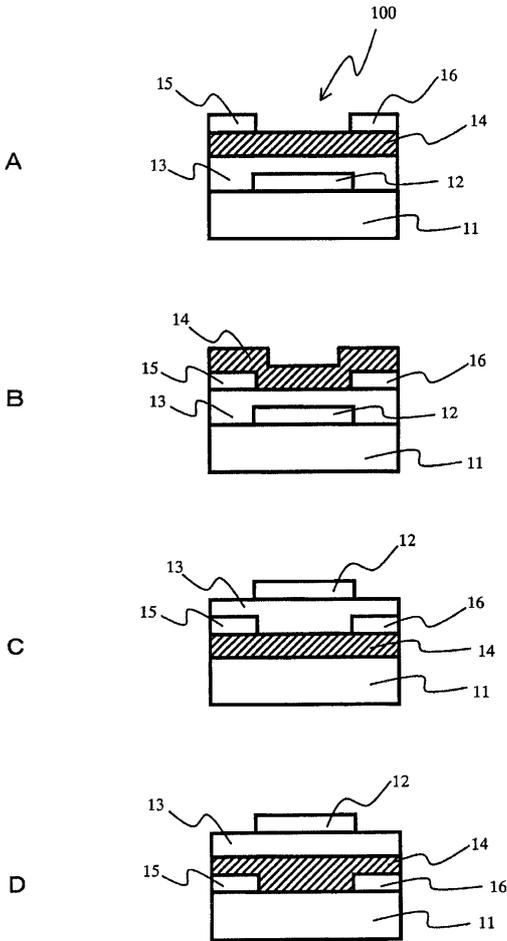
심사청구 : 있음

(54) 박막 트랜지스터와 그 제조 방법, 액티브 매트릭스형 디스플레이, 무선 ID 태그 및 휴대용 기기

요약

본 발명의 박막 트랜지스터는, 반도체층(14)과, 상기 반도체층에 서로 대향하도록 분리해서 마련된 소스 영역(15)과 드레인 영역(16)을 갖는 박막 트랜지스터(100)로서, 상기 반도체층은 π 공역계 유기 반도체 분자를 주성분으로서 갖고, 상기 π 공역계 유기 반도체 분자가, π 궤도가 실질적으로 대향하도록 배향되고, 또한 주쇄(主鎖)의 분자축이 상기 반도체층에 형성되는 채널에서의 전계의 방향에 대하여 경사지게 배향되어 있다.

대표도



명세서

기술분야

본 발명은 박막 트랜지스터 및 그 제조 방법에 관한 것으로, 특히, 배향 형성된 π 공역계 유기 반도체를 반도체층으로서 이용하는 박막 트랜지스터 및 그 제조 방법에 관한 것이다.

배경기술

현재, 박막 트랜지스터(이하, TFT라고 함)는 액티브 매트릭스형의 액정 디스플레이 등에서의 구동 소자로서 적합하게 사용되고 있다. 이 TFT의 구성으로서는 여러 가지의 구성이 제안되고 있지만, 기본적으로는, 반도체층에 접촉해서 마련된 소스 전극과 드레인 전극 사이에 흐르는 전류를, 반도체층에 대하여 절연층을 사이에 두고 마련된 게이트 전극에 인가되는 전압(즉, 인가되는 전압으로 발생하는 전계)에 의해 제어하도록 구성되어 있다. 그리고, TFT를 구성하는 상기 반도체층에 관해서, 현재 실용화되고 있는 반도체 재료로서는, 결정 실리콘과 비교해서 특성면에서는 뒤떨어지지만, 비교적 저렴한 비정질 실리콘(amorphous silicon)이나 저온 폴리 실리콘 등이라고 한 반도체 재료가 있다. 또, 게이트 전극이 마련되는 상기 절연층에 관해서, 현재 실용화되고 있는 절연 재료로서는, 산화 실리콘이나 질화 실리콘 등이 있다. 그러나, 이들 반도체 재료 및 절연 재료를 이용하는 TFT의 제조 프로세스에서는, 플라즈마 CVD법 등의 대규모 장치나, 정밀 가공을 위한 박막 제어 장치를 필요로 한다. 그 때문에, TFT의 제조 비용은 고비용화된다. 또, 상기 제조 프로세스는 일반적으로 350°C를 초과하는 처리 온도의 프로세스를 포함하기 때문에, 사용 가능한 기판 재료 등에는 제한이 있다.

그런데, 최근에는, TFT용으로서 이용 가능한 반도체 재료로서, 유기 화합물로 구성되는 유기물 반도체가 주목받고 있다. 이 유기물 반도체는, 전술한 비정질 실리콘이나 저온 폴리 실리콘 등의 무기계의 반도체를 이용하는 경우와 비교해서, 저비용 프로세스이며 또한 저온 프로세스인 스핀 코팅, 잉크젯 인쇄, 및 침적 코팅 등의 제조 프로세스에 의해서 상기 반도체층을 형성하는 것이 가능하다. 그 때문에, TFT의 제조 비용을 저비용화하는 것이 가능하고, 또, 사용 가능한 기판 재료 등에 관한 제한이 해소된다. 또, 전술한 저비용 프로세스나 저온 프로세스가 적용 가능한 것에 의해, 플렉서블한 기판 상이나

대면적의 기관으로의 TFT 형성을 실현할 수 있고, 이에 따라서 대화면 디스플레이나 시트 라이크, 혹은 페이퍼 라이크의 디스플레이, 또는 무선 ID 태그 등으로의 용도 확대가 기대되고 있다. 그러나, 현재 보고되고 있는 유기물 반도체는 그 캐리어 이동도가 상기 무기계 반도체와 비교해서 낮다. 그 때문에, 비정질 실리콘 보통의 캐리어 이동도를 실현하기 위해서, 여러 가지의 대처가 이루어지고 있다.

유기물 반도체 중, π 공역계의 유기물 반도체는 π 공역 이중 결합을 갖는 분자 골격으로 이루어지는 유기 화합물로 구성되어 있다. 그리고, 상기 π 공역 이중 결합에서의 π 궤도의 중첩에 의해서 발생하는 하전자대와 전도대, 및 그들간의 밴드갭에 의해서, 반도체 특성이 얻어진다고 생각되고 있다. 그런데, π 공역계 유기 반도체 분자를 모아서 집합체를 형성한 경우, 전기 전도의 용이함은, 그 용이함의 상위로부터, 분자 내의 주쇄(主鎖) 방향을 따른 전기 전도, 서로 이웃하는 분자끼리의 π 궤도의 중첩을 이용한 전기 전도, 분자간의 전자의 호핑(hopping)에 의한 전기 전도의 순서로 이루어진다. 따라서, π 공역계 유기 반도체 분자에 있어서 캐리어 이동도를 향상시키기 위해서는, 어떻게 상기 전기 전도의 용이함 내에서 상위의 전기 전도를 유효하게 이용할 수 있는 구성으로 할지가 문제로 된다. 그리고, 상기 분자간의 전자의 호핑에 의한 전기 전도를 보다 적게 하는 방법으로서, 종래부터, 분자를 일정한 방향으로 배향 제어하는 방법이 채용되어 왔다. 보다 구체적인 배향 방법으로서, 폴리실란 박막을, 랭뮤어(Langmuir)·프로젝트법(LB법)이나, 연신법을 이용하여 배향시키는 방법이 개시되어 있다(예컨대, 일본 특허 공개 공보: 일본 특허 공개 평성 제5-275695호 공보). 또, 기관 상에 폴리테트라 플루오로에틸렌(polytetra-fluoroethylene)을 일정 압력으로 가압 슬라이드시켜서 배향 형성하고, 그 배향 형성한 폴리테트라 플루오로에틸렌의 막의 상면에 올리고티오펜 화합물을 접촉시킴으로써 배향 성막하는 방법이 개시되고 있다(예컨대, 일본 특허 공개 공보: 일본 특허 공개 평성 제7-206599호 공보). 또, π 공역계 올리고마 분자를 핫·월·에피택시(epitaxy)법을 이용하여 배향 성장시키는 방법도 개시되고 있다(예컨대, 일본 특허 공개 공보: 일본 특허 공개 제2002-270621호 공보). 이들 배향 방법을 이용함으로써, 상기 분자간의 전자의 호핑에 의한 전기 전도를 제한 없이 적게 하는 것이 가능해진다.

또, 다른 캐리어 이동도의 개선 방법으로서, π 공역계 유기 반도체 분자의 배향 방향을, TFT의 소스 전극과 드레인 전극을 연결하는 수직선에 대하여 평행하게 되도록 제어하고, 이에 따라서 상기 분자 내의 주쇄 방향을 따른 전기 전도를 유효하게 이용하고자 하는 방법이나(예컨대, 일본 특허 공개 공보: 일본 특허 공개 평성 제5-275695호 공보, 및, 일본 특허 공표 공보: 일본 특허 공표 제2003-502874호 공보), π 공역계 유기 반도체 분자의 배향 방향을, TFT의 소스 전극과 드레인 전극을 연결하는 수직선에 대하여 수직하게 되도록 제어하고, 이에 따라서 상기 서로 이웃하는 분자끼리의 π 궤도의 중첩을 이용한 전기 전도를 유효하게 이용하고자 하는 방법 등도 제안되고 있다(예컨대, 일본 특허 공개 공보: 일본 특허 공개 평성 제9-116163호 공보).

그런데, π 공역계 유기 반도체 분자의 배향 방향을 TFT의 소스 전극과 드레인 전극을 연결하는 직선에 대하여 평행하게 되도록 제어하고, 이에 의해서 π 공역계 유기 반도체 분자의 주쇄 방향을 따른 전기 전도를 이용하여 높은 캐리어 이동도를 실현하고자 하는 방법에 있어서는, π 공역계 유기 반도체 분자의 주쇄의 분자 길이와 비교해서 소스 전극과 드레인 전극 사이의 거리가 길어지게 되면, 그 거리의 증대에 따라 π 공역계 유기 반도체 분자 사이에서의 전자의 이동 횟수가 점차 많아지게 된다. 그리고, 이 경우, 소스 전극과 드레인 전극을 연결하는 수직선에 대하여 수직 방향으로 서로 이웃하는 π 공역계 유기 반도체 분자간에서의 전자의 이동은, 소스 전극과 드레인 전극 사이의 전계가 형성되어 있는 방향과 직교하는 방향으로 전자가 이동해야 하기 때문에, 매우 곤란해진다. 즉, 소스 전극과 드레인 전극 사이의 거리와 비교해서 상당히 긴 분자 길이를 갖는 π 공역계 유기 반도체 분자를 이용하는 경우나, π 공역계 유기 반도체 분자의 분자 길이와 비교해서 소스 전극과 드레인 전극 사이의 거리가 충분히 짧은 경우를 제외하고, π 공역계 유기 반도체 분자의 배향 방향을 TFT의 소스 전극과 드레인 전극을 연결하는 수직선에 대하여 평행하게 되도록 제어하더라도, 충분한 캐리어 이동도를 얻을 수 없다.

또, π 공역계 유기 반도체 분자의 배향 방향을 TFT의 소스 전극과 드레인 전극을 연결하는 수직선에 대하여 수직하게 되도록 제어하고, 이에 따라서 서로 이웃하는 π 공역계 유기 반도체 분자끼리의 π 궤도의 중첩을 이용하여 높은 캐리어 이동도를 실현하고자 하는 방법에 있어서는, π 공역계 유기 반도체 분자의 주쇄의 길이 방향은 소스 전극과 드레인 전극을 연결하는 수직선에 수직하게 나열해 있고, 이에 따라서 π 공역계 유기 반도체 분자 내의 주쇄 방향을 따른 전기 전도는 기여하지 않아, 거의 π 공역계 유기 반도체 분자간의 π 궤도의 중첩을 이용하는 전기 전도가 지배적으로 된다. 그 때문에, 소스 전극과 드레인 전극 사이의 거리가 증대하면, 그 거리의 증대에 비례해서 전자의 이동 횟수가 많아진다. 즉, π 공역계 유기 반도체 분자의 배향 방향을 TFT의 소스 전극과 드레인 전극을 연결하는 수직선에 대하여 수직으로 되도록 제어하고, 또한 배향도를 올리더라도 캐리어의 이동도의 개선에는 한계가 있다.

발명의 개시

본 발명은 상기 과제를 해결하기 위해서 이루어진 것으로서, π 공역계 유기 반도체 분자를 소정의 방향으로 배향 형성해서 구성한 캐리어 이동도가 개선된 TFT와, 그 TFT의 제조 방법을 제공하는 것을 제 1 목적으로 하고 있다. 또, 본 발명은 캐

리어 이동도가 개선된 TFT를 복수개 배치한 액티브 매트릭스형의 디스플레이나, 상기 캐리어 이동도가 개선된 TFT를 집적 회로부에 이용한 무선 ID 태그나, 상기 캐리어 이동도가 개선된 TFT를 집적 회로부에 이용한 휴대 텔레비전, 통신 단말, PDA, 휴대용 의료기기 등의 휴대용 기기를 제공하는 것을 제 2 목적으로 하고 있다.

그리고, 이들 목적을 달성하기 위해서, 본 발명에 따른 TFT는 반도체층과, 상기 반도체층에 서로 대향하도록 분리해서 마련된 소스 영역과 드레인 영역을 갖는 박막 트랜지스터로서, 상기 반도체층은 π 공역계 유기 반도체 분자를 주성분으로서 갖고, 상기 π 공역계 유기 반도체 분자가, π 궤도가 실질적으로 대향하도록 배향되며, 또한 주쇄의 분자축이 상기 반도체층에 형성되는 채널에서의 전계의 방향에 대하여 경사지게 배향되어 있는 구성을 채용한다. 여기서, 본 명세서에서, 소스 영역 및 드레인 영역은 소스 전극 및 드레인 전극, 및, 소스 전극 및 드레인 전극을 반도체층에 접촉하는 콘택트층 또는 고농도 불순물 영역(층) 등을 포함하는 개념을 말한다. 이러한 구성에 의해, π 공역계 유기 반도체 분자 내에서의 주쇄 방향을 따른 전하 이동과, 전계가 걸려 있는 소스 영역으로부터 드레인 영역의 방향으로의 π 궤도의 중첩을 이용한 전하 이동이 유효하게 활용되기 때문에, 캐리어 이동도가 높은 TFT를 실현할 수 있다고 한다.

이 경우, 소스 영역과 드레인 영역이 상기 반도체층에 서로 대향하는 면을 갖도록 분리해서 마련되고, 상기 π 공역계 유기 반도체 분자가, 주쇄의 분자축이 상기 대향하는 면에 수직한 방향에 대하여 경사지게 배향되어 있는 구성을 채용한다. 또, 소스 영역과 드레인 영역이 상기 반도체층에 그 반도체층의 막두께 방향에 있어서 서로 대향하는 면을 갖도록 분리해서 마련되고, 상기 π 공역계 유기 반도체 분자가, 주쇄의 분자축이 상기 대향하는 면에 수직한 방향에 대하여 경사지게 배향되어 있는 구성을 채용한다. 이러한 구성에 의해, π 공역계 유기 반도체 분자의 주쇄의 분자축이, 소스 영역과 드레인 영역의 대향하는 면에 수직한 방향에 대하여 경사지게 배향되어 있기 때문에, π 공역계 유기 반도체 분자 내에서의 주쇄 방향을 따른 전도가 소스 영역과 드레인 영역 사이의 전하 이동에 있어서 유효하게 활용된다. 또, 서로 이웃하는 π 공역계 유기 반도체 분자끼리의 π 궤도가 소스 영역으로부터 드레인 영역으로의 방향에 있어서 대향하도록 형성되어 있고, 따라서 분자간의 전하의 이동은 호핑이 아니라 전계가 걸려 있는 소스 영역으로부터 드레인 영역의 방향으로의 π 궤도의 중첩을 이용한 전하 이동이 중심으로 된다. 그 때문에, 캐리어 이동도가 높은 TFT를 실현할 수 있다고 한다.

상기의 경우, 상기 반도체층의 적어도 한 면에 게이트 절연층을 사이에 두고 마련된 게이트 전극을 갖고, 상기 게이트 전극에 상기 박막 트랜지스터의 ON시와 동등한 전압이 인가된 상태에서의 상기 π 공역계 유기 반도체 분자의 주쇄의 분자축 방향의 도전율이 σ_1 이며, 상기 분자축 방향과 수직 방향이고 또한 π 궤도축 방향의 도전율이 σ_2 일 때, 상기 π 공역계 유기 반도체 분자의 주쇄의 분자축이, 상기 소스 영역과 상기 드레인 영역의 대향하는 면 또는 대향하는 면에 수직한 방향에 대하여 (1)식으로 산출되는 각도 θ 경사진 방향을 실질적인 배향 방향으로서 배향되어 있는 구성을 채용하는 것이 바람직하다. 이러한 구성에 의해, 박막 트랜지스터의 ON시의 상태에 있어서 가장 도전율이 높아지는 방향을 기준으로 하여 소스 영역 및 드레인 영역이 형성되게 되기 때문에, 보다 한층 캐리어 이동도가 높은 TFT를 실현할 수 있다고 한다.

$$\theta = \arctan(\sigma_2 / \sigma_1) \quad \dots (1)$$

또, 본 발명은 상기 π 공역계 유기 반도체 분자의 주쇄의 분자축이 상기 반도체층의 주면에 실질적으로 평행한 평면 내에 존재하도록 배향되고, 또한 해당 배향 범위가 상기 각도 $\theta \pm 10^\circ$ 로 되는 구성을 채용하는 것이 바람직하다. 이러한 구성에 의해, π 공역계 유기 반도체 분자의 주쇄의 분자축이 반도체층의 주면에 실질적으로 평행한 평면 내에 배향 가능한 재료에 대해서, 캐리어 이동도가 높은 TFT를 실현할 수 있다고 한다.

또, 본 발명은 상기 π 공역계 유기 반도체 분자의 주쇄의 분자축이 상기 반도체층의 주면에 실질적으로 평행한 평면 내에 존재하지 않도록 배향되고, 또한 해당 배향 범위가 상기 각도 $\theta \pm 5^\circ$ 로 되는 구성을 채용하는 것이 바람직하다. 이러한 구성에 의해, π 공역계 유기 반도체 분자의 주쇄의 분자축이 반도체층의 주면에 실질적으로 평행한 평면에 대하여 소정의 각도를 갖고서 배향 가능한 재료에 대해서, 캐리어 이동도가 높은 TFT를 실현할 수 있다고 한다.

또, 본 발명은 상기 π 공역계 유기 반도체 분자가 티오펜, 아세틸렌, 피롤, 페닐렌, 및 아센 중 어느 하나, 혹은, 이들을 조합한 분자 골격을 주쇄로 하는 유도체인 구성을 채용한다. 이러한 구성에 의해, 캐리어 이동도가 우수한 π 공역계의 전하 이동을 실현할 수 있다고 한다.

또, 본 발명은 상기 π 공역계 유기 반도체 분자에서의 각각의 π 궤도의 연장 방향이 모두 동일 벡터 방향에 통일되어 있지 않은 구성을 채용하는 것이 바람직하다. 이러한 구성에 의해, 하나의 π 공역계 유기 반도체 분자 중에 있어서 π 궤도의 연장 방향이 모두 동일 벡터 방향에 통일되어 있지 않기 때문에, 주쇄의 분자축의 방향을 가지런히 함으로써, 서로 이웃하는 π 공역계 유기 반도체 분자끼리의 π 궤도가 용이하게 대향하도록 할 수 있다고 한다.

또, 본 발명은 상기 π 공역계 유기 반도체 분자가 결정질인 구성을 채용하는 것이 보다 바람직하다. 이러한 구성에 의해, π 공역계 유기 반도체 분자의 배향도를, 비정질의 분자를 이용하는 경우보다도 높일 수 있기 때문에, 보다 한층 캐리어 이동도가 높은 TFT를 실현할 수 있다고 한다.

또, 본 발명에 따른 TFT의 제조 방법은 반도체층과, 상기 반도체층에 서로 대향하도록 분리해서 마련된 소스 영역과 드레인 영역을 갖는 박막 트랜지스터의 제조 방법으로서, 상기 반도체층에 π 공역계 유기 반도체 분자를 주성분으로서 이용하고, 상기 π 공역계 유기 반도체 분자를 π 궤도가 실질적으로 대향하도록 배향하며, 또한 주쇄의 분자축이 상기 반도체층에 형성되는 채널에서의 전계의 방향에 대하여 경사지게 배향하는 구성을 채용한다. 이러한 구성에 의해, π 공역계 유기 반도체 분자 내에서의 주쇄 방향을 따른 전하 이동과, 전계가 걸려 있는 소스 영역으로부터 드레인 영역의 방향으로의 π 궤도의 중첩을 이용한 전하 이동이 유효하게 활용되기 때문에, 캐리어 이동도가 높은 TFT를 실현할 수 있다고 한다.

이 경우, 소스 영역과 드레인 영역을 상기 반도체층에 서로 대향하는 면을 갖도록 분리해서 마련하고, 상기 π 공역계 유기 반도체 분자를, 주쇄의 분자축이 상기 대향하는 면에 수직한 방향에 대하여 경사지게 배향하는 구성을 채용한다. 또, 소스 영역과 드레인 영역을 상기 반도체층에 그 반도체층의 막두께 방향에 있어서 서로 대향하는 면을 갖도록 분리해서 마련하고, 상기 π 공역계 유기 반도체 분자를, 주쇄의 분자축이 상기 대향하는 면에 수직한 방향에 대하여 경사지게 배향하는 구성을 채용한다. 이러한 구성에 의해, π 공역계 유기 반도체 분자의 주쇄의 분자축이, 소스 영역과 드레인 영역의 대향하는 면에 수직한 방향에 대하여 경사지게 배향되어 있기 때문에, π 공역계 유기 반도체 분자 내에서의 주쇄 방향을 따른 전도가 소스 영역과 드레인 영역 사이의 전하 이동에 있어서 유효하게 활용된다고 한다. 또, 서로 이웃하는 π 공역계 유기 반도체 분자끼리의 π 궤도가 소스 영역으로부터 드레인 영역으로의 방향에 있어서 대향하도록 형성되어 있고, 따라서 분자간의 전하의 이동은 호핑이 아니라 전계가 걸려 있는 소스 영역으로부터 드레인 영역의 방향으로의 π 궤도의 중첩을 이용한 전하 이동이 중심으로 된다. 그 때문에, 캐리어 이동도가 높은 TFT를 제조할 수 있다고 한다.

상기의 경우, 상기 반도체층의 적어도 한 면에 게이트 절연층을 사이에 두고 마련된 게이트 전극을 갖고, 상기 게이트 전극에 상기 박막 트랜지스터의 ON시와 동등한 전압이 인가된 상태에서의 상기 π 공역계 유기 반도체 분자의 주쇄의 분자축 방향의 도전율이 $\sigma 1$ 이며, 상기 분자축 방향과 수직 방향이고 또한 π 궤도축 방향의 도전율이 $\sigma 2$ 일 때, 상기 π 공역계 유기 반도체 분자의 주쇄의 분자축을, 상기 소스 영역과 상기 드레인 영역의 대향하는 면 또는 대향하는 면에 수직한 방향에 대하여 (1)식으로 산출되는 각도 θ 경사진 방향을 실질적인 배향 방향으로서 배향하는 구성을 채용하는 것이 바람직하다. 이러한 구성에 의해, 박막 트랜지스터의 ON시의 상태에서 가장 도전율이 높아지는 방향을 기준으로 하여 소스 영역 및 드레인 영역이 형성되게 되기 때문에, 보다 한층 캐리어 이동도가 높은 TFT를 제조할 수 있다고 한다.

$$\theta = \arctan(\sigma 2 / \sigma 1) \quad \dots (1)$$

또, 본 발명은 상기 π 공역계 유기 반도체 분자의 주쇄의 분자축을 상기 반도체층의 주면에 실질적으로 평행한 평면 내에 존재하도록 배향하고, 또한 해당 배향 범위를 상기 각도 $\theta \pm 10^\circ$ 로 되는 구성을 채용하는 것이 바람직하다. 이러한 구성에 의해, π 공역계 유기 반도체 분자의 주쇄의 분자축이 반도체층의 주면에 실질적으로 평행한 평면 내에 배향 가능한 재료에 대해서, 캐리어 이동도가 높은 TFT를 제조할 수 있다고 한다.

또, 본 발명은 상기 π 공역계 유기 반도체 분자의 주쇄의 분자축을 상기 반도체층의 주면에 실질적으로 평행한 평면 내에 존재하지 않도록 배향하고, 또한 해당 배향 범위를 상기 각도 $\theta \pm 5^\circ$ 로 되는 구성을 채용하는 것이 바람직하다. 이러한 구성에 의해, π 공역계 유기 반도체 분자의 주쇄의 분자축이 반도체층의 주면에 실질적으로 평행한 평면에 대하여 소정의 각도를 갖고서 배향 가능한 재료에 대해서, 캐리어 이동도가 높은 TFT를 제조할 수 있다고 한다.

또, 본 발명은 상기 π 공역계 유기 반도체 분자로서, 티오펜, 아세틸렌, 피롤, 페닐렌, 및 아센 중 어느 하나, 혹은, 이들을 조합한 분자 골격을 주쇄로 하는 유도체를 이용하는 구성을 채용한다. 이러한 구성에 의해, 캐리어 이동도가 우수한 π 공역계의 전하 이동을 실현할 수 있다고 한다.

또, 본 발명에 따른 박막 트랜지스터를 이용한 액티브 매트릭스형 디스플레이는, 청구항 1 내지 9 중 중 어느 한 항에 기재된 박막 트랜지스터가 화소를 구동하기 위한 스위칭 소자로서 복수개 배치되어 이루어지는 구성을 채용한다. 이러한 구성에 의해, 저비용이고 특성이 좋은 시트 라이크, 혹은 페이퍼 라이크의 디스플레이를 구현화할 수 있다고 한다.

또, 본 발명에 따른 박막 트랜지스터를 이용한 무선 ID 태그는, 청구항 1 내지 9 중 어느 한 항에 기재된 박막 트랜지스터가 집적 회로를 구성하기 위한 반도체 소자로서 이용되어 이루어지는 구성을 채용한다. 이러한 구성에 의해, 무선 ID 태그를 다양한 형상의 물체, 혹은 소재에 접촉할 수 있다고 한다. 또, 임의의 형상으로 형성 가능한 무선 ID 태그를 구현화할 수 있다고 한다.

또, 본 발명에 따른 박막 트랜지스터를 이용한 휴대용 기기는, 청구항 1 내지 9 중 어느 한 항에 기재된 박막 트랜지스터가 집적 회로를 구성하기 위한 반도체 소자로서 이용되어 이루어지는 구성을 채용한다. 여기서, 휴대용 기기로서는, 예를 들면, 휴대 텔레비전, 통신 단말, PDA, 휴대용 의료기기 등을 들 수 있다. 그러나, 이들 휴대용 기기에 한정되지 않고, 예컨대, 휴대용 AV기기, 휴대용 컴퓨터 등의 어떠한 휴대용 기기도 포함된다. 이러한 구성에 의해, 휴대 텔레비전, 통신 단말, PDA, 휴대용 의료기기 등의 휴대용 기기에, 저비용, 플렉서블, 내(耐)충격성, 임의 형상으로 형성 가능 등의 이점을 부가할 수 있다고 한다.

본 발명의 상기 목적, 다른 목적, 특징, 및 이점은 첨부 도면을 참조하여, 이하의 바람직한 실시예의 상세한 설명으로부터 명백해진다.

도면의 간단한 설명

도 1은 TFT의 제 1의 대표적인 구성의 각각을 모식적으로 나타내는 단면도,

도 2는 TFT의 제 2의 대표적인 구성의 각각을 모식적으로 나타내는 단면도,

도 3은 반도체층에 이용하는 π 공역계 유기 반도체 분자인 올리고티오펜 유도체 분자의 구조를 나타내는 도면으로서, 도 3(a)는 화학 구조식을 나타내고, 도 3(b)는 σ 결합 및 π 전자운의 형태를 나타내고, 도 3(c)는 분자를 모식적으로 나타내는 사시도,

도 4는 반도체층에서의 올리고티오펜 유도체 분자의 배향 상태를 모식적으로 나타내는 사시도,

도 5는 TFT의 캐리어 이동도를 측정하기 위한 측정 시료의 구성을 나타내는 모식도,

도 6은 다양한 게이트 전압을 인가한 경우에서의 올리고티오펜 유도체 분자의 배향 각도를 변화시켰을 때의 캐리어 이동도의 변화를 측정한 결과를 나타내는 그래프로서, 도 6(a)는 게이트 전압이 20V인 경우의 측정 결과를 나타내고, 도 6(b)는 게이트 전압이 30V인 경우의 측정 결과를 나타내고, 도 6(c)는 게이트 전압이 40V인 경우의 측정 결과를 나타내는 그래프,

도 7은 6개의 오원환을 갖고 또한 양쪽의 말단을 알킬기로 화학 수식한 올리고티오펜 유도체 분자를 이용한 TFT의 캐리어 이동도의 변화를 측정한 결과를 나타내는 그래프,

도 8은 반도체층에 이용하는 π 공역계 유기 반도체 분자인 펜타센의 구조를 나타내는 도면으로서, 도 8(a)는 펜타센의 화학 구조식을 나타내고, 도 8(b)는 펜타센에서의 σ 결합 및 π 전자운의 형태를 나타내고, 도 8(c)는 펜타센을 모식적으로 나타내는 사시도,

도 9는 반도체층에서의 펜타센의 배향 상태를 모식적으로 나타내는 사시도,

도 10은 다양한 게이트 전압을 인가한 경우에서의 펜타센의 배향 각도를 변화시켰을 때의 캐리어 이동도의 변화를 측정한 결과를 나타내는 그래프로서, 도 10(a)는 게이트 전압이 20V인 경우의 측정 결과를 나타내고, 도 10(b)는 게이트 전압이 40V인 경우의 측정 결과를 나타내는 그래프,

도 11은 유기 EL을 표시부에 이용한 액티브 매트릭스형 디스플레이의 구성을 모식적으로 나타내는 사시도,

도 12는 TFT 구동 회로부의 구성을 확대해서 나타낸 모식도,

도 13은 본 실시예에 따른 TFT를 이용한 무선 ID 태그의 구성을 모식적으로 나타낸 π 사시도,

도 14는 본 실시예에 따른 TFT를 이용한 휴대 텔레비전의 구성을 모식적으로 나타낸 정면도,
 도 15는 본 실시예에 따른 TFT를 이용한 휴대 전화의 구성을 모식적으로 나타낸 정면도,
 도 16은 본 실시예에 따른 TFT를 이용한 휴대용 의료기기의 구성을 모식적으로 나타낸 사시도.

부호의 설명

- 10 : 수직선 11 : 기관
- 12 : 게이트 전극 13 : 게이트 절연층
- 14 : 반도체층 15 : 소스 전극
- 16 : 드레인 전극 21 : 탄소 원자
- 22 : 유황 원자 23 : π 전자운
- 40 : 반도체층 40a : 올리고티오펜 유전체 분자
- 41 : 플라스틱 기관 42 : 반도체층
- 43 : 소스 전극 44 : 드레인 전극
- 45 : 게이트 절연층 46 : 게이트 전극
- 47 : 반도체층의 배향 방향 48 : 반도체층
- 48a : 펜타센 71 : 탄소 원자
- 73 : π 전자운 100 : TFT
- 101 : 플라스틱 기관 102 : 유기 EL층
- 103 : 투명 전극 104 : 보호 필름
- 105 : 소스 전극선 106 : 게이트 전극선
- 110 : TFT 구동 회로부 112 : 게이트 전극
- 113 : 게이트 절연층 114 : 반도체층
- 115 : 소스 전극 116 : 드레인 전극
- 117 : 화소 전극 118 : 절연층
- 120 : 무선 ID 태그 121 : 플라스틱 기관
- 122 : 안테나부 123 : 메모리 IC부
- 130 : 휴대 텔레비전 131 : 표시부
- 132 : 수신부 133 : 전원 스위치

134 : 조작 스위치 135 : 음성 출력부

136 : 입출력 단자 137 : 기록 미디어 삽입부

140 : 휴대 전화 141 : 표시부

142 : 송수신부 143 : 음성 출력부

144 : 카메라부 145 : 폴딩용 가동부

146 : 조작 스위치 147 : 음성 입력부

150 : 휴대용 의료 기기 151 : 표시부

152 : 조작 스위치 153 : 의료적 처치부

154 : 경피 콘택트부 155 : 팔

200 : TFT

발명을 실시하기 위한 최선의 형태

이하, 본 발명의 실시예에 대해서 도면을 참조하면서 설명한다.

(실시예 1)

본 발명의 실시예 1에서는, TFT의 반도체층을 구성하는 π 공역계 유기 반도체 분자로서 올리고티오펜 유도체를 이용하는 경우에 대해서 설명한다.

도 1은 TFT의 제 1의 대표적인 구성의 각각을 모식적으로 나타내는 단면도이다.

도 1(a)~도 1(d)에 나타내는 바와 같이, 본 실시예에 따른 TFT(100)의 구성으로서는 여러 가지의 구성이 생각되고 있다. 어떤 구성에서도, 그 구성요소로서 기관(11)과, 게이트 전극(12)과, 게이트 절연층(13)과, 반도체층(14)과, 소스 전극(15)과, 드레인 전극(16)을 구비하고 있는 것에서는 공통적이다. 여기서, 일반적으로, 도 1(a) 및 도 1(b)는 보텀 게이트(bottom gate) 방식으로 부르고 있다. 또, 도 1(c) 및 도 1(d)는 탑 게이트(top gate) 방식으로 부르고 있다. 또한, 반도체층(14)과 소스 전극(15), 드레인 전극(16)과의 위치 관계에 의해, 도 1(a) 및 도 1(c)는 탑 콘택트(top contact) 방식이라고도 불리고 있다. 또, 도 1(b) 및 도 1(d)는 보텀 콘택트(bottom contact) 방식이라고도 불리고 있다. 이들 도 1(a)~도 1(d)에 나타낸 TFT(100)는 소스 전극(15)과 드레인 전극(16)이 단면에서 보아서 가로 방향에 대향하도록 배치되어 있기 때문에, 횡형 TFT로 부르고 있다.

한편, 도 1(a)~도 1(d)에 나타낸 종래의 횡형 TFT에 대하여, 최근에는 소스 전극(15)과 드레인 전극(16)이 단면에서 보아서 세로 방향에 대향하도록 배치된 종형 TFT도 제안되고 있다.

도 2(a) 및 도 2(b)는 TFT의 제 2의 대표적인 구성의 각각을 모식적으로 나타내는 단면도이다.

도 2(a) 및 도 2(b)에 나타내는 바와 같이, 본 실시예에 따른 TFT(200)의 구성에서도, 그 구성요소로서 기관(11)과, 게이트 전극(12)과, 게이트 절연층(13)과, 반도체층(14)과, 소스 전극(15)과, 드레인 전극(16)을 구비하고 있는 것에서는, 도 1(a)~도 1(d)에 나타낸 TFT(100)와 기본적으로 마찬가지로이다. 그러나, 본 실시예에 따른 TFT(200)에서는, 도 2(a) 및 도 2(b)의 어느 하나에서도, 소스 전극(15)과 드레인 전극(16)이 반도체층(14)을 그 막두께 방향으로(세로 방향으로) 사이에 두고서 대향하도록 배치되어 있다. 이 때문에, TFT(200)는 종형 TFT로 부르고 있다.

또한, 본 발명에 의해서 얻어지는 효과는, 반도체층에 이용하는 π 공역계 유기 반도체 분자의 배향 방향을 소스 전극과 드레인 전극의 배치에 대하여 적당한 방향으로 제어함으로써 얻어지는 것이기 때문에, TFT 자체의 구성은 도 1 및 도 2에 나타낸 어느 하나의 구성이더라도 무방하고, 즉, 어느 하나의 구성에 한정되는 것은 아니다. 따라서, 이후의 설명에서는, TFT의 구성의 대표예로서, 도 1(c)에 나타낸 탑 게이트 방식의 TFT(100)의 구성을 적용한 경우에 대해서 설명한다.

도 1(c)에 나타내는 바와 같이, 탑 게이트 방식이 채용된 TFT(100)는 기판(11)과, π 공역계 유기 반도체 분자로 이루어지는 반도체층(14)과, 소스 전극(15)과, 드레인 전극(16)과, 게이트 절연층(13)과, 게이트 전극(12)을 갖고 있다. 구체적으로는, 기판(11)의 주면 상에 반도체층(14)이 마련되고 있고, 이 반도체층(14) 상에 소스 전극(15) 및 드레인 전극(16)이 서로 분리하도록 마련되어 있다. 또, 이 소스 전극(15) 및 드레인 전극(16)과, 반도체층(14)의 노출면을 덮도록 게이트 절연층(13)이 마련되어 있다. 그리고, 이 게이트 절연층(13) 상에, 평면에서 보아서 적어도 소스 전극(15)과 드레인 전극(16) 사이에 위치하도록 게이트 전극(12)이 마련되어 있다. 이와 같이, 도 1(c)에 나타내는 탑 게이트 방식이 채용된 TFT(100)는, 기판(11) 상에 반도체층(14), 소스 전극(15) 및 드레인 전극(16), 게이트 절연층(13)이 적층되고, 이 게이트 절연층(13) 상에 게이트 전극(12)이 배치된 구성을 갖고 있다.

상기 구성을 갖는 TFT(100)를 제조하는 경우, 먼저, 소정의 용매에 용해·분산시킨 π 공역계 유기 반도체 분자를, 미리 소망하는 배향 방향으로 평행하게 홈을 형성한 기판(11) 상에 도포한다. 그리고, 그 π 공역계 유기 반도체 분자가 도포된 기판(11)을 충분히 건조시킴으로써, 기판(11) 상에 π 공역계 유기 반도체 분자로 이루어지는 반도체층(14)을 배향 성막한다. 다음에, π 공역계 유기 반도체 분자로 이루어지는 반도체층(14) 상에 소스 전극(15)과 드레인 전극(16)을 형성하기 위해서, 소정의 전극 재료를, 소망하는 형상이 얻어지도록 미리 패터닝된 스크린판을 이용함으로써 인쇄한 후, 충분히 건조시킨다. 이에 의해서, 반도체층(14) 상에는 소망하는 형상의 소스 전극(15) 및 드레인 전극(16)이 형성된다. 그 후, 게이트 절연층(13)을 형성하기 위해서, 소정의 절연 재료를 미리 패터닝된 스크린판을 이용함으로써 소스 전극(15), 드레인 전극(16), 및 반도체층(14) 상에 인쇄한 후, 충분히 건조시킨다. 이에 따라, 반도체층(14), 소스 전극(15) 및 드레인 전극(16) 상에는 소망하는 형상의 게이트 절연층(13)이 형성된다. 그리고, 마지막으로, 게이트 절연층(13) 상에 게이트 전극(12)을 형성하기 위해서, 상기과 마찬가지로 하여, 소정의 전극 재료를, 소망하는 형상이 얻어지도록 미리 패터닝된 스크린판을 이용함으로써 인쇄한 후, 이를 충분히 건조시킨다. 이에 따라서, 게이트 절연층(13) 상에는 소망하는 형상의 게이트 전극(12)이 형성된다. 이와 같이, TFT(100)는 기판(11) 상에 반도체층(14), 소스 전극(15) 및 드레인 전극(16), 게이트 절연층(13), 및 게이트 전극(12)의 각각이 스크린판을 이용하는 인쇄법에 의해서 인쇄되고, 그 후 충분히 건조됨으로써 형성된다.

본 실시예에서의 TFT(100)에서는, 기판(11)을 구성하는 재료로서는 폴리에틸렌계의 플라스틱 기판을 이용하였다. 또, 반도체층(14)을 구성하는 재료로서는, π 공역계 유기 반도체 분자 중의 하나인 올리고티오펜 유도체 분자를 이용하였다. 또, 소스 전극(15), 드레인 전극(16), 및 게이트 전극(12)을 구성하는 재료로서는, 폴리3,4-에틸렌다이옥시티오펜(이하, PEDOT라고 함)을 주성분으로 하는 전극 재료를 이용하였다. 또한, 게이트 절연층(13)을 구성하는 재료로서는 폴리비닐 페놀을 이용하였다.

먼저, 반도체층(14)에 이용하는 π 공역계 유기 반도체 분자인 올리고티오펜 유도체 분자에 대해서 상세하게 설명한다.

도 3은 반도체층(14)에 이용하는 π 공역계 유기 반도체 분자인 올리고티오펜 유도체 분자의 구조를 나타내는 도면이다. 여기서, 도 3(a)는 올리고티오펜 유도체 분자의 화학 구조식을 나타내고, 도 3(b)는 올리고티오펜 유도체 분자에서의 σ 결합 및 π 전자운의 형태를 나타내고, 도 3(c)는 올리고티오펜 유도체 분자를 모식적으로 나타내는 사시도이다. 또한, 도 3(a)에서, 올리고티오펜 유도체 분자의 주쇄의 말단의 화학 구조는 그 기재를 생략하고 있다.

도 3(a)에 나타내는 바와 같이, 올리고티오펜 유도체 분자의 주쇄에 있어서는, 유황 원자(S)를 포함하고 이중 결합을 갖는 오원환이 σ 결합에 의해 반복 결합해서 구성되는 π 공역계가 발달해 있다. 또한, 도 3(a)에서는, 수소 원자는 명시하고 있지 않다. 이 때, 분자 궤도법 등의 수단을 이용하여 전자 상태를 계산하면, 이중 결합 내의 π 결합에 이용되는 π 전자의 전자운의 존재 범위를 구할 수 있다. 즉, 도 3(b)에 나타내는 바와 같이, 이 올리고티오펜 유도체 분자에서는, 탄소 원자(21)와 유황 원자(22)로 구성되는 각 오원환면에 대하여 수직 방향으로 π 전자운(23)이 존재하고 있다. 또한, 이 올리고티오펜 유도체 분자에서는, 각 오원환끼리는 동일 평면 내에 존재하는 것이 아니라, 각 오원환끼리가 σ 결합에 의해 다소 꼬여서 결합하고 있기 때문에, π 전자운(23)의 존재 방향을 나타내는 벡터는 일정한 방향으로 통일되어 있지 않다. 그리고, 본 실시예에서는, 실제로는 올리고티오펜 분자의 주쇄의 말단을 소정의 치환기로 화학 수식한 올리고티오펜 유도체 분자를 이용하고 있다. 구체적으로는, 도 3(a)에 나타내는 바와 같이 유황 원자를 포함하는 8개의 오원환을 갖고, 또한 주쇄의 양쪽 말단을 알킬기(예를 들면, $-C_{10}H_{21}$)로 화학 수식한 올리고티오펜 유도체 분자를 이용하고 있다.

다음에, 본 발명을 특징짓는 올리고티오펜 유도체 분자의 배향 각도에 관한 검토 방법과, 그 검토 결과에 대해서 설명한다. 또한, 이후의 설명에서는, 올리고티오펜 유도체 분자의 1분자를 도 3(c)에 나타내는 바와 같이 직사각형 형상의 사각형으로 나타내는 것으로 한다. 또, π 전자운은 그 존재 방향을 나타내는 벡터가 실제로는 모두 통일되어 있는 의미는 아니지만, 실질적으로 이 사각형 평면에 대하여 수직인 방향에 존재하는 것으로 가정한다.

도 4는 전술한 제조 방법에 의해서 얻어진 반도체층(40)에서의 올리고티오펜 유도체 분자(40a)의 배향 상태를 모식적으로 나타내는 사시도이다. 여기서, 도 4에서는, XY축에 의해서 형성되는 평면은 반도체층(40)의 주면과 평행한 평면을 나타내고 있고, Z축 방향은 반도체층(40)의 두께 방향을 나타내고 있다.

도 4에서, 올리고티오펜 유도체 분자(40a)는 그 주축의 분자축이 Y축 방향과 평행하게 되도록 배향되어 있고, 또한, 각각의 분자면을 나타내는 사각형이 YZ축에 의해 형성되는 평면에 평행하게 되도록 배치되어 있다. 즉, 반도체층(40)은 Y축 방향 및 Z축 방향을 제외한 방향, 즉 X축 방향에 있어서 서로 이웃하는 올리고티오펜 유도체 분자끼리의 π 궤도가 대향하도록 구성되어 있다.

이와 같이 배향 형성된 반도체층(40)을 이용하여, 도 5에 나타내는 바와 같이, 올리고티오펜 유도체 분자(40a)의 배향 방향인 Y축 방향에 대하여 각각 직사각형 형상을 갖는 소스 전극 및 드레인 전극의 대향하는 변끼리에 공통하는 그 수직선(10)을 10°씩 기울인 TFT(100)를 각각 제작하였다. 즉, 올리고티오펜 유도체 분자(40a)의 각각을 그 π 궤도가 실질적으로 대향하도록 배향하고, 또한 그 주축의 분자축을 소스 전극과 드레인 전극이 대향하는 변에 수직인 방향에 대하여 10°씩 경사하도록 각각 배향하였다. 여기서, 이 제작된 각각의 TFT(100)는 플라스틱 기판(41)과, 도 4의 반도체층(40)으로 구성된 반도체층(42)과, 소스 전극(43)과, 드레인 전극(44)과, 절연층(45)과, 게이트 전극(46)을 갖고서 구성되어 있다. 또한, 화살표(47)는 반도체층(42)에 있어서의 도 5에서는 도시하지 않은 올리고티오펜 유도체 분자의 배향 방향을 나타내고 있다.

이상과 같이 해서 준비된 각각의 측정 샘플에 대해서, 게이트 전극에 다양한 게이트 전압을 인가한 경우의 I-V 특성을 측정함으로써, TFT(100)의 캐리어 이동도를 구하였다. 또, 소스 전극(43)과 드레인 전극(44)이 대향하는 변의 수직선(10)과, 올리고티오펜 유도체 분자(40a)의 주축의 분자축이 이루는 각(배향 각도)이 0°인 경우의 소스 전극-드레인 전극간의 도전율(즉, π 공역계 유기 반도체 분자의 주축의 분자축으로 대표되는 방향의 도전율 σ_1 에 상당)과, 동일하게 90°인 경우의 도전율(즉, 배향 방향과 수직 방향이고, 또한 π 전자운 존재 방향의 도전율 σ_2 에 상당)을 구하고, 이것들의 도전율의 값을 (1)식에 대입함으로써 θ 를 산출하였다. 여기서, 식(1)에서의 「arctan」은 역정접 \tan^{-1} 을 의미한다.

$$\theta = \arctan(\sigma_2 / \sigma_1) \quad \dots (1)$$

도 6은 다양한 게이트 전압을 인가한 경우에서의 올리고티오펜 유도체 분자의 배향 각도를 변화시켰을 때의 캐리어 이동도의 변화를 측정한 결과를 나타내는 그래프이다. 여기서, 도 6(a)는 게이트 전압이 20V인 경우의 측정 결과를 나타내고, 도 6(b)는 게이트 전압이 30V인 경우의 측정 결과를 나타내고, 도 6(c)는 게이트 전압이 40V인 경우의 측정 결과를 나타내고 있다. 또한, 도 6에서, 가로축은 올리고티오펜 유도체 분자의 주축의 분자축과, 소스 전극과 드레인 전극이 대향하는 변의 수직선이 이루는 각(°)을 나타내고, 세로축은 캐리어 이동도(cm^2/Vsec)를 나타내고 있다.

도 6(a)에 도시하는 바와 같이, 게이트 전압이 20V인 경우에는, 도전율 σ_1 은 $7.7 \times 10^{-3} \text{S/m}$ 이고, 도전율 σ_2 는 $1.9 \times 10^{-3} \text{S/m}$ 이었다. 또, 캐리어 이동도에 대해서는, 올리고티오펜 유도체 분자의 배향 각도가 0°보다 커짐에 따라서 향상하지만, 상기 식(1)에서 구해지는 $\theta=14^\circ$ 근방을 초과하면 서서히 저하하고, 배향 각도가 90°에서는 가장 낮은 캐리어 이동도로 되었다.

또, 도 6(b)에 도시하는 바와 같이, 게이트 전압이 30V인 경우에는, 도전율 σ_1 은 $9.2 \times 10^{-3} \text{S/m}$ 이고, 도전율 σ_2 는 $3.9 \times 10^{-3} \text{S/m}$ 이었다. 또, 캐리어 이동도에 대해서는, 게이트 전압이 20V인 경우와 마찬가지로, 올리고티오펜 유도체 분자의 배향 각도가 0°보다 커짐에 따라서 향상하지만, 상기 식(1)에서 구해지는 $\theta=23^\circ$ 근방을 초과하면 서서히 저하하고, 배향 각도가 90°에서는 가장 낮은 캐리어 이동도로 되었다.

또한, 도 6(c)에 도시하는 바와 같이, 게이트 전압이 40V인 경우에는, 도전율 σ_1 은 $1.0 \times 10^{-2} \text{S/m}$ 이고, 도전율 σ_2 는 $5.4 \times 10^{-3} \text{S/m}$ 이었다. 또, 캐리어 이동도에 대해서는, 게이트 전압이 20V 및 30V인 경우와 마찬가지로, 올리고티오펜 유도체 분자의 배향 각도가 0°보다 커짐에 따라서 향상하지만, 상기 식(1)에서 구해지는 $\theta=28^\circ$ 근방을 초과하면 서서히 저하하고, 배향 각도가 90°에서는 가장 낮은 캐리어 이동도로 되었다.

이와 같이, 올리고티오펜 유도체 분자의 배향 각도가 90°인 경우, 즉, 올리고티오펜 유도체 분자의 주축의 분자축이, 소스 전극과 드레인 전극이 대향하는 변에 수직인 방향에 대하여 수직인 경우에는, 캐리어 이동도가 가장 저하하는 것이 판명되었다. 또, 도 6(a)~도 6(c)에서 사선으로 나타낸 영역에서의 캐리어 이동도는, 올리고티오펜 유도체 분자의 배향 각도가 0°인 경우, 즉, 올리고티오펜 유도체 분자가 소스 전극으로부터 드레인 전극으로의 방향에 있어서 서로 이웃하는 분자끼리의 π 배도가 대향하도록 형성되어 있지 않은 경우에 비해서 개선되어 있는 것을 알 수 있었다. 또한, 최고의 캐리어 이동도가 얻어지는 배향 각도는 배향 각도가 0°인 경우의 도전을 σ_1 과, 배향 각도가 90°인 경우의 도전을 σ_2 를 이용하여 식(1)에 의해서 계산되는 θ 의 근방인 것을 알 수 있었다. 그리고, 올리고티오펜 유도체 분자의 바람직한 배향 각도의 범위에 대해서 더욱 조사한 결과, 도 6(a)~도 6(c)에 도시하는 바와 같이, 식(1)에 의해서 산출되는 θ 를 중심으로 하여 $\pm 10^\circ$ 의 범위가 가장 바람직한 것이 판명되었다.

또한, 본 실시예에서는, 반도체층(40)에 이용하는 올리고티오펜 유도체 분자로서 6개의 오원환을 갖고, 또한, 양쪽의 말단을 알킬기(예를 들면, $-C_{10}H_{21}$)로 수식한 올리고티오펜 유도체 분자에 대해서도 마찬가지로의 측정 샘플을 제작해서 측정을 실행하였다. 그 측정의 결과를 도 7에 나타낸다. 여기서, 도 7에 나타내는 측정 결과는, 게이트 전압이 30V인 경우에 대한 측정 결과를 나타내고 있다. 또한, 도 7에서의 가로축과 세로축은 도 6의 경우와 마찬가지로이다.

도 7에 나타내는 바와 같이, 6개의 오원환을 갖고 말단이 상기 화학 수식된 올리고티오펜 유도체 분자를 이용한 경우에는, 올리고티오펜 유도체 분자의 배향 각도가 0°인 경우와 90°인 경우의 캐리어 이동도는 대략 동등하고, 그 밖의 배향 각도에서의 캐리어 이동도는, 상기 0° 및 상기 90°인 경우의 캐리어 이동도에 반해서 개선되어 있는 것을 알 수 있었다. 또, 상기 8개의 오원환을 갖는 올리고티오펜 유도체 분자를 이용하는 경우와 마찬가지로, 배향 각도가 0°인 경우의 도전을 σ_1 과, 배향 각도가 90°인 경우의 도전을 σ_2 를 이용하여 식(1)에 의해서 계산되는 $\theta=39^\circ$ 의 근방에서 최고의 캐리어 이동도가 얻어지는 것을 알 수 있었다. 그리고, 이 경우도, 올리고티오펜 유도체 분자의 바람직한 배향 각도의 범위는, 도 7에 나타내는 바와 같이, 식(1)에 의해서 산출되는 θ 를 중심으로 하여 $\pm 10^\circ$ 의 범위인 것이 판명되었다.

또한, 본 실시예에서는, 반도체층에 이용하는 π 공역계 유기 반도체 분자로서, 오원환이 8개 또는 6개이며, 말단이 각각 알킬기(예를 들면, $-C_{10}H_{21}$)로 수식된 올리고티오펜 유도체를 이용한 경우에 대해서 설명했지만, 본 발명의 효과는 이러한 구조를 갖는 재료에 한정되는 것은 아니다. 즉, 본 발명에 의해서 얻어지는 효과는, TFT의 소스 전극 및 드레인 전극의 배치 방향과, 반도체층의 배향 방향과의 위치 관계에 의해서 발현되는 것이기 때문에, 다른 π 공역계 유기 반도체 분자를 이용한 경우에도 마찬가지로의 효과를 얻을 수 있다. 예컨대, 오원환의 수가 상이한 폴리티오펜 유도체를 이용해도 되고, 말단의 수식기를 그 밖의 적당한 치환기로 변경하는 것도 가능하다. 또, 말단이 아니라, 주축의 도중에 수식기를 도입해도 된다.

또, 도 4에서는 올리고티오펜 유도체 분자를 나타내는 사각형이 YZ축에 의해 형성되는 평면에 평행하게 배치되어 있도록 모식적으로 나타냈지만, 분자면을 나타내는 사각형은 모두가 완전히 XY축에 의해 형성되는 평면에 대하여 직립해 있을 필요는 없다. 즉, π 배도의 중첩을 이용한 전하 이동이 가능한 정도에 있어서, 다소 분자면이 기울어져 있어도 무방하고, 그 기울기도 균일할 필요는 없다. 그 때, 본 실시예에서 이용한 올리고티오펜 유도체 분자와 같이, π 전자운의 존재 방향을 나타내는 벡터 방향이 하나의 방향으로 통일되어 있지 않은 것은, 그 기울기의 허용 범위가 넓어지기 때문에, 본 발명에 따른 TFT의 제작이 용이하게 된다는 효과를 얻을 수 있다.

(실시예 2)

본 발명의 실시예 2에서는, TFT의 반도체층을 구성하는 π 공역계 유기 반도체 분자로서 펜타센을 이용하는 경우에 대해서 설명한다.

본 실시예에서는, 도 1(b)에 나타내는 구성을 갖는 TFT(100)를 채용하였다. 또한, 본 발명의 효과는 반도체층의 배향 방향을 기판 평면에 대하여 적당한 각도의 방향으로 제어함으로써 얻어지는 것이다. 따라서, TFT(100) 자체의 구성은 도 1(b)에 나타낸 구성에 한정되는 것은 아니다.

도 1(b)에 나타내는 바와 같이, 보텀 게이트 방식이 채용된 TFT(100)는 기판(11)과, 게이트 전극(12)과, 게이트 절연층(13)과, 소스 전극(15)과, 드레인 전극(16)과, π 공역계 유기 반도체 분자로 이루어지는 반도체층(14)을 갖고 있다. 구체적으로는, 기판(11)의 주면 상에 게이트 전극(12)이 마련되어 있고, 이 게이트 전극(12)과 기판(11)이 노출한 표면을 덮도록 하여 게이트 절연층(13)이 마련되어 있다. 이 게이트 절연층(13) 상에, 소스 전극(15) 및 드레인 전극(16)이, 평면에서 보아서 게이트 전극(12)의 양측에 위치하도록 마련되어 있다. 그리고, 이 소스 전극(15) 및 드레인 전극(16)과 게이트 절연층

(13)이 노출하는 표면을 덮도록 하여 반도체층(14)이 마련되어 있다. 이와 같이, 도 1(b)에 나타내는 보텀 게이트 방식이 채용된 TFT(100)는 기판(11) 상에 게이트 전극(12), 게이트 절연층(13), 소스 전극(15) 및 드레인 전극(16), 및 반도체층(14)이 순차적으로 적층된 구성을 갖고 있다.

상기 구성을 갖는 TFT(100)를 제조하는 경우, 먼저, 게이트 전극(12)을 형성하기 위해서, 기판(11) 상에 소정의 전극 재료를 진공 증착법으로 성막한 후에 패터닝한다. 이에 의해서, 기판(11) 상의 소정의 위치에는 소정 형상의 게이트 전극(12)이 형성된다. 다음에, 게이트 절연층(13)을 형성하기 위해서, 소정의 절연 재료를 스펀 코팅법으로 도포한 후에 충분히 건조시킨다. 이어서, 소스 전극(15) 및 드레인 전극(16)을 형성하기 위해서, 소정의 전극 재료를 진공 증착법으로 성막한 후에 패터닝한다. 이에 따라, 게이트 절연층(13) 상에는 소정의 형상을 갖는 소스 전극(15) 및 드레인 전극(16)이 형성된다. 마지막으로, 반도체층(14)을 형성하기 위해서, π 공역계 유기 반도체 분자를 진공 증착법으로 성막한 후에 패터닝한다. 이 때, 상기 π 공역계 유기 반도체 분자의 분자축과 기판(11)의 평면이 이루는 각에 대해서는, 성막 조건을 조정함으로써 제어하였다. 또, 평면 방향에 있어서의 π 공역계 유기 반도체 분자의 중첩에 대해서는, 통상의 성막에서는 그레인(grain)마다에는 그 겹치는 방향이 일치하지만, 층 전체로서는 그레인마다 랜덤한 방향으로 되어 버리기 때문에, 실제로는 π 공역계 유기 반도체 분자를 성막하기 전에 기초로 되는 게이트 절연층(13) 상에 배향층을 도포 및 건조에 의해 마련하고, 이에 따라 층 전체로서 균일한 분자의 중첩이 얻어지도록 하였다. 이와 같이, TFT(100)는 기판(11) 상에 게이트 전극(12), 게이트 절연층(13), 소스 전극(15) 및 드레인 전극(16), 및 반도체층(14)의 각각이 진공 증착법 또는 스펀 코팅법에 의해서 성막 및 패터닝됨으로써 형성된다.

본 실시예에서의 TFT(100)에서는, 기판(11)을 구성하는 재료로서 폴리에틸렌계의 플라스틱 기판을 이용하였다. 또, 게이트 전극(12)을 구성하는 재료로서는, 금(이하, Au)을 이용하였다. 또, 게이트 절연층(13)을 구성하는 재료로서는, 폴리비닐페놀을 이용하였다. 또, 소스 전극(15) 및 드레인 전극(16)을 구성하는 재료로서는, Au를 이용하였다. 그리고, 반도체층(14)을 구성하는 재료로서는, π 공역계 유기 반도체 분자 내의 하나인 펜타센을 이용하였다.

먼저, 반도체층(14)에 이용하는 π 공역계 유기 반도체 분자인 펜타센에 대해서 상세하게 설명한다.

도 8은 반도체층(14)에 이용하는 π 공역계 유기 반도체 분자인 펜타센의 구조를 나타내는 도면이다. 여기서, 도 8(a)는 펜타센의 화학 구조식을 나타내고, 도 8(b)는 펜타센에서의 σ 결합 및 π 전자운의 형태를 나타내고, 도 8(c)는 펜타센을 모식적으로 나타내는 사시도이다.

도 8(a)에 나타내는 바와 같이, 펜타센의 주쇄에 있어서는, 복수의 이중 결합을 갖는 육원환이 반복 결합해서 구성되는 π 공역계가 발달해 있다. 또한, 도 8(a)에서는, 수소 원자는 명시하고 있지 않다. 이 때, 분자 궤도법 등의 수단을 이용하여 전자 상태를 계산하면, 이중 결합 내의 π 결합에 이용되는 π 전자의 전자운의 존재 범위를 구할 수 있다. 즉, 도 8(b)에 나타내는 바와 같이, 이 펜타센에서는, 탄소 원자(71)로 구성되는 각 육원환면에 대하여 수직 방향으로 π 전자운(73)이 존재하고 있다. 또한, 이 펜타센에서는, 각 육원환끼리는 동일 평면 내에 존재하기 때문에, π 전자운(73)의 존재 방향을 나타내는 벡터는, 도 8(c)에 나타내는 사각형 평면에 수직한 방향으로 통일되어 있다.

다음에, 본 발명을 특징짓는 펜타센의 배향 각도에 관한 검토 방법과, 그 검토 결과에 대해서 설명한다. 또한, 이후의 설명에서는, 펜타센의 1분자를 도 8(c)에 나타내는 바와 같이 직사각형 형상의 사각형으로 나타내는 것으로 한다.

도 9는 전술한 제조 방법에 의해서 얻어진 반도체층(48)에서의 펜타센(48a)의 배향 상태를 모식적으로 나타내는 사시도이다. 여기서, 도 9에서는, XY축에 의해서 형성되는 평면은 반도체층(48)의 주면과 평행한 평면을 나타내고 있고, Z축 방향은 반도체층(48)의 두께 방향을 나타내고 있다.

도 9에서, 펜타센(48a)은 그 주쇄의 분자축이 XY축에 의해 형성되는 평면에 대하여 α° 가 이루는 각을 갖고서 배향되어 있고, 또한, 각각의 분자면을 나타내는 사각형이 X축에 평행한 방향에 있어서, 서로 이웃하는 분자끼리의 π 궤도가 대향하도록 구성되어 있다. 또한, 이와 같이 형성된 반도체층(48)에 대하여, 소스 전극 및 드레인 전극은, 어느 하나가 이루는 각 α° 의 펜타센(48a)에 대해서도, X축 방향이 채널 방향으로 되도록 형성된다.

이상과 같이 하여 준비된 각각의 측정 샘플에 대해서, 게이트 전극에 다양한 게이트 전압을 인가한 경우의 I-V 특성을 측정함으로써, TFT(100)의 캐리어 이동도를 구하였다. 또, 이루는 각 α° 가 0° 인 경우의 소스 전극과 드레인 전극 사이의 도전율(즉, π 공역계 유기 반도체 분자의 주쇄의 분자축에 대표되는 방향의 도전율 σ_1 에 상당)과, 이루는 각 α° 가 90° 인 경우의 도전율(즉, 배향 방향과 수직 방향이고, 또한 π 전자운 존재 방향의 도전율 σ_2 에 상당; 실제로는 완전히 90° 배향인 것이 얻어지고 있지 않지만, 가장 90° 에 가까운 것으로 대표시켰음)을 구하고, 이것들의 도전율의 값을 전술한 (1)식에 대입함으로써 θ 를 산출하였다.

$$\theta = \arctan(\sigma_2 / \sigma_1) \dots (1)$$

도 10은 다양한 게이트 전압을 인가한 경우에서의 펜타센의 배향 각도를 변화시켰을 때의 캐리어 이동도의 변화를 측정된 결과를 나타내는 그래프이다. 여기서, 도 10(a)는 게이트 전압이 20V인 경우의 측정 결과를 나타내고, 도 10(b)는 게이트 전압이 40V인 경우의 측정 결과를 나타내고 있다. 또한, 도 10에서의 가로축과 세로축에 대해서도 도 6의 경우와 마찬가지로 지이다.

도 10(a)에 도시하는 바와 같이, 게이트 전압이 20V인 경우에는, 도전율 σ_1 은 $1.9 \times 10^{-3} \text{S/m}$ 이고, 도전율 σ_2 는 $1.3 \times 10^{-2} \text{S/m}$ 이었다. 또, 캐리어 이동도에 대해서는, 펜타센의 배향 각도가 0° 에서 가장 낮은 이동도로 되었지만, 0° 보다 커짐에 따라서 점차로 향상하여, 상기 식(1)에서 구해지는 $\theta=81^\circ$ 근방에서 피크로 된 후, 서서히 저하하는 것을 알 수 있었다.

또, 도 10(b)에 도시하는 바와 같이, 게이트 전압이 40V인 경우에는, 도전율 σ_1 은 $3.2 \times 10^{-3} \text{S/m}$ 이고, 도전율 σ_2 는 $6.3 \times 10^{-2} \text{S/m}$ 이었다. 또, 캐리어 이동도에 대해서는, 펜타센의 배향 각도가 0° 에서 가장 낮은 이동도로 되었지만, 0° 보다 커짐에 따라서 점차로 향상하여, 상기 식(1)에서 구해지는 $\theta=87^\circ$ 근방에서 피크로 된 후, 서서히 저하하는 것을 알 수 있었다.

이와 같이, 반도체층(48)의 캐리어 이동도는, 펜타센의 배향 각도를 0° 보다 크게 함에 따라서, 배향 각도가 0° 인 경우(즉, 펜타센의 분자축이 기판 평면과 평행하게 배향하고 있고, π 공역계 유기 반도체 분자가 소스 전극으로부터 드레인 전극으로의 방향에 있어서 서로 이웃하는 분자끼리의 π 궤도가 대향하도록 형성되어 있지 않은 경우)에 비해서 개선되는 것을 알 수 있었다. 또, 도 10(a) 및 도 10(b)에서 사선으로 나타낸 영역에서의 캐리어 이동도는, 펜타센의 배향 각도가 90° 근방인 경우, 즉, 펜타센의 분자축이 기판 평면에 직립하고 있고, π 공역계 유기 반도체 분자의 주축의 분자축이, 소스 전극과 드레인 전극이 대향하는 변의 수직선에 대하여 수직인 경우에 비해서 개선되어 있는 것을 알 수 있었다. 또한, 최고의 캐리어 이동도가 얻어지는 배향 각도는, 배향 각도가 0° 인 경우의 도전율 σ_1 과, 배향 각도가 90° 인 경우의 도전율 σ_2 를 이용하여 식(1)에 의해서 계산되는 θ 의 근방인 것을 알 수 있었다. 그리고, 펜타센이 바람직한 배향 각도의 범위에 대해서 더욱 조사한 결과, 도 10(a) 및 도 10(b)에 도시하는 바와 같이 식(1)에 의해서 산출되는 θ 를 중심으로 하여 $\pm 5^\circ$ 의 범위(단, 90° 를 초과하는 부분을 제외함)가 가장 바람직한 것이 판명되었다.

또한, 본 실시예에서는, 반도체층에 이용하는 π 공역계 유기 반도체 분자로서 펜타센을 이용한 경우에 대해서 설명했지만, 본 발명의 효과는 이 재료에 한정되는 것은 아니다. 즉, 본 발명의 효과는, 반도체층을 구성하는 π 공역계 유기 반도체 분자의 분자축의 배향 방향과 기판 평면과의 위치 관계에 의해서 발휘되는 것이기 때문에, 그 밖의 π 공역계 유기 반도체 분자를 이용한 경우에도 마찬가지로의 효과를 얻을 수 있다. 예를 들면, 육원환의 수가 상이한 테트라센 등의 그 밖의 올리고아센을 이용해도 되고, 그들 구조의 일부를 치환하거나, 또는 화학 수식한 올리고아센계의 유도체를 이용해도 된다.

또, 실시예 1에서는 티오펜계 폴리머의 유도체를 이용한 경우를, 실시예 2에서는 아센계 폴리머의 유도체를 이용한 경우를 예로서 설명했지만, 본 발명의 효과는 이들 재료에 한정되는 것이 아니라, 아세틸렌계, 피롤계, 또는 페닐렌계의 폴리머의 유도체를 이용하더라도, 본 발명의 주지를 따라 배향 방향이 제어되어서 성막되는 한에 있어서는 마찬가지로의 효과를 얻을 수 있다. 또, 상기 재료 중 어느 하나를 조합한 코폴리머(copolymer)의 유도체를 이용한 경우도, 본 발명의 효과와 마찬가지로의 효과를 얻을 수 있다. 또, 이들 중에서 재료를 선택할 때, 실시예 2에서 설명한 펜타센과 같이 결정질의 재료를 선택하면, 비정질의 재료를 이용하는 경우와 비교해서 보다 한층 높은 캐리어 이동도를 얻는 것이 가능하게 된다.

또, 실시예 1, 2에서는, 소스 전극, 드레인 전극, 게이트 전극의 각각의 전극 재료로서 유기 재료인 PEDOT를 주성분으로 하는 재료, 혹은 Au를 이용했지만, 그 밖의 도전성 고분자 재료를 이용하는 것도 가능하며, 또, ITO, Cu 등의 무기 재료를 이용하는 것도 가능하다. 단, 기계적 유연성, 내(耐)충격성이 있는 TFT를 구성하기 위해서는 탄성이 있는 재료를 선택하거나, 혹은 구부림의 영향을 받기 어려운 전극 구성을 선택하는 것이 바람직하다. 또, 게이트 절연층이나 기판도 실시예 1, 2에서 이용한 재료에 한정되는 되지 않지만, 전극과 마찬가지로 탄성이 있는 재료를 선택하거나, 혹은 구부림의 영향을 받기 어려운 재료를 이용하는 것이 바람직하다.

또, 실시예 1에서는, 올리고티오펜 유도체 분자를 소정의 방향으로 배향시키는 방법으로서, 기판에 흡을 마련하고 그 위에 용매에 분산시킨 올리고티오펜 유도체 분자를 도포해서 건조시키는 방법을, 또, 실시예 2에서는, 펜타센을 소정의 방향으로 배향시키는 방법으로서, 기초로 되는 게이트 절연층 상에 배향층을 마련하고 소정의 조건으로 진공 증착해서 성막하는 방법을 각각 이용하였지만, 본 발명의 효과는 전술한 바와 같이 반도체층의 배향 방향과 소스 전극-드레인 전극, 혹은 기판 평면과의 위치 관계에 의해서 발휘되는 것이기 때문에, 그 배향 방법이 어떤 것인지는 문제가 아니다. 예컨대, 배향 기

술로서 설명한 LB법, 연신법, 또는, 기판 상에 폴리테트라플루오로에틸렌을 일정 압력으로 가압 슬라이드시켜서 배향 형성하고, 그 위에 유기 반도체를 접촉시키는 방법이나, π 공역계 올리고마 분자를, 핫·월·에피택시법을 이용하는 방법 등을 이용하여 배향 성막하더라도 마찬가지로의 효과를 얻을 수 있다. 또, π 공역계 유기 반도체 분자의 측쇄(側鎖)에 액정성의 치환기를 화학 수식하여, 그 치환기의 효과를 이용함으로써 배향 제어하는 방법을 이용해도 된다.

또한, 실시예 1, 2에서 이용한 재료에 대해서, 각각의 게이트 전압에 있어서 최적이라고 생각되는 배향 각도를 θ 로서 나타냈지만, 이들은 재료에 의해서 일의적으로 결정되는 것은 아니다. 즉, 도전율 σ_1 , 및 σ_2 는 동일 재료이더라도 그 성막 상태, 또는 TFT의 구성 등에 의해서 변할 수 있다. 그러나, 본 발명의 주지를 따라 배향 각도를 결정함으로써, 실제로 사용되는 상태에 있어서, 가장 캐리어 이동도가 높아지는 TFT를 구성하는 것이 가능해진다.

(실시예 3)

본 발명의 실시예 3에서는, 실시예 1, 2에서 설명한 TFT를 이용한 애플리케이션 예로서, 시트라이크의 플렉서블 디스플레이, 무선 ID 태그, 및, 휴대 텔레비전, 통신 단말, 휴대용 의료기기 등의 휴대용 기기에 대해서 설명한다.

먼저, 시트라이크의 플렉서블 디스플레이로서 유기 EL을 표시부에 이용한 액티브 매트릭스형 디스플레이의 구성에 대해서 설명한다.

도 11은 본 실시예에 따른 유기 EL을 표시부에 이용한 액티브 매트릭스형 디스플레이의 구성을 모식적으로 나타내는 사시도이다.

도 11에 나타내는 바와 같이, 본 실시예에 따른 액티브 매트릭스형 디스플레이는, 플라스틱 기판(101) 상에 화소 전극에 접속된 TFT 구동 회로(110)가 어레이 형상으로 배치되어 있고, 그 TFT 구동 회로(110) 상에 유기 EL층(102)과 보호 필름(104)이 배치되어 있다. 또한, 유기 EL층(102)의 상면에는 투명 전극(103)이 마련된다. 여기서, 유기 EL층(102)은 전자 수송층, 발광층, 정공 수송층 등의 각 층이 적층되어서 구성되어 있다. 그리고, 각각의 TFT의 소정의 전극으로부터 연장된 소스 전극선(105)과 게이트 전극선(106)은, 각각 여기서는 도시하지 않은 제어 회로에 접속되어 있다. 여기서, TFT 구동 회로부(110)의 확대도를 도 12에 나타낸다. 또한, TFT 자체의 적층 구성은 기본적으로 실시예 1에 나타낸 적층 구조와 마찬가지로이다. 즉, 도 12에 나타내는 TFT는 반도체층(114)과, 소스 전극(115) 및 드레인 전극(116)과, 게이트 절연층(113)과, 게이트 전극(112)이 적층되어서 이루어진다. 그리고, 도 12에 나타내는 바와 같이, 드레인 전극(116)은 유기 EL의 화소 전극(117)에 전기적으로 접속되어 있다. 또, 게이트 전극(112)이 접속된 게이트 전극선(106)과, 소스 전극(115)이 접속된 소스 전극선(105)이 교차하는 부분에는, 절연층(118)이 배치되어 있다.

이와 같이, 실시예 1, 2에서 설명한 TFT를 이용하여 액티브 매트릭스형의 디스플레이를 구성함으로써, TFT 부분을 저비용 프로세스로 제작할 수 있기 때문에, 디스플레이 전체로서도 저렴하고, 또한 기계적 유연성 및 내충격성이 우수한 시트라이크의 디스플레이를 실현할 수 있다. 또, 표시 속도(반응 속도)가 빠른 액티브 매트릭스형의 디스플레이를 제공하는 것이 가능하게 된다.

또한, 본 실시예에서는, 표시부에 유기 EL을 이용한 경우에 대해서 설명했지만, 본 발명의 효과는 이 구성을 갖는 액티브 매트릭스형의 디스플레이에 한정되는 것은 아니다. 즉, TFT 회로를 필요로 하는 액티브 매트릭스형의 디스플레이면, 그 효과는 마찬가지로 발휘된다.

또, 화소를 구동하는 구동 회로부의 구성은 본 실시예에서 나타낸 구성에 한정되는 것은 아니다. 즉, 예컨대, 하나의 화소를 구동하기 위해서 전류 구동용의 TFT와 그것을 제어하기 위한 스위칭용 TFT를 조합한 구성으로 해도 된다. 또, 더욱 복수개의 TFT를 조합한 회로 구성으로 하는 것도 가능하다.

다음에, 본 발명에 따른 TFT를 무선 ID 태그에 응용한 경우에 대해서 설명한다.

도 13은 본 실시예에 따른 TFT를 이용한 무선 ID 태그의 구성을 모식적으로 나타낸 사시도이다.

도 13에 나타내는 바와 같이, 본 실시예에 따른 무선 ID 태그(120)는 필름 형상의 플라스틱 기판(121)을 기재로서 사용하고 있다. 이 기판(121) 상에는 안테나부(122)와 메모리 IC부(123)가 마련되어 있다. 여기서, 메모리 IC부(123)는 실시예 1, 2에서 설명한 TFT를 이용해서 구성하는 것이 가능하다. 그리고, 이 무선 ID 태그(120)는, 이면에 접촉 효과를 갖게 함으로써, 과자 봉지나 드링크관과 같은 평탄하지 않은 것에도 접촉해서 사용하는 것이 가능하다. 또한, 무선 ID 태그(120)의 표면에는 필요에 따라서 보호막이 마련된다.

이와 같이, 실시예 1, 2에서 설명한 TFT를 이용하여 무선 ID 태그를 구성함으로써, 여러 가지의 형상, 또는 소재에 접촉하는 것이 가능한 무선 ID 태그를 구현화하는 것이 가능하게 된다. 또, 반응 속도(처리 속도)가 빠른 무선 ID 태그를 제공하는 것이 가능하게 된다.

또한, 본 발명의 효과는 도 13에 나타낸 무선 ID 태그의 구성에 한정되어서 얻어지는 것은 아니다. 따라서, 안테나부, 메모리 IC부의 배치나 구성 방법은 임의로 설정 가능하다. 또, 예컨대, 논리 회로부를 무선 ID 태그에 내장하는 것도 가능하다.

또, 본 실시예에서는, 플라스틱 기판(121) 상에 미리 안테나부(122)와 메모리 IC부(123)를 형성해 놓은 형태에 대해서 설명했지만, 본 발명은 이 형태에 한정되는 것이 아니라, 잉크젯 인쇄와 같은 방법을 이용하여 직접 대상물에 무선 ID 태그를 형성하는 것도 가능하다. 그리고, 그 때도, 본 발명에 따른 TFT의 구성을 이용함으로써, 기계적 유연성, 내충격성이 우수한 고성능의 무선 ID 태그를 저비용으로 제작하는 것이 가능하게 된다.

마지막으로, 본 발명에 따른 TFT를 휴대용 기기에 응용한 경우에 대해서 설명한다. 도 14~도 16에서는, 본 발명에 따른 TFT를 이용한 휴대용 기기의 몇개의 구체적인 응용예를 나타내고 있다.

먼저, 본 발명에 따른 TFT를 휴대 텔레비전에 응용한 경우에 대해서 설명한다.

도 14는 본 실시예에 따른 TFT를 이용한 휴대 텔레비전의 구성을 모식적으로 나타낸 정면도이다.

도 14에 나타내는 바와 같이, 본 실시예에 따른 휴대 텔레비전(130)은 텔레비전 영상을 표시하는 액정 표시 장치 등으로 이루어지는 표시부(131)와, 여기서는 신축 자유로운 로드 안테나로 이루어지는 방송 전파를 수신 가능한 수신부(132)와, 휴대 텔레비전(130) 전원의 ON/OFF를 제어하는 전원 스위치(133)와, 후술하는 음성 출력 장치(135)로부터 출력되는 음성 출력의 음량의 조정이나 수신하는 텔레비전 방송의 채널의 전환을 행하기 위한 조작 스위치(134)와, 텔레비전 음성을 출력하는 스피커 등으로 이루어지는 음성 출력부(135)와, 음성 신호나 영상 신호를 휴대 텔레비전(130)에 입력 또는 휴대 텔레비전(130)으로부터 출력하는 입출력 단자(136)와, 수신한 텔레비전 방송 등에 관한 음성 신호 및 영상 신호가 필요에 따라서 기록되는 기록 미디어를 삽입하는 기록 미디어 삽입부(137)를 구비하고 있다.

이 휴대 텔레비전(130)은 도 14에서는 특별히 도시하지 않지만, 그 내부에 IC나 LSI 등의 집적 회로를 갖고 있다. 그리고, 본 발명에 따른 TFT를 이용한 집적 회로가, 휴대 텔레비전(130)을 구성하는 연산 소자, 기억 소자, 스위칭 소자 등으로서 적절히 사용되고 있다. 이에 따라, 휴대 텔레비전(130)은 휴대형의 텔레비전 방송 수신기로서 기능한다.

다음에, 본 발명에 따른 TFT를 통신 단말에 응용한 경우에 대해서 설명한다. 또한, 여기서는, 통신 단말로서 휴대 전화를 예시하고 있다.

도 15는 본 실시예에 따른 TFT를 이용한 휴대 전화의 구성을 모식적으로 나타낸 정면도이다.

도 15에 나타내는 바와 같이, 본 실시예에 따른 휴대 전화(140)는 전화 번호 등을 표시하는 액정 표시 장치 등으로 이루어지는 표시부(141)와, 여기서는 수납 자유로운 휘프(whip) 안테나로 이루어지는 통신 전파를 송수신 가능한 송수신부(142)와, 통신 음성을 출력하는 스피커 등으로 이루어지는 음성 출력부(143)와, 사진 촬영 가능한 CCD 소자 등을 갖는 카메라부(144)와, 휴대 전화(140)를 필요에 따라서 접기 위한 폴딩용 가동부(145)와, 전화 번호나 문자를 입력하기 위한 복수의 조작 스위치(146)와, 통신 음성을 입력하는 콘텐츠 마이크 등으로 이루어지는 음성 입력부(147)를 구비하고 있다.

이 휴대 전화(140)는 도 15에서는 특별히 도시하지 않지만, 그 내부에 IC나 LSI 등의 집적 회로를 갖고 있다. 그리고, 본 발명에 따른 TFT를 이용한 집적 회로가, 휴대 전화(140)를 구성하는 연산 소자, 기억 소자, 스위칭 소자 등으로서 적절히 사용되고 있다. 이에 따라, 휴대 전화(140)는 휴대형의 통신 단말로서 기능한다.

다음에, 본 발명에 따른 TFT를 휴대용 의료기기에 응용한 경우에 대해서 설명한다.

도 16은 본 실시예에 따른 TFT를 이용한 휴대용 의료기기의 구성을 모식적으로 나타낸 사시도이다. 또한, 여기서는, 휴대용 의료기기의 일례로서, 취득된 생체 정보에 근거하여 환자에 대해 약품 투여 등의 의료적 처치를 자동적으로 실행하는 휴대용 의료기기를 예시하고 있다. 또, 도 16에서는, 후술하는 환자의 팔(155)을 투시적으로 나타내고 있다.

도 16에 나타내는 바와 같이, 본 실시예에 따른 휴대용 의료기기(150)는 기기의 동작 상태나 취득된 생체 정보 등을 표시하는 액정 표시 장치 등으로 이루어지는 표시부(151)와, 휴대용 의료기기(150)의 동작에 관한 설정 등을 행하기 위한 조작 스위치(152)와, 후술하는 경피(經皮) 콘택트부(154)에 의해서 취득된 생체 정보를 처리하고 또한 그 처리 결과에 근거하여 경피 콘택트부(154)를 거친 환자에 대한 약물 투여 등의 의료적 처치를 행하는 의료적 처치부(153)와, 의료적 처치를 위한 환자의 생체 정보를 차차 수집하고 또한 환자에 대한 의료적 처치를 실질적으로 실행하는 경피 콘택트부(154)를 구비하고 있다.

이 휴대용 의료기기(150)가 이용되어 환자에 대한 의료적 처치가 행해지는 경우, 휴대용 의료기기(150)는, 예컨대 도 16에 나타내는 바와 같이 환자의 팔(155)에 감겨져서 휴대된다. 이 도 16에 나타내는 장착 상태에 있어서, 경피 콘택트부(154)와 환자의 팔(155)의 표면은 서로 밀착해 있다. 그리고, 휴대용 의료기기(150)는, 이 도 16에 나타내는 장착 상태에 있어서, 경피 콘택트부(154)를 거쳐서 팔(155)로부터 의료적 처치를 위한 생체 정보를 취득한다. 환자의 생체 정보가 취득되면, 이 취득된 생체 정보는 의료적 처치부(153)에 입력된다. 의료적 처치부(153)에서는 취득된 생체 정보의 의료적 처치를 위한 소정의 처리가 실행된다. 그리고, 그 처리의 결과에 근거하여, 의료적 처치부(153)에 의해서 경피 콘택트부(154)를 거친 환자에 대한 약물 투여 등의 의료적 처치가 행해진다.

이 휴대용 의료기기(150)는 도 16에서는 특별히 도시하지 않지만, 그 내부에 IC나 LSI 등의 집적 회로를 갖고 있다. 그리고, 본 발명에 따른 TFT를 이용한 집적 회로가, 휴대용 의료기기(150)를 구성하는 연산 소자, 기억 소자, 스위칭 소자 등으로서 적절히 사용되고 있다. 이에 따라, 휴대용 의료기기(150)는 휴대형의 의료기기로서 기능한다.

이와 같이, 실시예 1, 2에서 설명한 TFT가 이용된 집적 회로를 이용하여 휴대용 기기를 구성함으로써, 이하에 기재하는 효과를 얻을 수 있다. 즉, 상술한 휴대용 기기에서 이용되는 집적 회로로서는 연산 소자, 기억 소자, 및 스위칭 소자 등의 반도체 특성을 사용한 소자가 여러 가지 생각되지만, 상기 휴대용 기기에 있어서, 기계적 유연성, 내충격성, 폐각할 때의 대환경성이나 경량, 염가 등의 유기 재료의 이점으로서 들 수 있는 성능이 요구될 때에 그 일부를 본 발명에 따른 TFT를 이용하여 구성함으로써, 고성능의 소자를 저렴하게 실현하는 것이 가능하게 된다. 또, 그 결과적으로, 상기 이점을 구비한 휴대용 기기를 저렴하게 제조하는 것이 가능하게 된다.

실시예 3에서는, 본 발명에 따른 TFT를 응용한 휴대용 기기로서 몇개의 예를 들어서 설명했지만, 이들 예시한 기기의 구성은 상술한 구성에 한정되는 것은 아니다. 또, 본 발명에 따른 TFT를 응용 가능한 휴대용 기기에 대해서도, 상술한 기기에 한정되는 것은 아니다. 예를 들면, PDA 단말, 착용 가능한 AV 기기, 휴대형 컴퓨터, 손목 시계 타입의 통신 기기 등, 기계적 유연성, 내충격성, 폐각할 때의 대환경성, 경량, 염가 등이 요구되는 휴대용 기기에 대하여 본 발명에 따른 TFT를 적합하게 응용하는 것이 가능하다.

또한, 실시예 1, 2에서는, 도 1(b) 및 도 1(c)의 구성의 TFT에 본 발명을 적용했지만, 도 1(a) 및 도 1(d)의 구성의 TFT에도 본 발명을 마찬가지로 적용하는 것이 가능하다. 여기서, 도 1(a)는 기판(11) 상에 게이트 전극(12), 게이트 절연층(13), 및 반도체층(14)이 적층되고, 이 반도체층(14) 상에 소스 전극(15) 및 드레인 전극(16)이 적층되어서 구성되어 있다. 또, 도 1(d)는 기판(11) 상에 소스 전극(15) 및 드레인 전극(16), 반도체층(14), 및 게이트 절연층(13)이 적층되고, 이 게이트 절연층(13) 상에 게이트 전극(12)이 적층되어서 구성되어 있다.

또, 실시예 1, 2에서는, 소스 전극 및 드레인 전극이 직사각형의 형상을 갖는 경우를 설명했지만, 평면에서 보아서 소스 전극과 드레인 전극이 서로 대향하는 변을 갖도록 형성되어 있으면, 본 발명을 적합하게 적용할 수 있다. 또, 소스 전극 및 드레인 전극이 임의의 형상을 갖는 경우에도, 방향 π 공역계 유기 반도체의 주축의 분자축이 반도체층에 형성되는 채널에서의 전계의 방향에 대하여 경사지게 배향시킴으로써, 본 발명을 적용할 수 있다.

또, 실시예 1, 2에서는, 평면에서 보아서 서로 대향하는 변을 갖도록 분리해서 마련된 소스 전극과 드레인 전극을 갖는 박막 트랜지스터의 구성에 대해서 나타냈지만, 이 구성 이외에, 예를 들면, 두께 방향에 있어서 서로 대향하는 변을 갖도록 분리해서 마련된 소스 전극과 드레인 전극을 갖는 구성에 있어서, π 공역계 유기 반도체 분자가, π 평도가 실질적으로 대향하도록 배향되고, 또한 주축의 분자축이 상기 대향하는 변에 수직한 방향에 대하여 경사하여 배향되는 구성으로 해도 무방하다. 이러한 구성으로 하더라도 실시예 1, 2와 마찬가지로의 효과를 얻을 수 있다.

본 발명은 이상에 설명한 바와 같은 구성을 갖고, π 공역계 유기 반도체 분자를 소정의 방향으로 배향 형성해서 구성한 캐리어 이동도가 개선된 TFT와, 그 제조 방법을 제공할 수 있고, 또한, 캐리어 이동도가 개선된 TFT를 복수개 배치한 액티브 매트릭스형의 디스플레이나, 상기 캐리어 이동도가 개선된 TFT를 집적 회로부에 이용한 무선 ID 태그나, 상기 캐리어 이동도가 개선된 TFT를 집적 회로부에 이용한 휴대용 기기 등을 제공할 수 있다는 효과를 나타낸다.

상기 설명으로부터, 당업자에 있어서는 본 발명의 많은 개량이나 다른 실시예가 명백하다. 따라서, 상기 설명은 예시로서만 해석되어야 하고, 본 발명을 실행하는 최선의 형태를 당업자에게 교시할 목적으로 제공된 것이다. 본 발명의 정신을 이탈하지 않고, 그 구조 및/또는 기능의 상세를 실질적으로 변경할 수 있다.

산업상 이용 가능성

본 발명에 따른 TFT 및 그 제조 방법은, π 공역계 유기 반도체 분자를 소정의 방향으로 배향 형성해서 구성된 캐리어 이동도가 개선된 TFT와, 그 TFT의 제조 방법으로서 유용하다. 또, 본 발명에 따른 TFT는 시트 라이크 또는 페이퍼 라이크의 액티브 매트릭스형의 디스플레이나, 무선 ID 태그, 휴대 텔레비전이나 휴대 전화 등의 휴대용 기기 등을 제조하기 위해서 유용하다.

(57) 청구의 범위

청구항 1.

반도체층과, 상기 반도체층에 서로 대향하도록 분리해서 마련된 소스 영역과 드레인 영역을 갖는 박막 트랜지스터로서,
 상기 반도체층은 π 공역계 유기 반도체 분자를 주성분으로서 갖고,
 상기 π 공역계 유기 반도체 분자는, π 궤도가 실질적으로 대향하도록 배향되고, 또한 주쇄(主鎖)의 분자축이 상기 반도체층에 형성되는 채널에서의 전계의 방향에 대하여 경사지게 배향되어 있는
 박막 트랜지스터.

청구항 2.

제 1 항에 있어서,
 소스 영역과 드레인 영역은 상기 반도체층에 서로 대향하는 면을 갖도록 분리해서 마련되고,
 상기 π 공역계 유기 반도체 분자는, 주쇄의 분자축이 상기 대향하는 면에 수직한 방향에 대하여 경사지게 배향되어 있는
 박막 트랜지스터.

청구항 3.

제 1 항에 있어서,
 소스 영역과 드레인 영역은 상기 반도체층에 그 반도체층의 막두께 방향에서 서로 대향하는 면을 갖도록 분리해서 마련되고,
 상기 π 공역계 유기 반도체 분자는, 주쇄의 분자축이 상기 대향하는 면에 수직한 방향에 대하여 경사지게 배향되어 있는
 박막 트랜지스터.

청구항 4.

제 2 항 또는 제 3 항에 있어서,

상기 반도체층의 적어도 한 면에 게이트 절연층을 사이에 두고 마련된 게이트 전극을 갖고,

상기 게이트 전극에 상기 박막 트랜지스터의 ON시와 동등한 전압이 인가된 상태에서의 상기 π 공역계 유기 반도체 분자의 주쇄의 분자축 방향의 도전율이 σ_1 이며, 상기 분자축 방향과 수직 방향이고 또한 π 궤도축 방향의 도전율이 σ_2 일 때,

상기 π 공역계 유기 반도체 분자의 주쇄의 분자축이, 상기 소스 영역과 상기 드레인 영역의 대향하는 변 또는 대향하는 면에 수직한 방향에 대하여 (1)식으로 산출되는 각도 θ 경사진 방향을 실질적인 배향 방향으로서 배향되어 있는

박막 트랜지스터.

$$\theta = \arctan(\sigma_2 / \sigma_1) \quad \dots (1)$$

청구항 5.

제 4 항에 있어서,

상기 π 공역계 유기 반도체 분자의 주쇄의 분자축은 상기 반도체층의 주면에 실질적으로 평행한 평면 내에 존재하도록 배향되고, 또한 해당 배향 범위가 상기 각도 $\theta \pm 10^\circ$ 인 박막 트랜지스터.

청구항 6.

제 4 항에 있어서,

상기 π 공역계 유기 반도체 분자의 주쇄의 분자축은 상기 반도체층의 주면에 실질적으로 평행한 평면 내에 존재하지 않도록 배향되고, 또한 해당 배향 범위가 상기 각도 $\theta \pm 5^\circ$ 인 박막 트랜지스터.

청구항 7.

제 1 항에 있어서,

상기 π 공역계 유기 반도체 분자는, 티오펜, 아세틸렌, 피롤, 페닐렌, 및 아센 중 어느 하나, 혹은, 이들을 조합한 분자 골격을 주쇄로 하는 유도체인 박막 트랜지스터.

청구항 8.

제 7 항에 있어서,

상기 π 공역계 유기 반도체 분자에서의 각각의 π 궤도의 연장 방향은, 모두 동일 벡터 방향으로 통일되어 있지 않은 박막 트랜지스터.

청구항 9.

제 7 항 또는 제 8 항에 있어서,

상기 π 공역계 유기 반도체 분자는 결정질인 박막 트랜지스터.

청구항 10.

반도체층과, 상기 반도체층에 서로 대향하도록 분리해서 마련된 소스 영역과 드레인 영역을 갖는 박막 트랜지스터의 제조 방법으로서,

상기 반도체층에 π 공역계 유기 반도체 분자를 주성분으로서 이용하고,

상기 π 공역계 유기 반도체 분자를, π 궤도가 실질적으로 대향하도록 배향하고, 또한 주쇄의 분자축이 상기 반도체층에 형성되는 채널에서의 전계의 방향에 대하여 경사지게 배향하는

박막 트랜지스터의 제조 방법.

청구항 11.

제 10 항에 있어서,

소스 영역과 드레인 영역을 상기 반도체층에 서로 대향하는 변을 갖도록 분리해서 마련하고,

상기 π 공역계 유기 반도체 분자를, 주쇄의 분자축이 상기 대향하는 변에 수직한 방향에 대하여 경사지게 배향하는

박막 트랜지스터의 제조 방법.

청구항 12.

제 10 항에 있어서,

소스 영역과 드레인 영역을 상기 반도체층에 그 반도체층의 막두께 방향에 있어서 서로 대향하는 면을 갖도록 분리해서 마련하고,

상기 π 공역계 유기 반도체 분자를, 주쇄의 분자축이 상기 대향하는 면에 수직한 방향에 대하여 경사지게 배향하는

박막 트랜지스터의 제조 방법.

청구항 13.

제 11 항 또는 제 12 항에 있어서,

상기 반도체층의 적어도 한 면에 게이트 절연층을 사이에 두고 마련된 게이트 전극을 갖고,

상기 게이트 전극에 상기 박막 트랜지스터의 ON시와 동등한 전압이 인가된 상태에서의 상기 π 공역계 유기 반도체 분자의 주쇄의 분자축 방향의 도전율이 σ_1 이며, 상기 분자축 방향과 수직 방향이고 또한 π 궤도축 방향의 도전율이 σ_2 일 때,

상기 π 공역계 유기 반도체 분자의 주쇄의 분자축을, 상기 소스 영역과 상기 드레인 영역의 대향하는 변 또는 대향하는 면에 수직한 방향에 대하여 (1)식으로 산출되는 각도 θ 경사진 방향을 실질적인 배향 방향으로서 배향하는 박막 트랜지스터의 제조 방법.

$$\theta = \arctan(\sigma_2 / \sigma_1) \dots (1)$$

청구항 14.

제 13 항에 있어서,

상기 π 공역계 유기 반도체 분자의 주쇄의 분자축을 상기 반도체층의 주면에 실질적으로 평행한 평면 내에 존재하도록 배향하고, 또한 해당 배향 범위를 상기 각도 $\theta \pm 10^\circ$ 로 하는 박막 트랜지스터의 제조 방법.

청구항 15.

제 13 항에 있어서,

상기 π 공역계 유기 반도체 분자의 주쇄의 분자축을 상기 반도체층의 주면에 실질적으로 평행한 평면 내에 존재하지 않도록 배향하고, 또한 해당 배향 범위를 상기 각도 $\theta \pm 5^\circ$ 로 하는 박막 트랜지스터의 제조 방법.

청구항 16.

제 10 항에 있어서,

상기 π 공역계 유기 반도체 분자로서, 티오펜, 아세틸렌, 피롤, 페닐렌, 및 아센 중 어느 하나, 혹은, 이들을 조합한 분자 골격을 주쇄로 하는 유도체를 이용하는 박막 트랜지스터의 제조 방법.

청구항 17.

청구항 1 내지 9 중 어느 한 항에 기재된 박막 트랜지스터가, 화소를 구동하기 위한 스위칭 소자로서 복수개 배치되어 이루어지는 액티브 매트릭스형 디스플레이.

청구항 18.

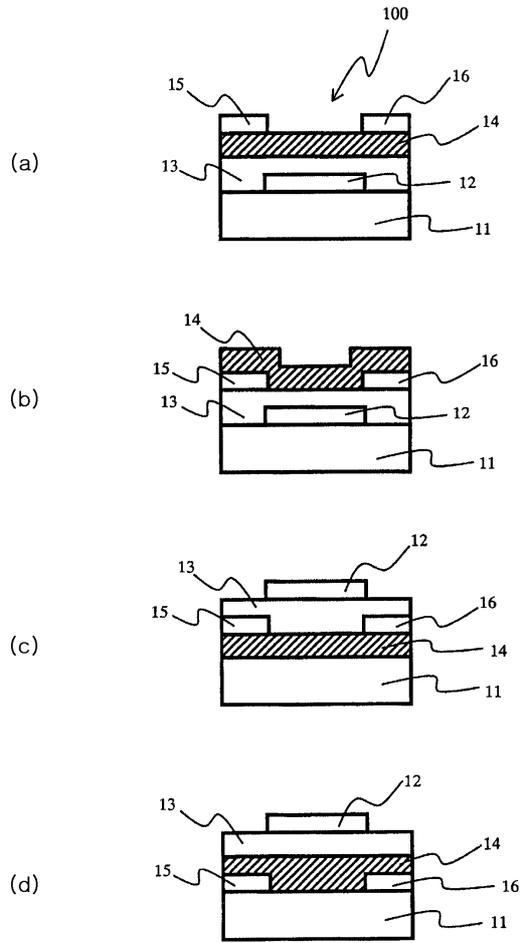
청구항 1 내지 9 중 어느 한 항에 기재된 박막 트랜지스터가, 집적 회로를 구성하기 위한 반도체 소자로서 이용되어 이루어지는 무선 ID 태그.

청구항 19.

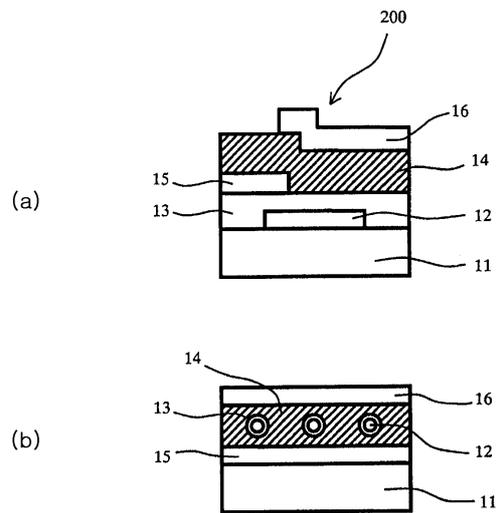
청구항 1 내지 9 중 어느 한 항에 기재된 박막 트랜지스터가, 집적 회로를 구성하기 위한 반도체 소자로서 이용되어 이루어지는 휴대용 기기.

도면

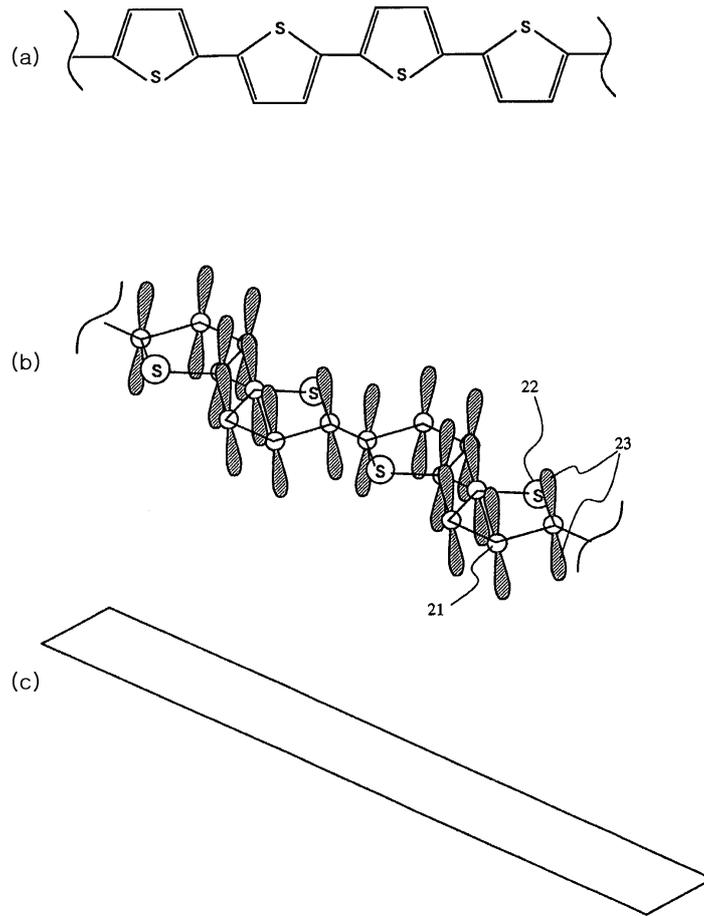
도면1



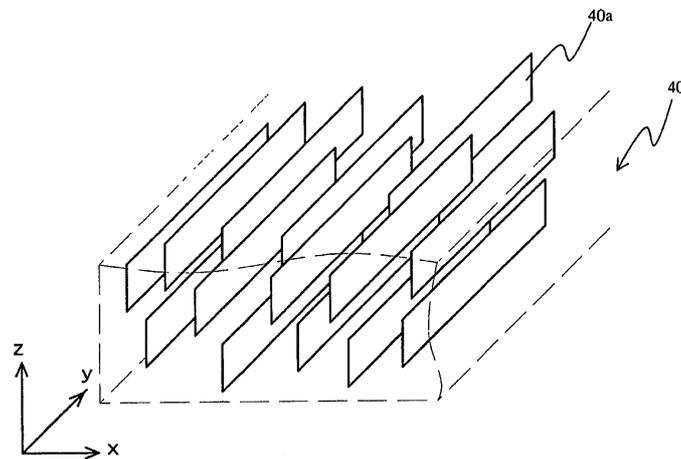
도면2



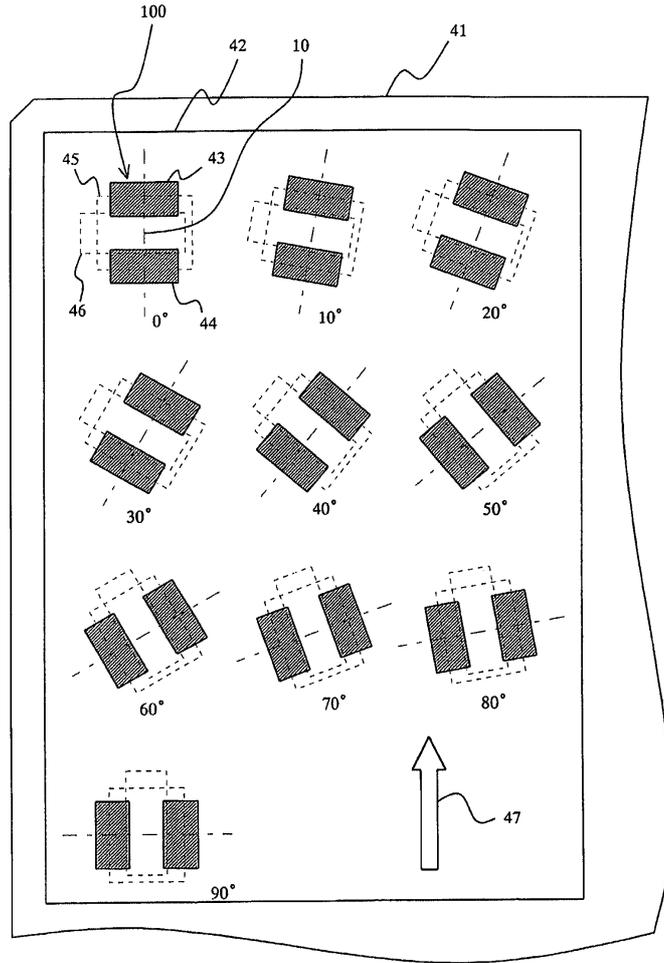
도면3



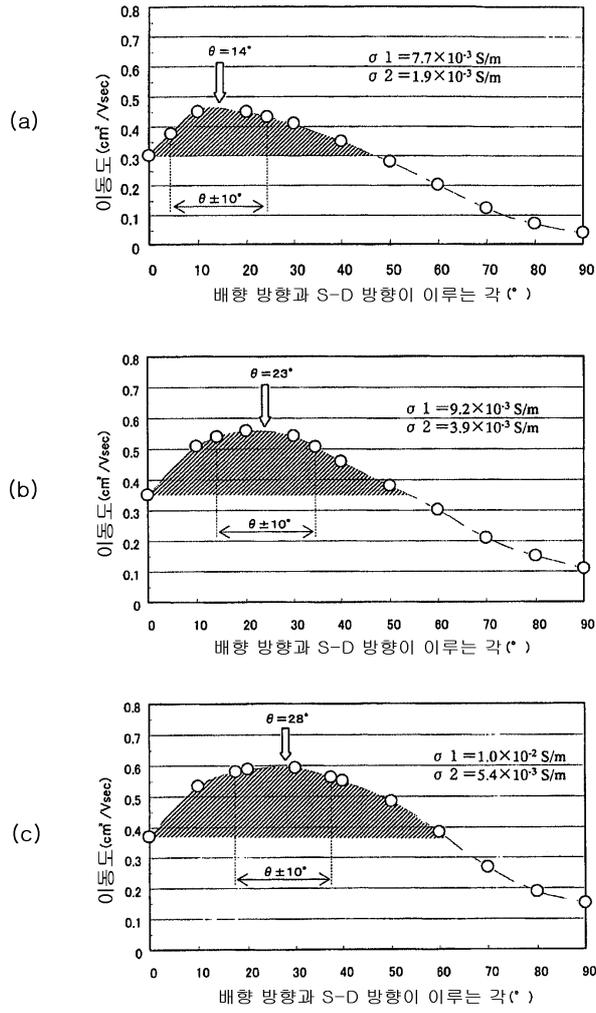
도면4



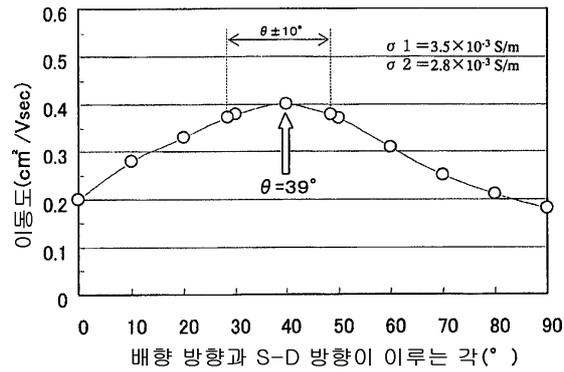
도면5



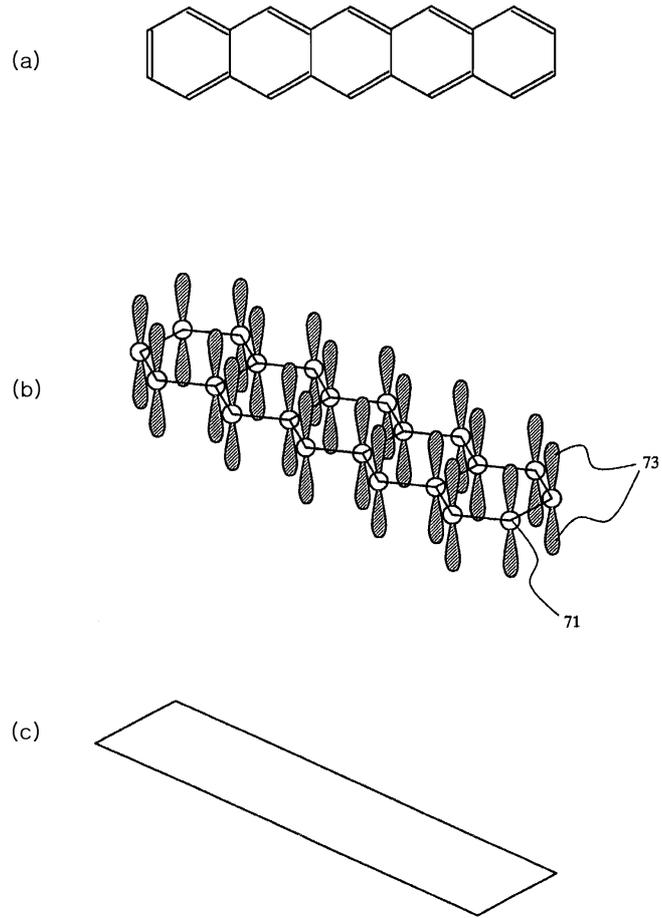
도면6



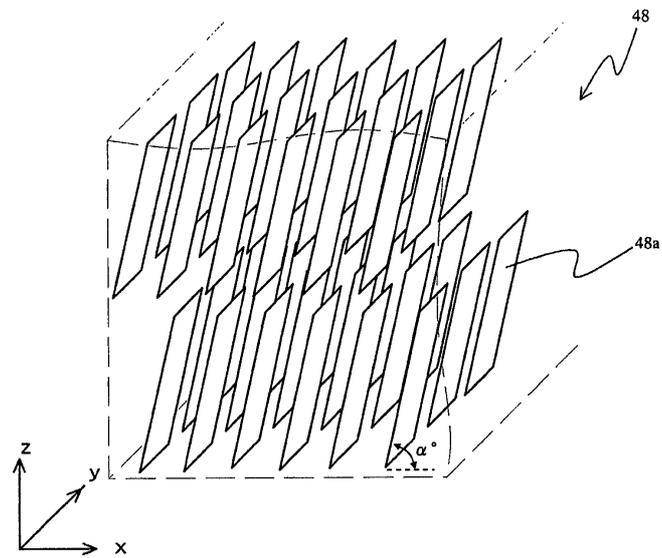
도면7



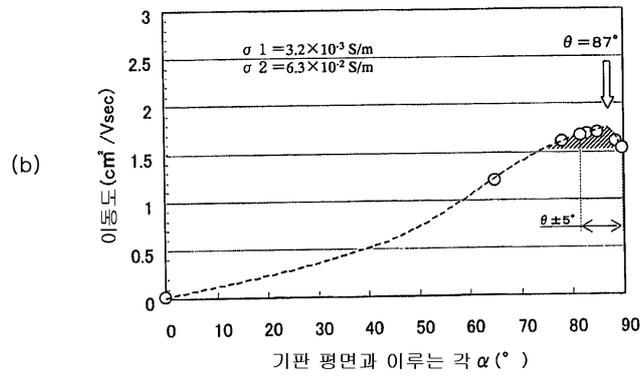
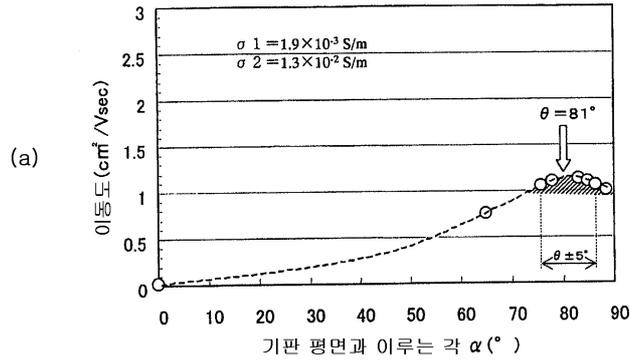
도면8



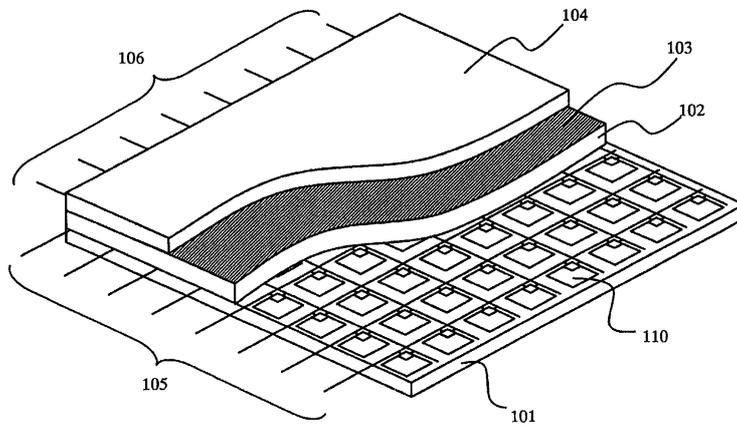
도면9



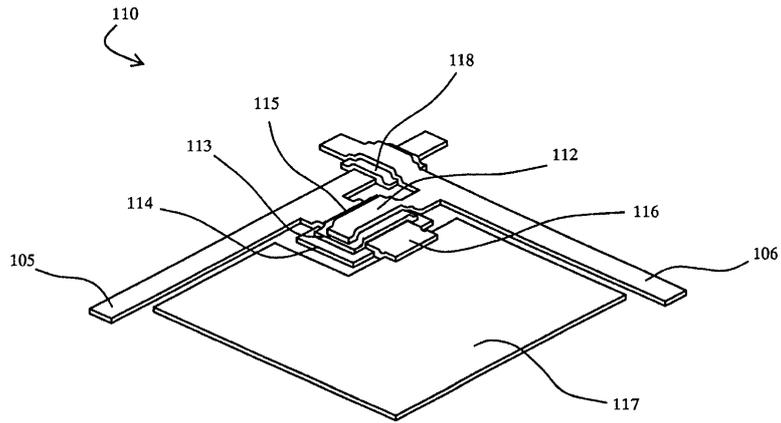
도면10



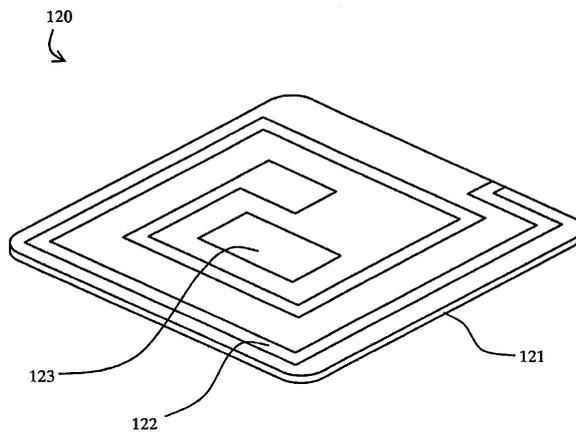
도면11



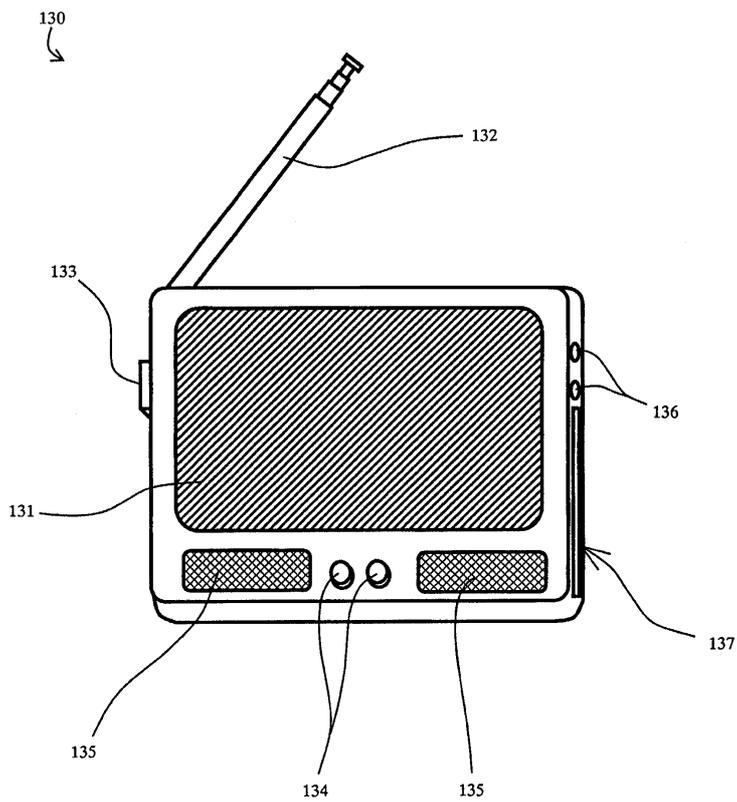
도면12



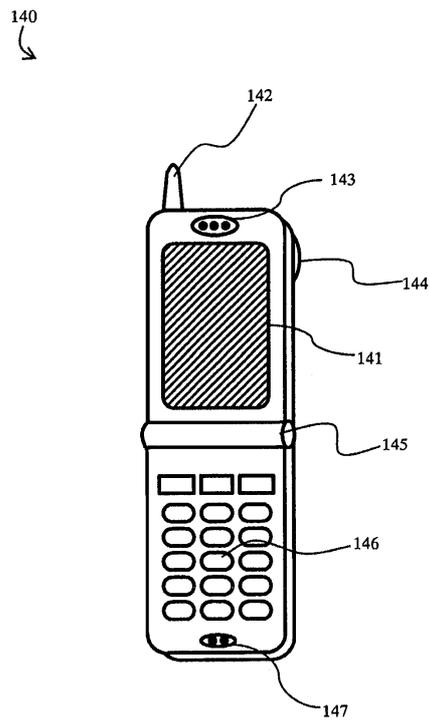
도면13



도면14



도면15



도면16

