



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201813055 A

(43)公開日：中華民國 107 (2018) 年 04 月 01 日

(21)申請案號：106124085

(22)申請日：中華民國 106 (2017) 年 07 月 19 日

(51)Int. Cl. :

*H01L27/11 (2006.01)**H01L27/10 (2006.01)**H01L27/088 (2006.01)**H01L27/105 (2006.01)**G11C17/14 (2006.01)**G11C11/34 (2006.01)*

(30)優先權：2016/07/19 美國

62/363,973

2016/08/08 美國

62/372,106

2016/08/10 美國

62/373,164

(71)申請人：日商東京威力科創股份有限公司(日本) TOKYO ELECTRON LIMITED (JP)

日本

(72)發明人：史密斯 傑佛瑞 SMITH, JEFFREY (US)；德維利耶 安東 DEVILLIERS, ANTON (US)

(74)代理人：周良謀；周良吉

申請實體審查：無 申請專利範圍項數：20 項 圖式數：12 共 44 頁

(54)名稱

三維半導體裝置及其製造方法

THREE-DIMENSIONAL SEMICONDUCTOR DEVICE AND METHOD OF FABRICATION

(57)摘要

三維(3-D)積體電路(IC)包含具有基板表面的基板。第一半導體元件具有第一電接觸部且係在第一平面上形成於表面的第一區域中，該第一平面係實質上平行於基板表面半導體元件。包含第二電接觸部的第二半導體元件係在第二平面上形成於表面的第二區域，該第二平面係實質上平行於表面且在實質上垂直於基板表面的方向上與第一平面垂直隔離。第一電極結構包含：實質上平行於基板表面之相對的頂部及底部表面、連接頂部及底部表面使得該電極結構形成三維電極空間的側壁。導電填充材料係設置於電極空間中，且介電層將該導電填充材料電性分隔成：電性連接至第一半導體元件之第一接觸部的第一電極、及電性連接至第二半導體元件且與第一電極電性絕緣的第二電極。第一電路終端從電極結構的頂部或底部表面垂直延伸，且係電性連接至第一電極。

A three dimensional (3-D) integrated circuit (IC) including a substrate having a substrate surface. A first semiconductor device having a first electrical contact and is formed in a first area of the surface on a first plane substantially parallel to the substrate surface semiconductor device. A second semiconductor device including a second electrical contact is formed in a second area of the surface on a second plane substantially parallel to the surface and vertically spaced from the first plane in a direction substantially perpendicular to the substrate surface. A first electrode structure includes opposing top and bottom surfaces substantially parallel to the substrate surface, a sidewall connecting the top and bottom surfaces such that the electrode structure forms a three dimensional electrode space. A conductive fill material is provided in the electrode space, and a dielectric layer electrically separates the conductive fill material into a first electrode electrically connected to the first contact of the first semiconductor device and a second electrode electrically connected to the second semiconductor device and electrically insulated from the first electrode. A first circuit terminal

extends vertically from the top or bottom surface of the electrode structure and being electrically connected to the first electrode.

指定代表圖：

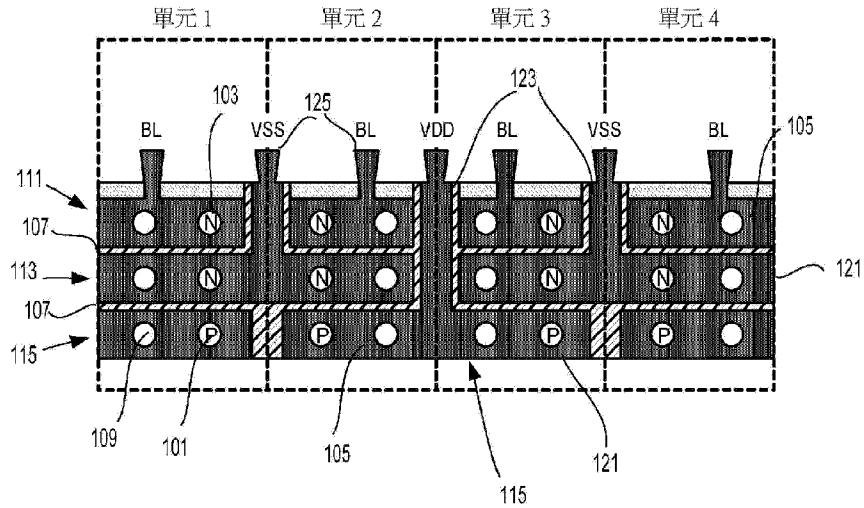


圖 1

符號簡單說明：

101 . . . PFET 導線/
PFET

103 . . . NFET 導
線/NFET

105 . . . S/D 金屬填
充材料

107 . . . 斜剖面線/
介電阻障

109 . . . 線

111 . . . 最終導線電
極

113 . . . 中部電極/
導線/第二階梯

115 . . . 電極/階梯

121 . . . 線

123 . . . 延伸部

125 . . . 接觸部



201813055

【發明摘要】**【中文發明名稱】** 三維半導體裝置及其製造方法**【英文發明名稱】** THREE-DIMENSIONAL SEMICONDUCTOR DEVICE AND METHOD OF FABRICATION**【中文】**

三維(3-D)積體電路(IC)包含具有基板表面的基板。第一半導體元件具有第一電接觸部且係在第一平面上形成於表面的第一區域中，該第一平面係實質上平行於基板表面半導體元件。包含第二電接觸部的第二半導體元件係在第二平面上形成於表面的第二區域，該第二平面係實質上平行於表面且在實質上垂直於基板表面的方向上與第一平面垂直隔開。第一電極結構包含：實質上平行於基板表面之相對的頂部及底部表面、連接頂部及底部表面使得該電極結構形成三維電極空間的側壁。導電填充材料係設置於電極空間中，且介電層將該導電填充材料電性分隔成：電性連接至第一半導體元件之第一接觸部的第一電極、及電性連接至第二半導體元件且與第一電極電性絕緣的第二電極。第一電路終端從電極結構的頂部或底部表面垂直延伸，且係電性連接至第一電極。

【英文】

A three dimensional (3-D) integrated circuit (IC) including a substrate having a substrate surface. A first semiconductor device having a first electrical contact and is formed in a first area of the surface on a first plane substantially parallel to the substrate surface semiconductor device. A second semiconductor device including a second electrical contact is formed in a second area of the surface on a second plane substantially parallel to the surface and vertically spaced from the first plane in a direction substantially perpendicular to the substrate surface. A first electrode structure includes opposing top and bottom surfaces substantially parallel to the

substrate surface, a sidewall connecting the top and bottom surfaces such that the electrode structure forms a three dimensional electrode space. A conductive fill material is provided in the electrode space, and a dielectric layer electrically separates the conductive fill material into a first electrode electrically connected to the first contact of the first semiconductor device and a second electrode electrically connected to the second semiconductor device and electrically insulated from the first electrode. A first circuit terminal extends vertically from the top or bottom surface of the electrode structure and being electrically connected to the first electrode.

【指定代表圖】：圖 1

【代表圖之符號簡單說明】

101	PFET導線/PFET
103	NFET導線/NFET
105	S/D金屬填充材料
107	斜剖面線/介電阻障
109	線
111	最終導線電極
113	中部電極/導線/第二階梯
115	電極/階梯
121	線
123	延伸部
125	接觸部

【發明說明書】

【中文發明名稱】三維半導體裝置及其製造方法

【英文發明名稱】THREE-DIMENSIONAL SEMICONDUCTOR DEVICE AND METHOD OF FABRICATION

【技術領域】

【0001】本發明相關於半導體元件及例如積體電路之半導體元件的製造方法，且相關於製造積體電路用電晶體及電晶體元件。

[相關申請案之交互參考]

【0002】本申請案係基於以下者並主張其優先權的權利：2016年7月19日申請之美國臨時申請案第62/363,973號、及2016年8月8日申請之美國臨時申請案第62/372,106號、及2016年8月10日申請之美國臨時申請案第62/373,164號。該等申請案之每一者的整體內容係併入於此，以供參考。

【先前技術】

【0003】在半導體元件的製造中(尤其在微觀尺度上)，執行諸多製造製程，例如膜層形成沉積、蝕刻遮罩產生、圖案化、材料蝕刻及移除、及摻雜處理。該等製程係重複地執行，以在基板上形成期望的半導體裝置元件。歷史上，電晶體已利用微製造而產生於一平面上(接線/金屬係形成於主動元件平面上)，且因此已特性化為二維(2D)電路或2D製造。縮放方面的努力已大幅地增加了2D電路中每單位面積之電晶體的數目，但當縮放進入單位數奈米半導體元件製造節點時，縮放方面的努力正面臨更大的挑戰性。半導體元件製造已呈現對三維(3D)半導體電路的需求，其中電晶體係堆疊在彼此的頂部上。

【發明內容】

【0004】因此，本揭露內容的一目的係促進3D半導體電路的製造。

【0005】 本揭露內容的此目的及其他目的可藉由三維(3-D)積體電路(IC) (其包含具有基板表面的基板)提供。第一半導體元件具有第一電接觸部且係在第一平面上形成於表面的第一區域中，該第一平面實質上平行於基板表面半導體元件。包含第二電接觸部的第二半導體元件係在第二平面上形成於表面的第二區域中，該第二平面係實質上平行於表面且在實質上垂直於基板表面的方向上與第一平面垂直隔開。第一電極結構包含：實質上平行於基板表面之相對的頂部及底部表面、連接該頂部及底部表面使得電極結構形成三維電極空間的側壁。導電填充材料係設置於電極空間中，且介電層將該導電填充材料電性分隔成：電性連接至第一半導體元件之第一接觸部的第一電極、及電性連接至第二半導體元件且與第一電極電性絕緣的第二電極。第一電路終端從電極結構的頂部或底部表面垂直延伸，且係電性連接至第一電極。

【0006】 根據另一實施態樣，半導體元件包含基板、形成於基板上的閘極、包含垂直堆疊奈米線(彼此隔開)的源極-汲極區域、及形成於該源極-汲極區域內的階梯狀接觸部結構(其將每一奈米線電性連接至該源極-汲極區域上方的複數位置)。本實施態樣可提供以下優勢：垂直堆疊中的每一奈米線在元件中可獨立向上連接。

【0007】 根據另一實施態樣，半導體元件包括含垂直堆疊奈米線的源極-汲極區域，該等垂直堆疊奈米線係彼此垂直隔開，使得在給定堆疊中至少有兩奈米線。階梯狀接觸部結構係形成於源極-汲極區域內，其將每一奈米線電性連接至源極-汲極區域上方的複數位置，該階梯狀接觸部結構包含垂直重疊的電極。

【0008】 根據另一實施態樣，半導體元件包含第一奈米線層、定位於該第一奈米線層之上的第二奈米線層、及定位於該第二奈米線層之上的第三奈米線層。第一奈米線層、第二奈米線層、及第三奈米線層全部定位於半導體元件的源極-汲極區域內。階梯狀接觸部結構係定位於源極-汲極區域內，且係配置成將每

一奈米線層電性耦接至源極-汲極區域上方的位置。該結構達成在P型FET正上方具有N型FET，或反之亦然。

【0009】 根據另一實施態樣，半導體元件包含第一奈米線層、定位於該第一奈米線層之上的第二奈米線層、及定位於該第二奈米線層之上的第三奈米線層。第一奈米線層、第二奈米線層、及第三奈米線層包含定位於半導體元件之源極-汲極區域之內的奈米線部分。第一電極連接第一奈米線層且穿過源極-汲極區域佈線至源極-汲極區域上方的第一位置，第二電極連接第二奈米線層且穿過源極-汲極區域佈線至源極-汲極區域上方的第二位置，以及第三電極連接第三奈米線層且穿過源極-汲極區域佈線至源極-汲極區域上方的第三位置。第一接觸部結構係階梯狀，且第二接觸部結構的一部分係定位於下方電極結構的水平表面之上。

【0010】 本揭露內容的又另一實施態樣包含形成半導體元件的方法，該方法包含形成具有奈米線之垂直堆疊的源極-汲極區域，該奈米線之垂直堆疊包含至少三奈米線(其具有水平定向的縱軸)，且該等奈米線係彼此隔開。執行包含以下者的製程序列：在源極-汲極區域中沉積金屬、使金屬下凹至特定的奈米線位準、在源極-汲極區域內形成垂直互連部、及在金屬上選擇性沉積阻障材料(而在裸露的奈米線上沉積阻障材料)，使得接觸部結構在源極-汲極區域內係形成至該源極-汲極區域上方的位置。重複該製程序列，直到形成具有階梯狀橫剖面的複數電極、及支撐其他電極的水平階梯為止。

【0011】 又另一實施態樣包含形成半導體元件的方法，該方法包含提供定義初始連接部區域的基板，該基板具有定位於初始連接部區域內的至少三奈米線，該等奈米線係裸露的，該等奈米線具有在水平方向上延伸的縱軸，該等奈米線係定位於垂直堆疊中且彼此隔開，該等奈米線包含第一奈米線、第二奈米線、及第三奈米線，第二奈米線係定位於第一奈米線之上，且第三奈米線係定位於第

二奈米線之上。形成覆蓋第一奈米線、且垂直延伸至初始連接部區域之頂部的第一電極，該第一電極具有階梯狀橫剖面，形成覆蓋第二奈米線、且垂直延伸至初始連接部區域之頂部的第二電極，以及形成覆蓋第三奈米線、且垂直延伸至初始連接部區域之頂部的第三電極。

【0012】 又另一實施態樣係形成半導體元件的方法，其包含：利用第一電極填充連接區域，該連接區域具有彼此垂直隔開之垂直對準的奈米線，使得在奈米線的給定堆疊中具有至少三奈米線；使金屬下凹，直到第一電極僅覆蓋第一奈米線為止，該第一奈米線係定位於給定堆疊的底部處，且形成連接至下凹金屬的第一電極垂直線，使得組合電極結構具有階梯狀橫剖面。阻障層係形成於裸露的金屬表面上，而不在裸露的奈米線表面上沉積阻障層。

【0013】 又另一實施態樣包含形成半導體元件的方法，其包含形成場效應電晶體，該場效應電晶體包括垂直堆疊互補式奈米線(其具有至少兩位準的奈米線)，且具有連接至奈米線的階梯狀接觸部結構。階梯狀接觸部結構的電極係藉由以下步驟形成：使沉積金屬均勻地下凹，以形成水平金屬表面；利用基於遮罩的金屬沉積來形成垂直定向的金屬引線(metal leg)，該金屬引線連接至水平金屬表面；以及藉由選擇性沉積在裸露的金屬表面上形成介電阻障層，該選擇性沉積在裸露的金屬表面上沉積介電阻障層，而不在奈米線材料上沉積介電阻障層。

【0014】 當然，為清楚起見，已提出本文中所描述之不同步驟的討論順序。通常，該等步驟可以任何適當的順序執行。此外，儘管本文中不同特徵、技術、配置等的每一者可在本揭露內容的不同位置處加以討論，但意欲使該等概念的每一者可相互獨立地、或相互結合地加以實施。據此，本發明可以許多不同的方式實施及考量。

【0015】 注意到，本發明內容部分不具體說明本揭露內容或所請發明的每一實施例及/或漸增新穎的實施態樣。反而，本發明內容僅提供不同實施例的初

步討論、以及優於習知技術之新穎性的對應點。對於本發明及實施例的額外細節及/或可能觀點，引導讀者至如以下進一步討論之本揭露內容的實施方式部分及對應圖式。

【圖式簡單說明】

【0016】 圖1為根據本揭露內容之實施例的堆疊互補式FET元件的橫剖面的示意圖。

【0017】 圖2為根據本揭露內容之實施例的用以形成3D SRAM之例示性起始結構的橫剖面立體圖。

【0018】 圖3為一結構的示意圖，其描繪根據本揭露內容之實施例的隔離步驟。

【0019】 圖4顯示根據本揭露內容之實施例的隔離凹槽內的選擇性填充材料。

【0020】 圖5顯示根據本揭露內容之實施例的於S/D條狀區域中設置S/D金屬填充物之後的結構。

【0021】 圖6顯示根據本揭露內容之實施例的定義下部電極之蝕刻後的例示性結構。

【0022】 圖7顯示根據本揭露內容之實施例的形成於下部通道金屬之上的選擇性沉積介電層。

【0023】 圖8繪示根據本揭露內容之實施例的形成第二隔離凹槽的製程。

【0024】 圖9描繪根據本揭露內容之實施例的形成下部電極之向上接觸部的製程。

【0025】 圖10顯示一結構，其描繪根據本揭露內容之實施例的下部電極的隔離。

【0026】 圖11顯示根據所揭露實施例的此製程所產生的結構。

【0027】 圖12顯示根據所揭露實施例的此製程所產生的例示性結構。

【實施方式】

【0028】 本文中的技術相關於3D積體電路的製造，其中電路元件係相關於基板的平坦表面而垂直設置。根據所揭露實施例，垂直設置的電路元件可具有複數電極，其係形成於與分別之元件實質相同的平面中，使得垂直設置之元件的電極可堆疊或重疊成佔據同一平面區域。這可顯著地改善積體電路的區域縮放能力 (area scaling capability)。本文中所揭露的技術適用於將主動電路元件(如電晶體)、被動電路元件(如電阻、電容器、電感器等)、或如此元件之組合堆疊成3D積體電路。例如，電晶體可為利用鰭部及/或多閘極配置的場效應電晶體(FET, field effect transistor)元件。

【0029】 本揭露內容的實施態樣相關於利用環繞式閘極處理的元件製造，其將奈米線或奈米薄層結合於FET(場效應電晶體)中或穿過堆疊互補式FET元件。環繞式閘極(GAA, Gate-all-around)表示其中金屬閘極實體包圍於矽或矽/鍺導線周圍的FET元件。GAA係鰭式FET之三閘極製程的進一步延伸，其中閘極係包圍於矽或矽/鍺鰭部的周圍。在鰭式FET的情形中，閘極包圍於鰭部四側邊的其中三者上，而在GAA FET元件的情形中，閘極包圍全部通道(例如，無論具有不連續側邊或環形壁的情形皆然)。GAA FET元件的一類型係奈米線FET。

【0030】 環繞式閘極或奈米線FET之優勢的其中之一係其可用以形成互補式元件，其中NFET及PFET元件(及導線)可堆疊於另一者的頂部上，以提供邏輯元件之顯著的區域縮放。習知電路元件係設計成使得全部NFET導線係定位於元件的一末端處，且全部PFET導線係定位於元件的相反末端處。在3D互補式FET元件中，NFET及PFET導線可直接地堆疊於彼此的頂部上。例如，具有複數NFET奈米線(其係設置成垂直或水平陣列)的多閘極NFET元件可堆疊於多閘極PFET元件的頂部上。類似地，由單一奈米線組成的NFET可垂直地堆疊於單一奈米線

PFET元件的頂部上。此堆疊達成一電路，在該電路中，每一奈米線對電路元件之特定終端具有直接存取。例如，3-D SRAM可包含上部奈米線(其可提供對靜態隨機存取記憶體(SRAM, static random-access memory)元件中之位元線(bit-line)接觸部的存取部)、下部NFET導線(其可獨立地接觸VSS(負電源電壓)、底部PFET導線(其可獨立地接觸VDD(正電源電壓))等。每一導線獨立接觸元件之特定終端的能力提供顯著的區域縮放優勢。當例如奈米線的FET元件係互補地堆疊於彼此之頂部上時(混合NFET導線及PFET導線)，每一者需要源極-汲極(S/D)條狀區域內的單獨電極，該單獨電極係藉由介電膜隔開，以防止電極之間的電容充電。

【0031】 互補式FET結構的一挑戰已為：為達成與S/D條狀區域內之各個電極的連接所需之產線中段(MOL, middle-of-line)互連部及產線後段(BEOL, back-end-of-line)金屬層的複雜性。就僅具有一PFET及NFET導線(其係互補式堆疊彼此的頂部上)的簡單SRAM而言，產線中段(MOL)及產線後段(BEOL)金屬變得相當擁擠。

【0032】 舉例而言，第一穿孔階層(V-1)及第一金屬層(M0)可用以定義SRAM換流器的交叉耦接，且提供字元線(WL, word line)向上連接至M1的基座，且提供SRAM向上至M2的VDD、VSS、位元線(BL, bit-line)、及BLB接觸部。在此範例中，M0處的圖案密度相當複雜且需要增加SRAM單元的尺寸，以容於以下者的結合：交叉耦接的局部互連部、與向上分別至M1及M2之WL及WDD/VSS接觸部的基座。

【0033】 當從BEOL金屬向下連接至各S/D條狀區域電極時，接觸部可藉由以下方式完成：將接觸部圖案化至必要的電極中、及包覆內部間隔件(其具有由介電需求所設定的厚度)，以防止電極之間的電容充電。例如，當所堆疊之橫向奈米線的數目增加時，向下通往必要S/D條狀區域電極之接觸部的數目亦將增加。就2-堆疊導線配置而言，在MOL及BEOL中增加擁擠度的情況下，進行如此

之製程(製造向下通往下部電極的接觸部)係可能的。就3-堆疊及以上的導線製程而言，期望另一解決方案，以防止進一步的擁擠、及/或用以補償之元件區域縮放的進一步增加。

【0034】 本文中的技術包含構建S/D條狀區域電極，使得該等電極可製作通往BEOL金屬層的單獨接觸部(包含自對準能力)，從而達成相關於互補式堆疊NFET及PFET導線的顯著區域縮放優勢。技術包含疊加的「樓梯狀」或階梯狀源極-汲極電極。可重複進行該製程，以在S/D電極中形成漸增的「階梯狀」連續漸進構造，其中每一階梯產生向上延伸至MOL及BEOL金屬的自對準接觸部。

【0035】 此元件配置及方法使得每一奈米線元件能夠具有通往元件中之任何終端的單獨連接部，且因此將大部分的MOL及BEOL接線複雜性向下轉移至其中導線隔離係穿過S/D條狀區域/在S/D條狀區域內進行的較簡單佈局。圖1為根據本揭露內容之實施例的堆疊互補式FET元件之橫剖面的示意圖。在圖1的特定範例中，顯示四個SRAM記憶體單元之陣列的橫剖面。在圖1中，圓圈表示奈米線橫剖面，其中PFET導線101係顯示成圈起的「P」，且NFET導線103係顯示成圈起的「N」。奈米線係被形成階梯狀電極的S/D金屬填充材料105所包圍。斜剖面線107指示介電膜，其係在每一電極形成時選擇性地沉積於每一階電極上(呈樓梯狀形式)，而不沉積於裸露/曝露的奈米線上，從而具有如以下進一步討論的階梯狀橫剖面輪廓。在橫剖面中所顯示之單元的部分中，未標記的奈米線109不提供主動電晶體，但緊鄰的線109後方或前方(亦即，在其他橫剖面中)的奈米線堆疊可用作同一單元或不同單元的主動電晶體。因此，未標記的奈米線109可視為佔位部(place holder)。最低層級之未標記的奈米線109亦將為PFET導線，而中間層級之未標記的奈米線109將為NFET導線。當奈米線延伸穿過基板時，該等奈米線在記憶體單元的一些S/D區域中可用作主動FET元件，而在其他的S/D區域中不用作FET元件(取決於給定元件的設計)。在一些實施例中，未標記的線109可用以將

主動電晶體電性耦接至彼此，或至其他電性元件。利用未標記奈米線以交叉耦接(六電晶體之SRAM電路的)換流器的範例係在美國臨時申請案第62/372,106號中加以描述，其係併入於此，以供參考。

【0036】 樓梯狀結構已用於3D NAND元件，其中控制閘極係形成於FET陣列內，且樓梯狀電極結構係建立於陣列外側，以製作通往每一控制閘極的接觸部。3D NAND的情形需要樓梯狀結構在緊鄰陣列的外側，且需要顯著的區域來配合晶片上的樓梯狀部分。然而，利用本文中的技術，階梯狀的接線係重疊的且係形成於(實體上為3D邏輯陣列之一部分的)S/D區域內(或閘極區域內)。在此配置的情形下，相較於習知元件，在本揭露內容的元件中少有或沒有(與建立樓梯狀部分有關的)區域縮放損失。

【0037】 據此，所揭露的技術包含在邏輯元件內之源極/汲極(S/D)條狀區域內形成複數電極，且該複數電極係階梯狀且係在S/D條狀區域內相關於彼此而堆疊，以達成堆疊奈米線流中通往各個導線的接觸部。因為每一電極係實體且電性地彼此隔開，故此結構有效地達成在單一S/D條狀區域的區域內具有複數S/D條狀區域的元件。因此，導線可互補地堆疊於彼此頂部上，且每一導線可單獨地連接至元件內獨特的終端電路。相對於使NFET及PFET導線或鰭部在元件的任一末端上實體隔開的習知配置而言，本配置使得NFET導線能夠堆疊於PFET導線頂部上(垂直堆疊)。堆疊NFET及PFET導線達成給定元件之顯著的區域縮放。此結構可視為NFET導線係折疊於PFET導線頂部上。

【0038】 如上討論，就快速執行SRAM的情形(其中，NFET導線係堆疊於PFET導線頂部上)而言，S/D條狀區域可形成為包含三單獨的電極。例如，返回至圖1，底部電極115係用於通往PFET 101的VDD接觸，中部電極113係用於通往中部NFET 103的VSS接觸，且一電極係用於通往上部NFET 103的BL(或BLB)接

觸。在圖1中可見階梯狀圖案，其中可產生(具有突出向上接觸部之)分隔電極的重複圖案，且其係層疊於彼此的頂部上，其中每一階梯包覆待接觸之分別的導線。

【0039】在簡化的製程流程中，首先形成呈階梯狀的最下部/第一/底部電極115，且然後在金屬電極115頂部上選擇性地沉積介電阻障107。針對每一額外導線重複該製程，使得第二階梯狀導線(「階梯」)113置於第一階梯115上、第三階梯狀導線可置於第二階梯113上等。將本製程重複所設計或所指定的次數，以容納連接至元件內之各個終端的全部導線。在圖1的範例中，最終導線電極111可實施為金屬栓塞(其係沉積於留下之(亦即，最後形成的)階梯/架部上)。

【0040】如圖1中所見，每一「階梯」包含期望的導線或線121及延伸部123(垂直元件)，該延伸部123(垂直元件)藉由接觸部125(其可連接至金屬之向上延伸部)的方式將電極連接至上部金屬層。就快速執行互補式FET SRAM的例示性情形而言，產生如此之結構的方法係顯示於圖2~12中，且於以下詳細討論。

【0041】本文中之技術的優勢包含顯著的區域縮放，其係藉由在互補式FET元件中達成NFET及PFET導線於彼此之頂部上的堆疊而實現。不同於必須在單元範圍內鋪設複數S/D條狀區域作為各個條狀區域的情形，每一元件的S/D條狀區域可全部垂直地且彼此絕緣地容納於一共用S/D條狀區域結構內。本文中的結構達成單元之間之電極的較簡單的共用。如圖1中所見，就SRAM的情形而言，按照單一接觸部125可製作通往兩相鄰SRAM單元之連接部的方法(例如，VSS接觸部共用單元1及單元2)，這使得VDD及VSS能夠在東西方向上(亦即，在與奈米線之長度方向交叉的方向上)共用。通常，這係透過以下方式完成：於M0層級的每一存取點處具有接觸部、及向上饋送至M1層級的共用連接部。然而，利用本文中的技術，僅需單一接觸部。就需要多於三電極的實施例而言，關於阻抗(從階梯狀S/D條狀區域之金屬延伸部區域中的接觸部至底部電極)的任何考量可藉由製作向下通往埋藏軌道(buried rail)的連接部而加以調整。在具有埋藏軌道概念

的情況下，功率軌道係在主動元件下方進行圖案化及金屬化，且係嵌入S/D條狀區域及金屬閘極下方的STI氧化物中、或STI氧化物及主體矽(初始鰭部結構係於其之間進行圖案化)內。埋藏軌道針對產線後段(BEOL)中的縮放邏輯元件提供進一步的擁擠緩解，就埋藏功率軌道的情形而言，其現在僅需要支撐佈線線路。藉由將功率軌道埋藏於互補式FET元件中，通往Vdd及Vss的連接部僅需向下接觸埋藏的功率軌道即可，就SRAM的情形而言，這使得通往BEOL金屬層的向上連接部僅在S/D條狀區域中之最上部電極的情形下為必需。堆疊電極的設計使得此實施例明顯地更容易製造。

【0042】 在互補式FET元件中，NFET及PFET導線係堆疊於彼此頂部上，以提供區域縮放優勢。如以上所提及，在習知FET元件中，NFET及PFET導線係位於單元的相反末端。就SRAM情形中的邏輯元件而言，如此的位置實際上將元件所需的區域加倍。FET元件有諸多不同的類型及配置。為了便於描述本文的實施例，描述內容將主要地聚焦於互補式FET快速執行SRAM，其中從上往下之NFET-NFET-PFET導線結構係用以使給定元件區域縮放。注意到，本文中的技術係輕易可用於任何的3D邏輯元件。亦注意，電極的橫向堆疊可按照任何順序進行，以滿足最佳的佈線，亦即，若就隨機邏輯單元而言，使得BEOL佈線更容易，則PFET電極及導線可堆疊於NFET電極及導線的頂部上。

【0043】 圖2~12係橫剖面立體圖，以描繪根據所揭露實施例的形成3D SRAM的例示性製程。圖2~12提供正製造中的3D SRAM結構，以顯示用以形成樓梯狀或階梯狀源極/汲極(S/D)的例示性製程流程及技術，其可在(存在於堆疊互補式FET結構中的)各個導線之間達成局部互連。此例示性流程的起點係在已完成閘極金屬之後，且S/D條狀區域的金屬此時即將產生。在處理過程中的此時，矽或矽鍺(SiGe)奈米線已在S/D條狀區域內進行切割，且下凹至閘極間隔件中，且S/D磊晶摻雜SiGe或Si已從曝露之奈米線的末端生長。在3D FET電路中形成源極

及汲極區域的範例係在美國臨時申請案第62/373,164號中加以描述，其係併入於此，以供參考。因此，此起始步驟中的S/D條狀區域實質上係由閘極間隔件材料界定，其中已生長Si及/或SiGe磊晶。閘極間隔件材料可為SiOC、SiN、SiOCN、或使閘極與S/D條狀區域絕緣的任何其他適當材料。例如鈦的金屬薄膜可藉由ALD在S/D條狀區域內沉積，以製作金屬絕緣體半導體(MIS, metal-insulator semiconductor)接觸部，隨後為例如TiN的介電襯墊沉積。S/D條狀區域的其餘部分在處理過程中的此時可利用例如SiO的介電質填充。

【0044】圖2為根據所揭露施例的用以形成3D SRAM之例示性起始結構的橫剖面立體圖。結構200包含基板201，複數SRAM單元係形成於該基板201上。例如，基板可為例如Si或SiGe之半導體材料的單體基板。示意性顯示淺凹槽隔離(STI, shallow trench isolation)區域250。虛線203繪示每一SRAM單元的「界線」，其包含橫剖面中所顯示的三奈米線，以及設置於不同橫剖面(其係在所顯示橫剖面的之後或之前)之另一堆疊結構中的三奈米線。因此，顯示沿著4 SRAM單元區域203之陣列的橫剖面，該等4 SRAM單元區域203的每一者包含六個奈米線FET元件。

【0045】如圖2中所見，結構200包含閘極區域207，其在閘極區域207的相反側上具有閘極間隔件(低k間隔件)209。閘極間隔件209將界定待形成之S/D條狀區域的邊界。在此製程流程中，就進一步處理而言，SiO沉積物可填充源極/汲極條狀區域。在圖2中顯示SiO填充物220，但橫剖面係設置成穿過S/D磊晶區域211、213、215，以強調導線(亦即，源極/汲極磊晶)存在之處。閘極區域207a及207b描繪不同橫剖面的類似結構，以提供SRAM單元的部分。

【0046】每一單元203包含堆疊奈米線結構205，其包含三垂直堆疊的橫向奈米線。例如，該堆疊奈米線結構205可由Si及SiGe材料之交替層的鰭部形成。如此之原始鰭結構係以虛線顯示於圖2中，以供參考。在圖2的範例中，每一導線

堆疊205包含NFET導線211作為頂部導線，其將連接至SRAM的BL及WL線。另一NFET導線213(中部)將連接至SRAM的VSS，且PFET導線215(底部)將連接至SRAM的VDD。不同於上述圖1，在圖2~12中不顯示未標記或「佔位部」奈米線。然而，吾人應理解，可在佔位部位置205'中設置每一單元之額外的主動奈米線(其在所顯示奈米線的後方或前方)。因此，在一實施例中，單元區域203的平面圖包含三奈米線之堆疊205，其係以對於設置於佔位部位置205後方的三奈米線之另一堆疊之對角線關係而定位。

【0047】 在圖2~12的範例中，閘極區域中的奈米線係由矽組成(但本文中的技術亦適用於SiGe導線或其他類型的半導體導線)。因此，導線堆疊205之底部上的PFET 215導線具有硼摻雜(B-摻雜)SiGe源極-汲極磊晶生長物(「磊晶(epi)」)，其延伸自突出穿過閘極間隔件209之矽導線的末端。NFET導線211及213各具有延伸自矽導線之末端的磷摻雜(P-摻雜)矽源極-汲極磊晶。描述圖2~12時，受摻雜之SiGe磊晶源極/汲極區域視為矽奈米線的一部分。

【0048】 每一單元區域203可彼此隔離。圖3係結構300的示意圖，其描繪根據本揭露內容之實施例的單元隔離步驟。如此之單元隔離可藉由以下步驟執行：在元件上形成圖案化硬遮罩301，其定義一序列凹槽或開口303，用以在S/D條狀區域內的SiO填充材料220中蝕刻隔離凹槽305。凹槽305露出部分延伸上到閘極間隔件209的壁之襯墊307。襯墊可由Ti/TiN層或任何其他適當材料形成。隔離凹槽305的給定尺寸可設定至等於對應接觸部所需之值，該對應接觸部最終將製作從BEOL金屬向下通往(與諸多奈米線「層級」之每一者接觸之)電極的連接部。如以下所討論，藉由將隔離材料移除及更換為S/D條狀區域金屬的方式，此隔離凹槽305可變成從BEOL通往電極「樓層(floor)」的直接接觸部。

【0049】 隔離凹槽305於SRAM陣列內開放之後，其係利用相對於S/D條狀區域內之其他材料具有選擇性的選擇性填充材料401而填充。圖4顯示根據本揭露

內容之實施例的隔離凹槽內的選擇性填充材料。如所見，結構400包含對SiO₂、閘極間隔件209材料、及介電覆蓋材料(其通常係形成於閘極區域207中的閘極上方)具有選擇性的填充材料401，其例如可為SiN。在圖2~12的範例中，摻雜碳的填充材料係用作填充材料401，其可填充開口且然後在後續製程中輕易地剝除。S/D條狀區域的閘極區域209'、SiO₂填充物220'、及填充物401'係形成於橫剖面中所顯示S/D條狀區域的後方。在圖4中，Ti/TiN襯墊係由填充物220覆蓋。

【0050】 SiO₂ 220可透過例如氣相蝕刻製程的等向性蝕刻製程而選擇性移除。此製程可利用例如Tokyo Electron, Ltd., 所製造的CERTAS工具執行。如此之蝕刻應能夠包圍S/D條狀區域內之導線211、213、215的突出S/D磊晶，且具有相對於其他材料之極高選擇性(例如100:1或更高的蝕刻選擇性)，使得SiO₂ 220係在不蝕刻以下者的情況下受到蝕刻：閘極間隔件材料、覆蓋S/D磊晶材料的ALD Ti/TiN襯墊、及已被填入凹槽305內的填充材料401(例如，摻雜碳)。因此，SiO₂ 填充物220的選擇性蝕刻應導致閘極間隔件209側壁上突出奈米線211、213、及215上之Ti/TiN襯墊307的曝露。注意到，習知之基於電漿的等向性蝕刻可能不足以在奈米線211、213、215周圍進行完全地蝕刻，因為基於電漿的蝕刻仍有某程度的方向性及通常不足夠的選擇性。因此，完全等向性蝕刻(例如，氣相化學氧化物移除)可有利。

【0051】 已開放的S/D條狀區域(在已移除SiO₂ 220的情況下)然後係利用S/D金屬填充。圖5顯示根據本揭露內容之實施例，於S/D條狀區域中設置S/D金屬填充物後的結構。結構500可藉由利用金屬501填充S/D條狀區域而形成，然後將該結構500拋光，以使金屬填充物501平坦化至覆蓋部(該覆蓋部存在於金屬閘極區域207的表面上方)的表面。因此，金屬填充物501可具有之後進行平坦化的過度覆蓋部(over burden)。如圖5中所見，金屬填充物510代替圖1~4的SiO₂填充物220。

金屬填充物501'亦顯示於另一S/D條狀區域上。金屬填充物501可為鈷、鈦、或任何適當的導電材料。在圖2~12的範例中使用鈷。

【0052】 一旦填充S/D金屬，則下部「樓層」電極或下層通道可透過S/D條狀區域金屬的等向性蝕刻加以定義。圖6顯示根據本揭露內容之實施例，在蝕刻定義下部電極之後的例示性結構。結構600包含由之前所沉積之金屬501形成的下部電極部601。如所見，金屬填充物501的蝕刻將終止於底部PFET 215 S/D磊晶及中部NFET S/D磊晶213的層級之間。因此，第一層級的奈米線(例如，215)係利用金屬501加以覆蓋，而介於第一層級上方之堆疊中的奈米線(例如，211、213)係裸露的。如圖6的橫剖面中所見，填充物401係從閘極間隔件209及設置於其上的襯墊307突出。

【0053】 S/D金屬501的等向性蝕刻(類似以上所討論之SiO₂ 220移除蝕刻)相對於全部其他曝露材料(例如，Ti/TiN襯墊、閘極間隔件209、填充物401等)應具有選擇性。例如，在鈷與原子層沉積(ALD, atomic layer deposited)Ti之間的選擇性有限的情形中，則ALD Ti膜可於退火之後可選地加以移除，該退火係在打開S/D條狀區域之前在Ti與S/D磊晶材料(SiGe/Si)之間進行。Ti可係(1)選擇性地僅沉積至S/D磊晶的表面，且不需任何從元件之非磊晶區域的後續移除；或(2)當沉積簡單ALD Ti膜時，其將在S/D磊晶的表面上形成TiSi，且元件的其他部分將被覆蓋於ALD Ti中(其可相對於TiSi選擇性地加以選擇性移除)。此製程二者皆應視為「習知技術」。如所見，底部或「樓層」電極501(其將形成VDD接觸部)從設置於閘極間隔件209上的Ti/TiN襯墊307突出。

【0054】 由於氣相蝕刻可為循環製程，故利用例如TEL CERTAS系統的設備執行如此之金屬等向性下凹蝕刻可有利。如此，每一循環之蝕刻將導致固定的金屬下凹量。每個循環的下凹量亦可加以調整，使得可簡單地藉由給定下凹蝕刻中所使用之循環的數目達成下凹部的自對準。因為金屬最初係透過CMP加以處

理，以停止於金屬閘極區域207之介電覆蓋部的表面，這導致有效的「零點」，因此，在所討論的例示性流程中，循環下凹蝕刻製程可在Z高度方向上達成某程度的自對準。圖6顯示金屬填充物501，其已下凹成產生金屬通道601或佔據第一奈米線層的金屬部分。

【0055】 在已透過等向性下凹蝕刻製程定義下部「樓層」電極的情況下，然後使下部通道與上部通道隔離。此隔離製程係透過選擇性沉積製程達成。選擇性沉積係類似於選擇性蝕刻的沉積製程。圖7顯示根據本揭露內容的實施例，形成於下部通道金屬上方的選擇性沉積材料。利用選擇性沉積，材料係沉積或生長於(複數)特定材料上，而不沉積於其他或其餘材料上。如圖7中所見，材料701係選擇性地沉積於電極部601上。例如，鋁氧化物(AlO)及 AlO/SiO 可選擇性地沉積於鈷(Co)/ CoAl 的頂部上方，且不沉積於圖2~12中例示性流程中之S/D條狀區域中的其他開放材料的任何者上(TiN 襯墊、摻雜碳凹槽填充物、 SiN 覆蓋部等)。如此之沉積係有利的，因為其期望在堆疊205的裸露奈米線上避免沉積介電材料。據此，此沉積材料在突出S/D磊晶213下方的選擇性沉積可在底部S/D金屬「樓層」上方製作連續膜層。

【0056】 此流程中之選擇性沉積製程的替代方案係完全地在S/D條狀區域內沉積介電質，隨後進行CMP，以及然後進行選擇性蝕刻下凹。此製程比使S/D條狀區域金屬501下凹來形成下部樓層通道601的前述步驟更具挑戰性，因為前述步驟之停止的邊緣位置係簡單地介於兩S/D條狀區域磊晶(213及215)之間，而該兩S/D條狀區域磊晶(213及215)通常係彼此隔開30~40nm之間。利用如此之下凹蝕刻(取代選擇性沉積)可具有挑戰性，因為下凹部需要精確地停止，以形成5nm等級的必要介電厚度。因此，選擇性沉積可為較佳的選項，因為介電膜的厚度係透過固定的沉積製程加以控制，該固定的沉積製程對最終膜厚度均勻性(及因此之

電容值)具有較良好的公差。再者，選擇性沉積通常具有較少的製程步驟，且可避免不樂見的CMP及具有挑戰性的下凹蝕刻製程。

【0057】 S/D條狀區域然後係利用SiO₂ 220、或利用對底部介電襯墊701(例如，AlO)及覆蓋S/D條狀區域壁之TiN襯墊307具有選擇性的其他類型膜層加以填充。一旦沉積SiO₂ 220，則其受CMP拋光回到閘極區域207中金屬閘極介電質的頂部，且提供一樓層(第二隔離凹槽可就該樓層進行圖案化)。圖8描繪根據本揭露內容之實施例形成第二隔離凹槽的製程。如所見，結構800包含S/D條狀區域中的SiO₂ 220。又，習知的微影圖案化製程可用以產生圖案化蝕刻遮罩，以產生穿過填充材料220向下至樓層電極的開口。如圖8中所見，所形成的蝕刻遮罩801係設置於基板201上，且包含開口803。此第二蝕刻遮罩801用以形成樓梯狀結構中下一「階梯」或「樓層」的界線。凹槽805係向上開放至SiO₂ 220中(或S/D條狀區域內的其他填充材料中)，且停止於(底部「樓層」金屬電極501上方之)選擇性沉積之介電膜701的表面。一旦凹槽抵達膜701(此範例中為AlO)的頂部，則膜701被穿透成露出下方的金屬501。為達說明之目的，圖8的結構800顯示SiO₂填充物220之蝕刻之前的凹槽區域805'、及凹槽填充物220及介電質701之蝕刻之後的凹槽805。

【0058】 下沉至下部層級金屬501的開放凹槽805然後係利用S/D金屬填充。此填充提供電極的「向上接觸」部，以提供從底部「階梯」或「樓層」電極至S/D條狀區域表面的存取部(可在此處達成通往產線中段(MOL, middle-of-line)或BEOL金屬的連接部)，且此填充亦提供一邊緣，就該邊緣可執行額外的選擇性沉積製程，以進一步隔離底部電極及向上通往MOL/BEOL模組的延伸「接觸部」。圖9描繪根據本揭露內容之實施例，形成下部電極之向上接觸部的製程。結構900包含沉積於開放凹槽805中的金屬901，且然後可利用CMP步驟來使S/D金屬901重回金屬閘極207上方之介電覆蓋部的高度。在CMP製程中，亦可移除SiO₂硬遮罩(其可用作從微影凹槽至S/D SiO₂的轉移層)，因為CMP將終止於金屬閘極207上

方的SiN覆蓋部上。因此，通往底部奈米線的第一電極915具有水平部位(或構件)903(「導線」或「線」)及垂直部位(或構件)905(「向上接觸部」)。總而言之，此電極915具有如圖9中所顯示的階梯狀輪廓。

【0059】 下部電極金屬完成之後，可將電極915完全隔離。然後再次可透過等向性選擇性蝕刻製程(例如，氣相蝕刻)移除SiO₂。底部金屬電極501部位上方所選擇性沉積之AlO的曝露介電膜701可選地可透過原子層蝕刻(ALE)或電漿蝕刻加以移除，或可保留。在此例示性流程中，為簡單起見，移除底部Co及Co/Al底部電極金屬501上方的AlO介電膜701。

【0060】 現在可移除首先形成之凹槽305中的填充材料401，以露出底部通道中最低「樓層」或「階梯」之底部處の間隙1001(見圖10)。一旦S/D金屬501完全曝露，則可在S/D金屬501的頂部上進行介電質的另一選擇性沉積製程，以隔離底部電極915。圖10顯示根據本揭露內容之實施例描繪下部電極之隔離的結構。如所見，結構1000包含介電材料的選擇性沉積物1003，以使(包含導線部903及「向上接觸部」結構905的)下部電極915與電極結構中的其他「樓層」或「階梯」隔離。

【0061】 後續的金屬連接部或「階梯」或通道樓層可按照與底部通道電極915類似的方式類型進行圖案化，且就所需之各個通道的數目視需要予以重複。例如，後續的製程步驟包含S/D金屬往S/D條狀區域中的沉積、及隨後之選擇性金屬下凹，以定義下一電極/金屬線的高度。這之後係介電膜或阻障層在第二S/D金屬通道上的選擇性沉積。其餘的空間可再次利用SiO填充，且可形成及圖案化第三蝕刻遮罩(例如圖案化成具有凹槽)，以定義用於當前電極/金屬線的「向上接觸部」。第二電極之頂部處的介電質可開放成露出S/D金屬，以將水平架部或階梯與垂直連接部電性連接。再次使用選擇性沉積，以在第二與下一(第三)位準或樓層的S/D電極之間形成介電阻障。

【0062】圖11顯示根據所揭露之實施例，形成第二電極後的例示性結構。如所見，中部電極1113係形成於下部電極915上，且係藉由介電質1003而與之隔離。如同下部電極915，中部電極1113包含導線部1103及向上接觸部1105。額外的介電質1115係設置於中部電極1113上。在此階段，Ti/TiN材料307係曝露於頂部電極的區域中。一旦中部S/D金屬通道上之介電質(例如，AlO)的選擇性沉積完成，則此第二金屬線提供用於下一階層金屬電極的樓層。

【0063】本電極產生技術可針對存在於給定元件或基板中之堆疊奈米線任何位準數目而持續進行。最終或上部電極(在此範例中，第三電極)可簡單地透過以下步驟定義：利用金屬填充中部電極之上開放的區域、並平坦化回金屬閘極上方之介電質的表面。因此，最終電極可具有栓塞的輪廓，而不是(具有水平架部及垂直部分之)階梯的輪廓。圖12顯示根據所揭露之實施例由此製程所產生的例示性結構。如所見，結構1200包括藉由介電結構1201而與中部電極1113及下部電極915隔離的電極栓塞1211。

【0064】因此，中部或第二電極1113係與底部電極915及頂部電極1211電性地且實體地分開，且每一S/D電極可透過所形成的「向上接觸」結構(其係嵌於電極結構內)而連接至MOL及BEOL金屬層。這提供針對每一奈米線(該每一奈米線係待連接至元件的任何終端)的機構，即使全部奈米線係實體地定位於彼此頂部上(垂直對準)亦然。因此，通往每一導線的存取係透過以下者而獨立進行：所謂之樓梯狀S/D條狀區域/區域、或組合電極(pieced-together electrode)的階梯狀堆疊。就此範例而言，僅三橫向奈米線係堆疊於彼此的頂部上。就通往更多奈米線(或者更確切地說，奈米線層)的連接而言，此製程係針對存在於給定設計中之堆疊導線的數目而重複。一旦需要形成最終電極，則利用金屬填充S/D條狀區域來完成S/D條狀區域電極係足夠的。

【0065】 S/D金屬上方選擇性沉積之介電膜1003及1115的尺寸可加以調變，以提供若干蝕刻選擇性，其在當利用如圖12中所示的S/D條狀區域電極製作通往各個通道的接觸部時達成自對準。

【0066】 因此，本文中的技術可用以形成MOL及BEOL金屬層，且轉接至產線前段(FEOL)中的S/D區域/條狀區域內，在此情形中具有足夠空間來容納擁擠狀態。使電極以樓梯形式堆疊於彼此的頂部上提供一配置，該配置達成了NFET及PFET導線堆疊於彼此頂部上的真正3D邏輯元件及互補式FET 3D邏輯，從而由於容許元件在彼此頂部上的堆疊而實現如此之元件的顯著區域縮放優勢。

【0067】 因此，針對三維元件製造可執行循環製程。在習知的單元中，P-MOS及N-MOS區域佔據晶片不同側上的大量基板空間。利用本文中的技術，奈米線實質上係折疊於彼此的頂部上。單元係向上生長，從而使晶片更高，以此取代製作較大的晶片。因此，本文中的技術提供顯著的區域縮放。

【0068】 在向上生長晶片的情形中存在金屬化挑戰性。習知的建議係從單元或晶片的側邊存取奈米線，但這實質上使單元水平生長且損失區域縮放的優勢。利用本文中的技術，全部的初始金屬接觸部係形成於S/D區域內，且係垂直地佈線。一些習知的NAND晶片利用樓梯狀接觸部配置，但其實質上係(針對所形成之階梯的數目而)水平延伸的單一樓梯，因此增加了晶片的尺寸。然而，利用本文中的技術，樓梯部分或階梯狀部分係形成於彼此的頂部上(幾乎相當於俄羅斯方塊(tetris puzzle))，使得初始金屬佈線係形成於單元的源極-汲極區域內，從而實現水平空間的節省。

【0069】 本文中的技術可用於具有兩位準之奈米線的元件，但當有三或更多位準/覆層之奈米線待連接時，本文中的技術變得顯然更有利。藉由執行若干沉積、完全等向性下凹蝕刻、及選擇性沉積，可形成階梯狀導線配置。

【0070】 在一些實施例中，相鄰的單元可共用連接部。例如，功率及汲極接觸部可共用，以及然後通往每一單元的各個位元仍為獨立的金屬線。因為不需要如此多的金屬線，故如此的技術提供進一步的縮放優勢。就一些類型的元件(如SRAM)而言，共用連接部係非常有利的。藉由能夠共用接觸部，單元尺寸可相對於單獨(非共用)接觸部所需的單元尺寸而減半。藉由將複數區域折疊於彼此之上，晶片尺寸可有50%的減小，且然後藉由共用接觸部，可又有約50%的減小。因此，在相同元件密度的情況下，本文中的技術可將晶片尺寸減小約75%。例示性優勢舉例如下，利用本文中的技術可在4個DRAM單元所需的區域內容下9個SRAM單元。

【0071】 亦注意到，本文中的技術亦可等同地適用於閘極配置。因此，亦可執行閘極內的選擇性沉積製程。結果係能夠形成通往相鄰或各個位元線的線接觸部。

【0072】 在以下申請專利範圍中，任何的依附限制可依附於獨立請求項的任何者。

【0073】 在前述說明內容中，已提出如處理系統之特定幾何結構、及其中所用諸多元件及製程之說明的特定細節。然而，吾人應理解，本文中之技術可在背離該等特定細節的其他實施例中實施、以及如此之細節係用於解釋且非限制的目的。本文中所揭露之實施例已參照隨附圖式加以描述。類似地，針對解釋的目的，已提出特定的數目、材料、及配置，以提供透徹的理解。然而，實施例可在沒有如此之特定細節的情形中實施。具有實質上相同功能性結構的元件係以相似參考符號表示，且由此可省略任何重複的描述。

【0074】 各種不同的技術已描述為複數的分離操作，以幫助理解各種不同的實施例。描述的順序不應被視為暗示該等操作必須順序相依。實際上，該等操作

作不必以所呈現之順序執行。所描述之操作可按照不同於所述實施例的順序執行。在額外的實施例中，可執行諸多額外的操作、且/或可省略所述操作。

【0075】 依據本發明，本文中所使用之「基板」一般是指受處理的物體。基板可包含元件(特別是半導體或其他電子元件)的任何材料部分或結構，且舉例而言，可為基礎基板結構，如半導體晶圓、倍縮遮罩、或基礎基板結構上或覆蓋該基礎基板結構的覆層(如薄膜)。因此，基板不受限於任何特定的基礎結構、下方層或上方層、圖案化或非圖案化，反而基板被認為包含任何的如此之覆層或基礎結構、以及覆層及/或基礎結構的任何組合。描述內容可參照特定類型的基板，但其僅為說明性的目的。

【0076】 熟習該領域技術者亦將理解，針對以上所解釋之技術的操作可作出諸多不同變化，而仍達成本發明之同樣的目標。如此之變化意在涵蓋於本揭露內容的範疇中。因此，本發明之實施例的前述內容不意圖為限制性。反而，對於本發明之實施例的任何限制係呈現於以下申請專利範圍中。

【符號說明】

【0077】

101	PFET導線/PFET
103	NFET導線/NFET
105	S/D金屬填充材料
107	斜剖面線/介電阻障
109	線
111	最終導線電極
113	中部電極/導線/第二階梯
115	電極/階梯
121	線

123	延伸部
125	接觸部
200	結構
201	基板
203	虛線/單元區域/單元
205	結構/堆疊/佔位部位置
205'	佔位部位置
207	閘極區域/閘極
207a	閘極區域/閘極
207b	閘極區域/閘極
209	閘極間隔件
209'	閘極區域
211	S/D磊晶區域/導線/奈米線
213	S/D磊晶區域/導線/奈米線/磊晶
215	S/D磊晶區域/導線/奈米線/磊晶/PFET
220	填充物/填充材料/SiO
220'	SiO填充物
250	淺凹槽隔離區域
300	結構
301	圖案化硬遮罩
303	開口
305	凹槽
307	襯墊/材料
400	結構

401	填充材料/填充物
401'	填充物
500	結構
501	金屬/金屬填充物/電極
501'	金屬填充物
600	結構
601	電極部/通道
700	結構
701	材料/襯墊/膜/介電質
800	結構
801	蝕刻遮罩
803	開口
805	凹槽
805'	凹槽區域
900	結構
901	金屬
903	水平部位
905	垂直部位
915	電極
1000	結構
1001	間隙
1003	沉積物/介電質/介電膜
1100	結構
1105	向上接觸部

1113	電極
1115	介電質/介電膜
1200	結構
1201	介電結構
1211	電極栓塞/電極

【發明申請專利範圍】

【第1項】 一種三維(3-D)積體電路(IC)，包含：

一基板，其具有一基板表面；

一第一半導體元件，其包含一第一電接觸部，且係在一第一平面上形成於該表面的一第一區域中，該第一平面係實質上平行於該基板表面半導體元件；

一第二半導體元件，其包含一第二電接觸部，且係在一第二平面上形成於該表面的一第二區域中，該第二平面係實質上平行於該表面，且在實質上垂直於該基板表面的一方向上與該第一平面垂直隔離；以及

一第一電極結構，其包含：

相對的頂部及底部表面，其實質上平行於該基板表面；

一側壁，其連接該頂部及底部表面，使得該電極結構形成一三維的電極空間；

導電填充材料，其係設置於該電極空間中；

一介電層，其將該導電填充材料電性分隔成：電性連接至該第一半導體元件之該第一接觸部的一第一電極、及電性連接至該第二半導體元件且與該第一電極電性絕緣的一第二電極；以及

一第一電路終端，其從該電極結構的該頂部或底部表面垂直延伸，且係電性連接至該第一電極。

【第2項】 如申請專利範圍第1項之3-D IC，其中該第一及第二半導體元件分別包含一第一場效應電晶體(FET)及一第二FET，該3-D IC更包含一第三FET，該第三FET具有一第三電接觸部，且係在一第三平面上形成於該表面的一第三區域中，該第三平面係實質上平行於該表面，且係與該第一及第二平面垂直隔離。

【第3項】如申請專利範圍第2項之3-D IC，其中每一FET包含在沿著該基板表面的一方向上延伸的一閘極區域、及設置於該閘極區域之相反末端處的一對源極-汲極區域，各FET之該閘極區域及源極-汲極區域此彼此垂直地對準，以形成一第一堆疊FET結構。

【第4項】如申請專利範圍第3項之3-D IC，其中：

該電極結構更包含另一介電層，其將該導電填充材料分隔成一第三電極，該第三電極係電性連接至該第三FET的該第三接觸部，且係與該第一及第二電極電性絕緣，且

該3-D IC更包含一第二電路終端及一第三電路終端，其各自從該電極結構的該頂部或底部表面垂直延伸，且係分別地電性連接至該第二及第三電極。

【第5項】如申請專利範圍第4項之3-D IC，更包含：

一第二堆疊FET結構，其包含與該第一堆疊FET結構之該第一、第二、及第三FET配置相同的第四、第五、及第六FET；以及

一第二電極結構，其包含與該第一電極結構的該第一、第二、及第三電極配置相同且耦接至該第二堆疊FET結構的第四、第五、及第六電極，其中該第一及第二堆疊FET結構係透過該第一及第二電極結構電性連接，以形成六-電晶體SRAM記憶體單元。

【第6項】如申請專利範圍第5項之3-D IC，

其中該第一電極結構的該第一、第二、及第三終端提供針對SRAM單元的一VDD功率終端、一VSS功率終端、及一位元終端，且

該第二電極結構的至少一終端提供針對該SRAM單元的一非位元終端 (bit NOT terminal)。

【第7項】如申請專利範圍第4項之3-D IC，更包含：

一第二堆疊FET結構，其包含與該第一堆疊FET結構之該第一、第二、及第三FET配置相同的第四、第五、及第六FET；以及

一第二電極結構，其包含與該第一電極結構的該第一、第二、及第三電極配置相同且耦接至該第二堆疊FET結構的第四、第五、及第六電極，其中該第一及第二堆疊FET結構相鄰地定位於該基板上，且形成不同SRAM單元的部分。

【第8項】如申請專利範圍第6項之3-D IC，其中FET的每一者係一鰭式FET、一多閘極FET、或一單奈米線FET。

【第9項】如申請專利範圍第7項之3-D IC，其中FET的每一者係一單奈米線FET。

【第10項】一種半導體元件，包含：

一第一奈米線層；

一第二奈米線層，其定位於該第一奈米線層之上；

一第三奈米線層，其定位於該第二奈米線層之上，其中該第一奈米線層、該第二奈米線層、及該第三奈米線層包含定位於一半導體元件之一源極-汲極區域內的奈米線部分；

一第一電極，其連接該第一奈米線層且係經由該源極-汲極區域佈線至該源極-汲極區域上方的一第一位置；

一第二電極，其連接該第二奈米線層且係經由該源極-汲極區域佈線至該源極-汲極區域上方的一第二位置；

一第三電極，其連接該第三奈米線層且係經由該源極-汲極區域佈線至該源極-汲極區域上方的一第三位置；

其中一第一接觸部結構係階梯狀，且一第二接觸部結構的一部分係定位於一下方電極結構的一水平表面之上。

【第11項】如申請專利範圍第10項之半導體元件，其中的奈米線包含彼此之上的互補式半導體材料。

【第12項】一種形成半導體元件的方法，該方法包含：

提供一基板，該基板定義一初始連接部區域，該基板具有定位於該初始連接部區域內的至少三奈米線，該等奈米線係裸露的，該等奈米線具有在一水平方向上延伸的一縱軸，該等奈米線係定位於一垂直堆疊中且彼此隔開，該等奈米線包含一第一奈米線、一第二奈米線、及一第三奈米線，該第二奈米線係定位於該第一奈米線之上，且該第三奈米線係定位於該第二奈米線之上；

形成一第一電極，其覆蓋該第一奈米線且垂直地延伸至該初始連接部區域的頂部，該第一電極具有一階梯狀橫剖面；

形成一第二電極，其覆蓋該第二奈米線且垂直地延伸至該初始連接部區域的頂部；以及

形成一第三電極，其覆蓋該第三奈米線且垂直地延伸至該初始連接部區域的頂部。

【第13項】如申請專利範圍第12項之形成半導體元件的方法，其中該第一電極、該第二電極、及該第三電極係彼此電性絕緣。

【第14項】如申請專利範圍第12項之形成半導體元件的方法，更包含藉由一介電質的選擇性沉積而使每一電極電性絕緣，該介電質選擇性地附著至一給定電極的材料，而不附著至奈米線材料。

【第15項】如申請專利範圍第12項之形成半導體元件的方法，其中該初始連接部區域係一電晶體元件的一源極-汲極條狀區域。

【第16項】如申請專利範圍第12項之形成半導體元件的方法，其中該初始連接部區域係一電晶體元件的一閘極區域。

【第17項】 如申請專利範圍第12項之形成半導體元件的方法，其中一些單元的導線共用一相同電極。

【第18項】 如申請專利範圍第12項之形成半導體元件的方法，其中階梯狀電極係定位於一對應單元內或該S/D條狀區域內。

【第19項】 如申請專利範圍第12項之形成半導體元件的方法，利用選擇性沉積在S/D區域內的複數電極之間製作隔離阻障。

【第20項】 如申請專利範圍第12項之形成半導體元件的方法，其中下凹蝕刻係等向性的。

【發明圖式】

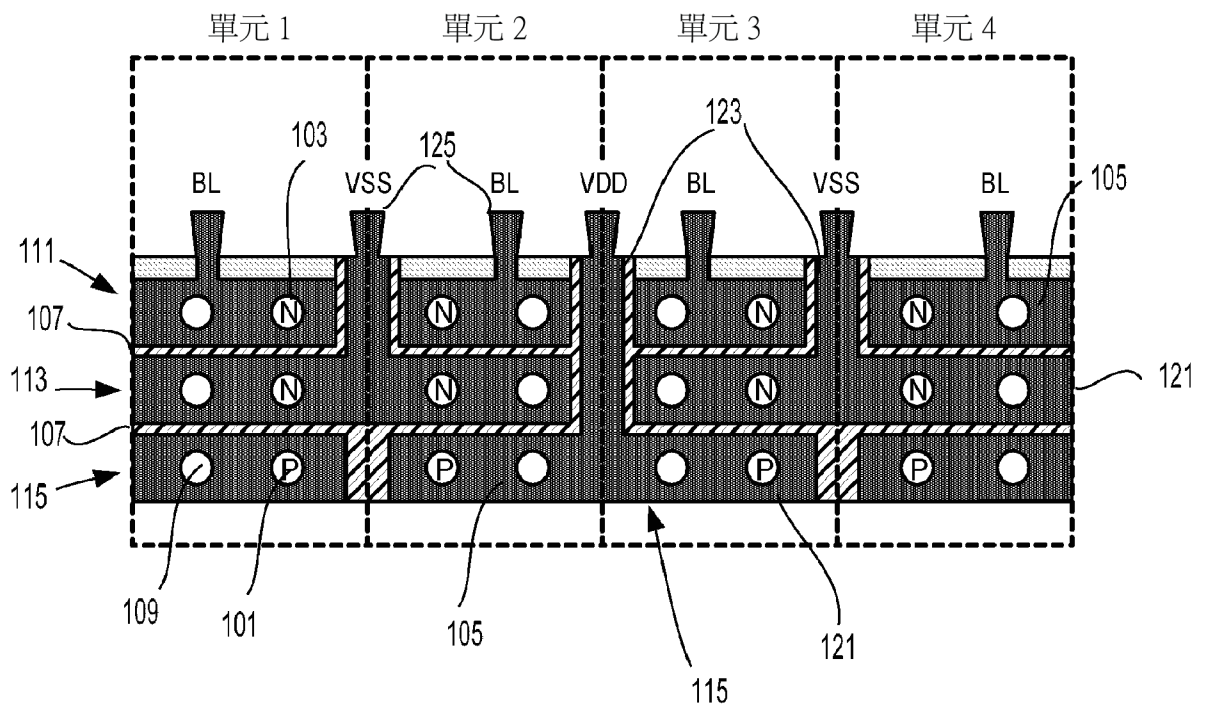


圖 1

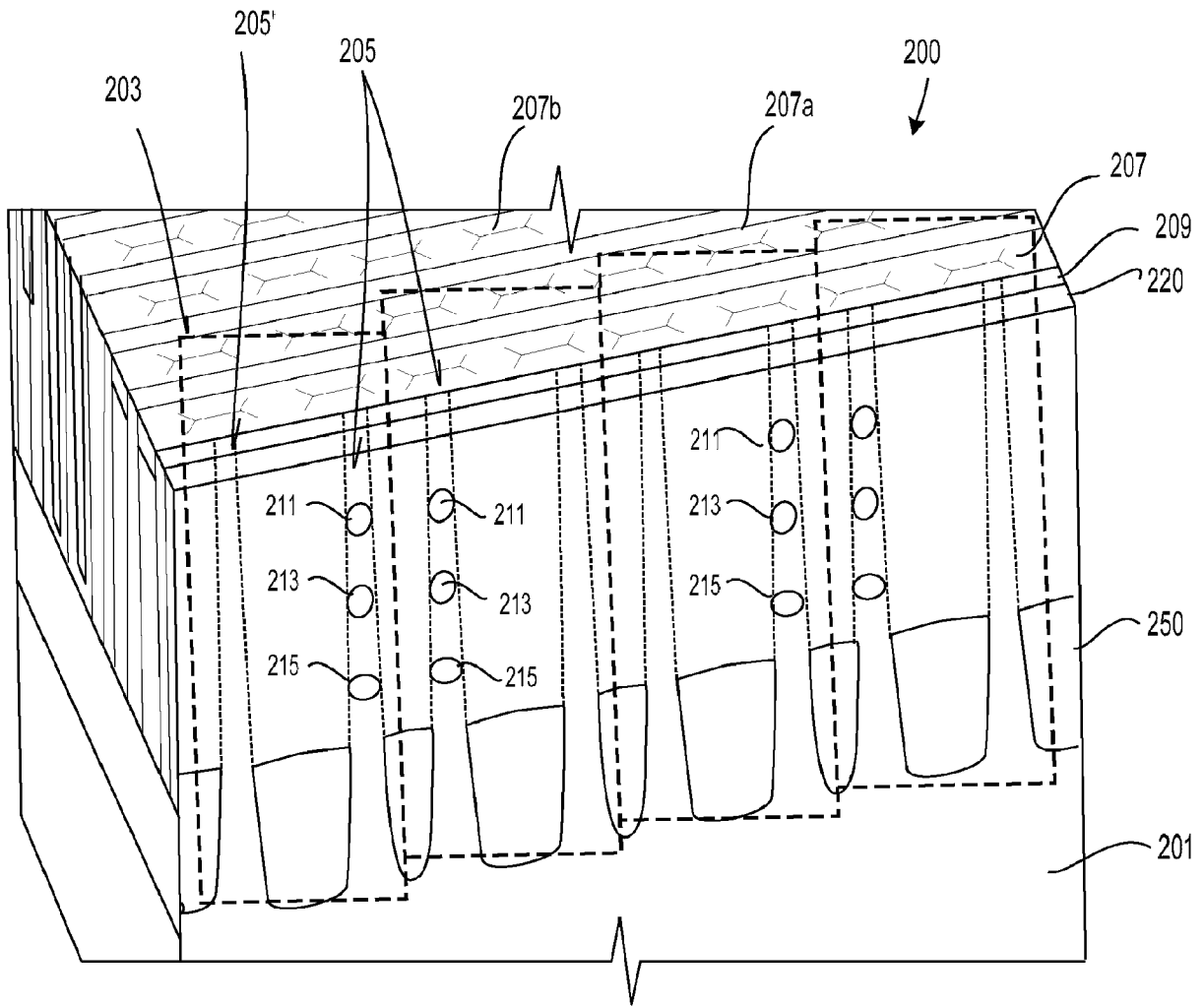


圖 2

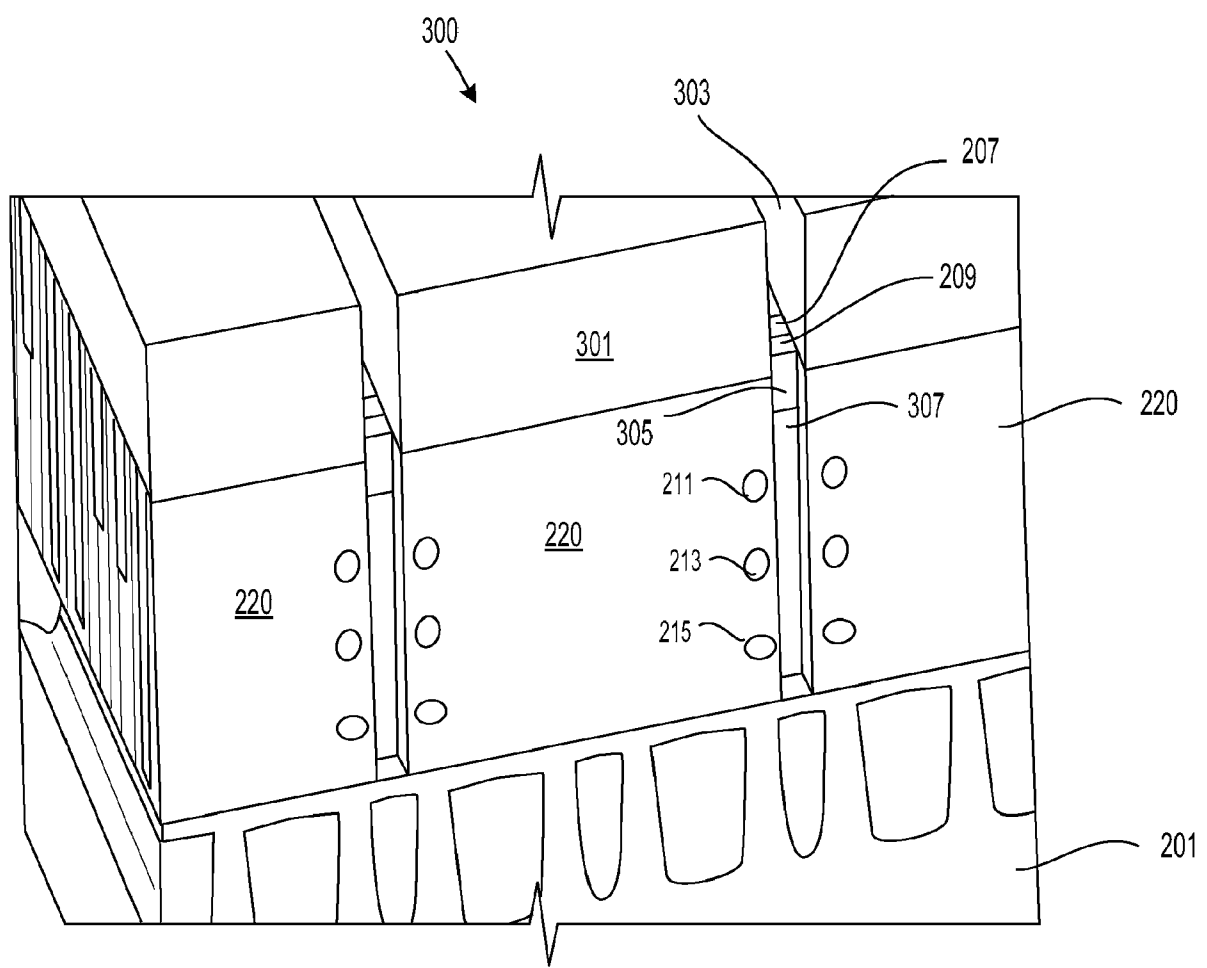


圖 3

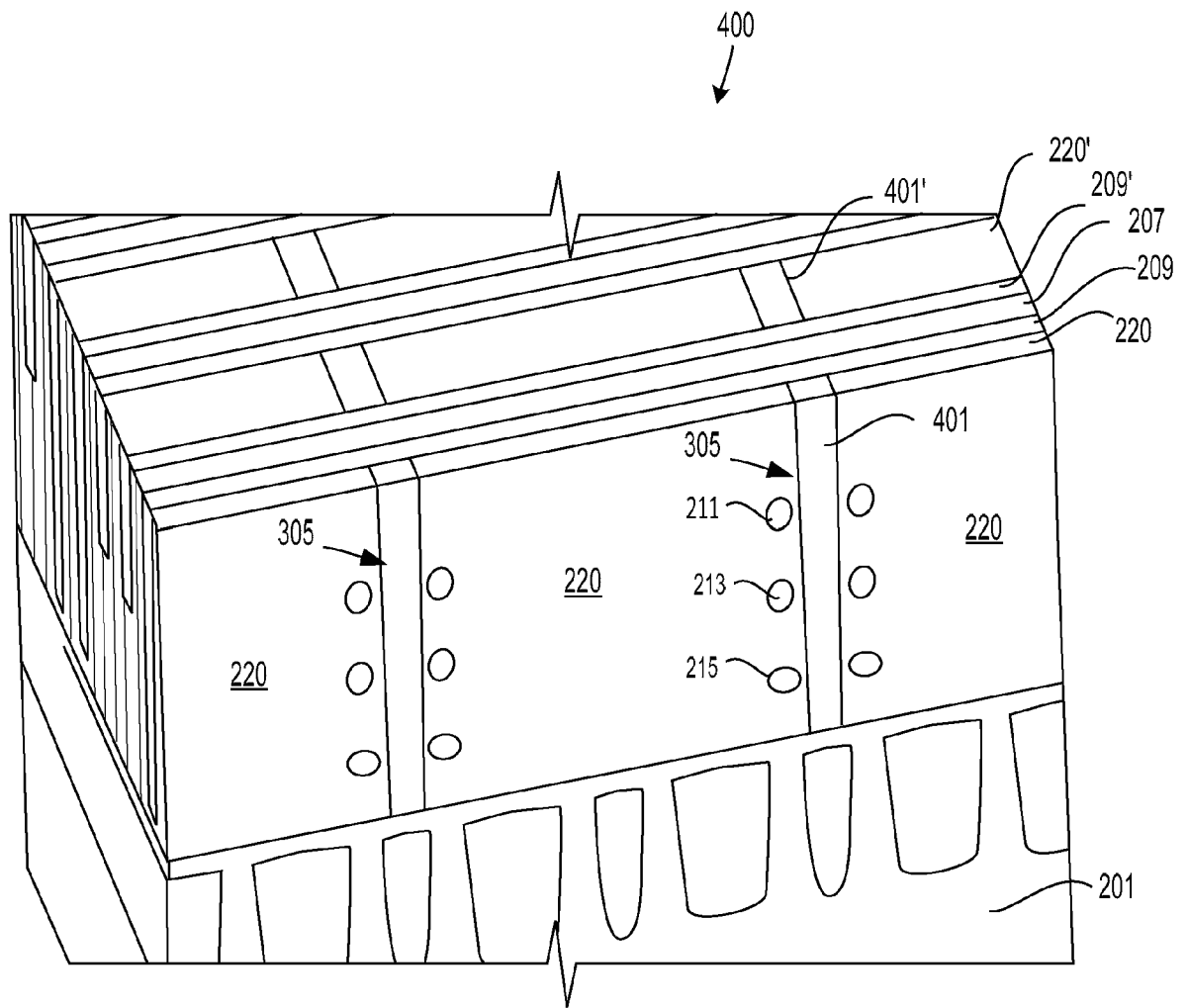


圖 4

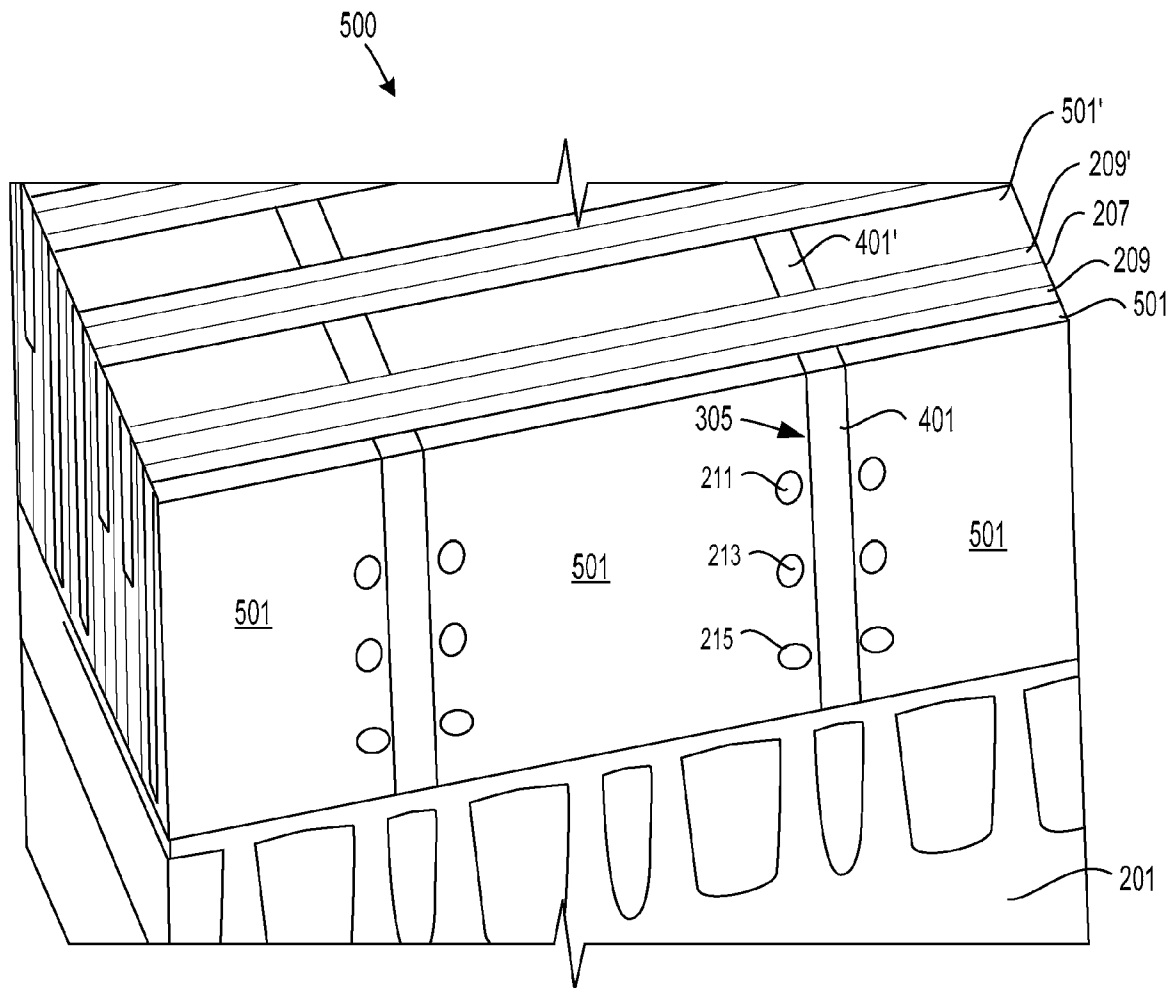


圖 5

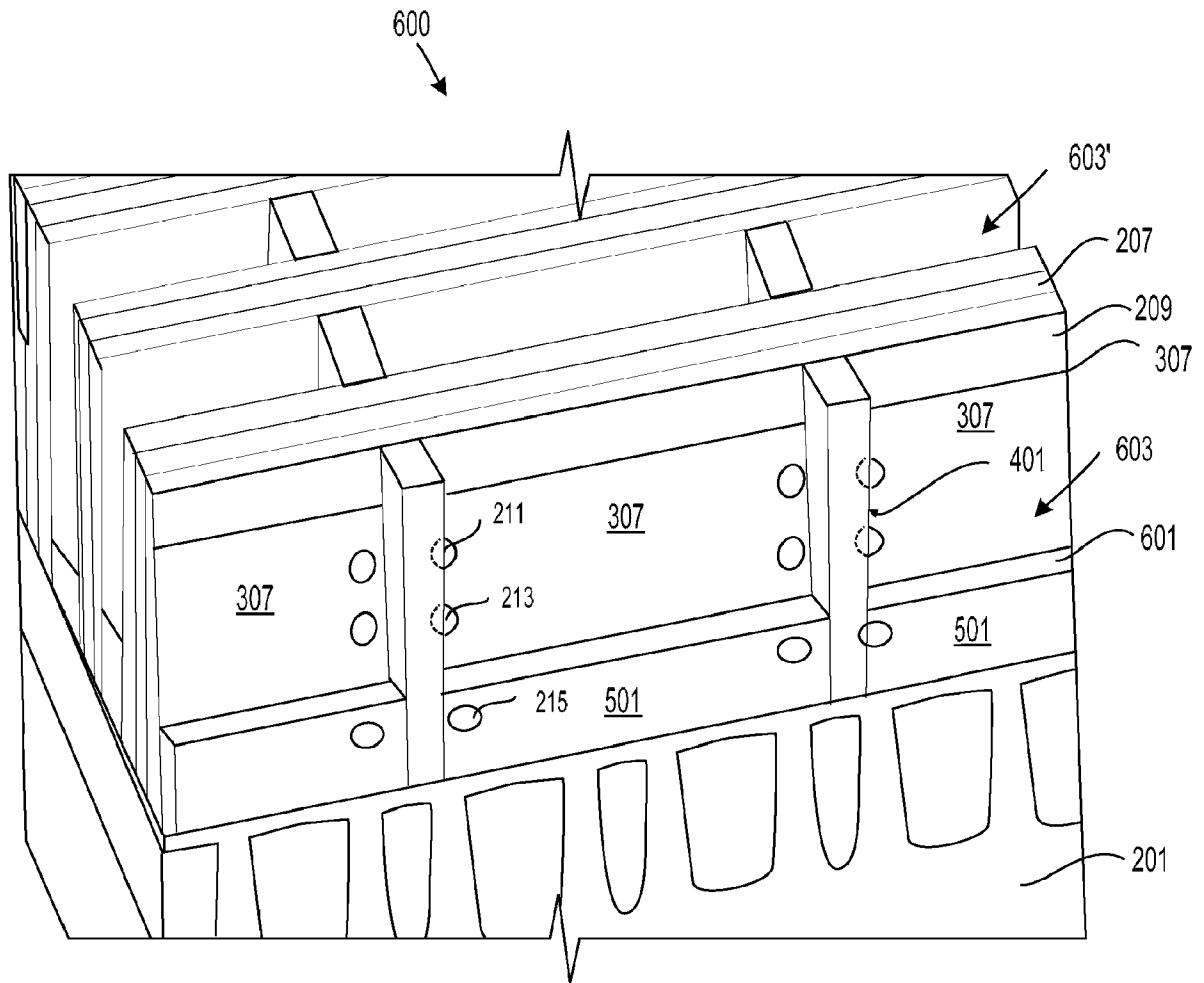


圖 6

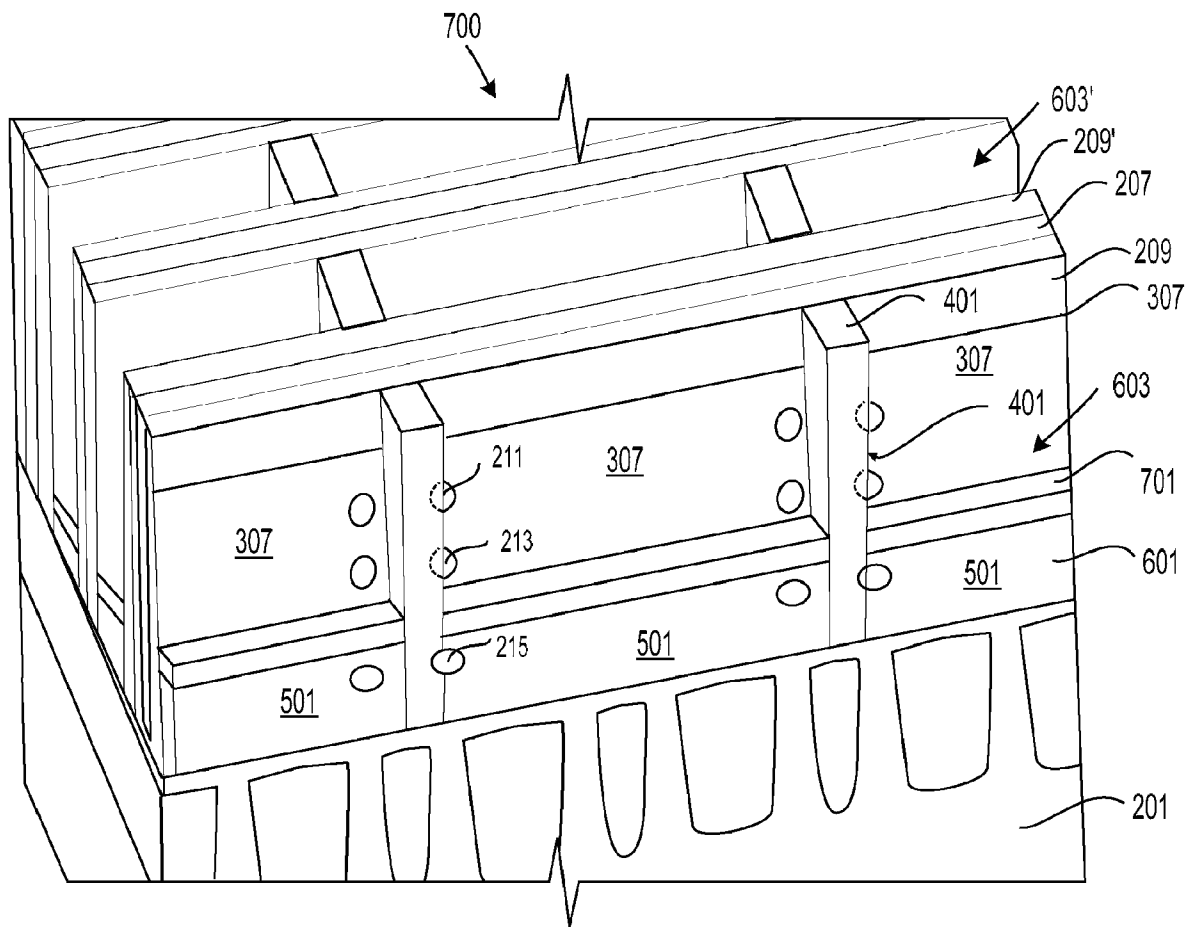


圖 7

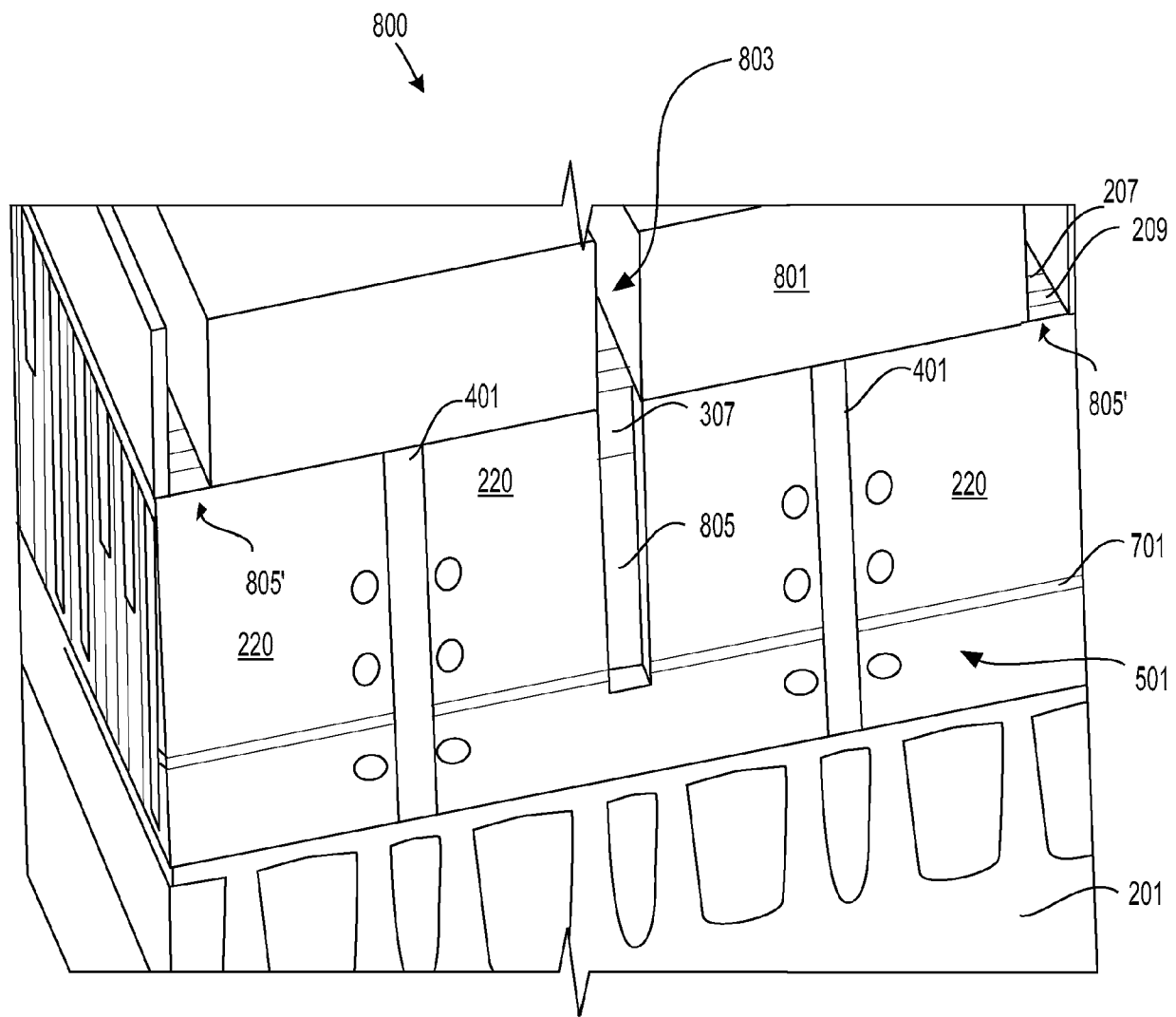


圖 8

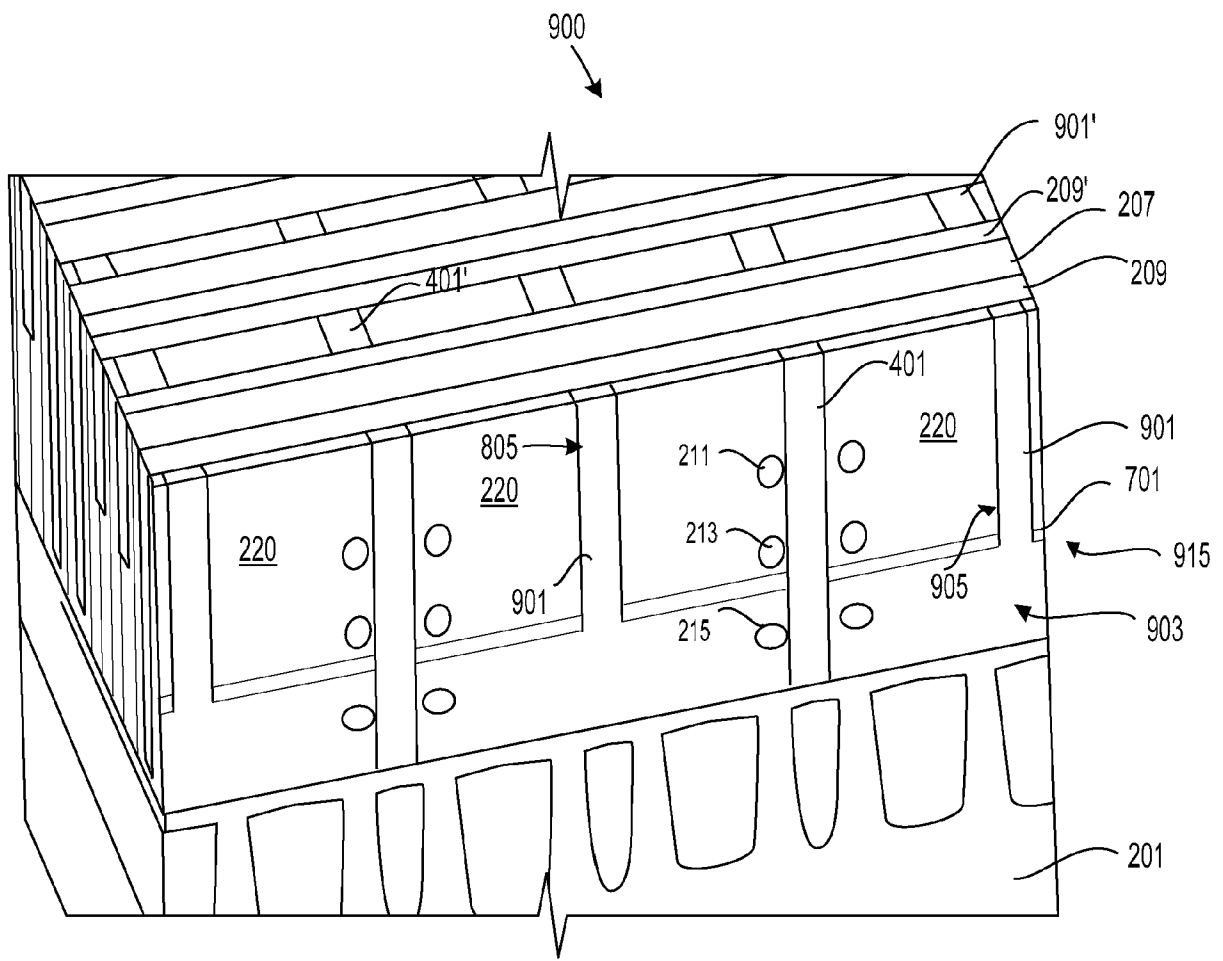


圖 9

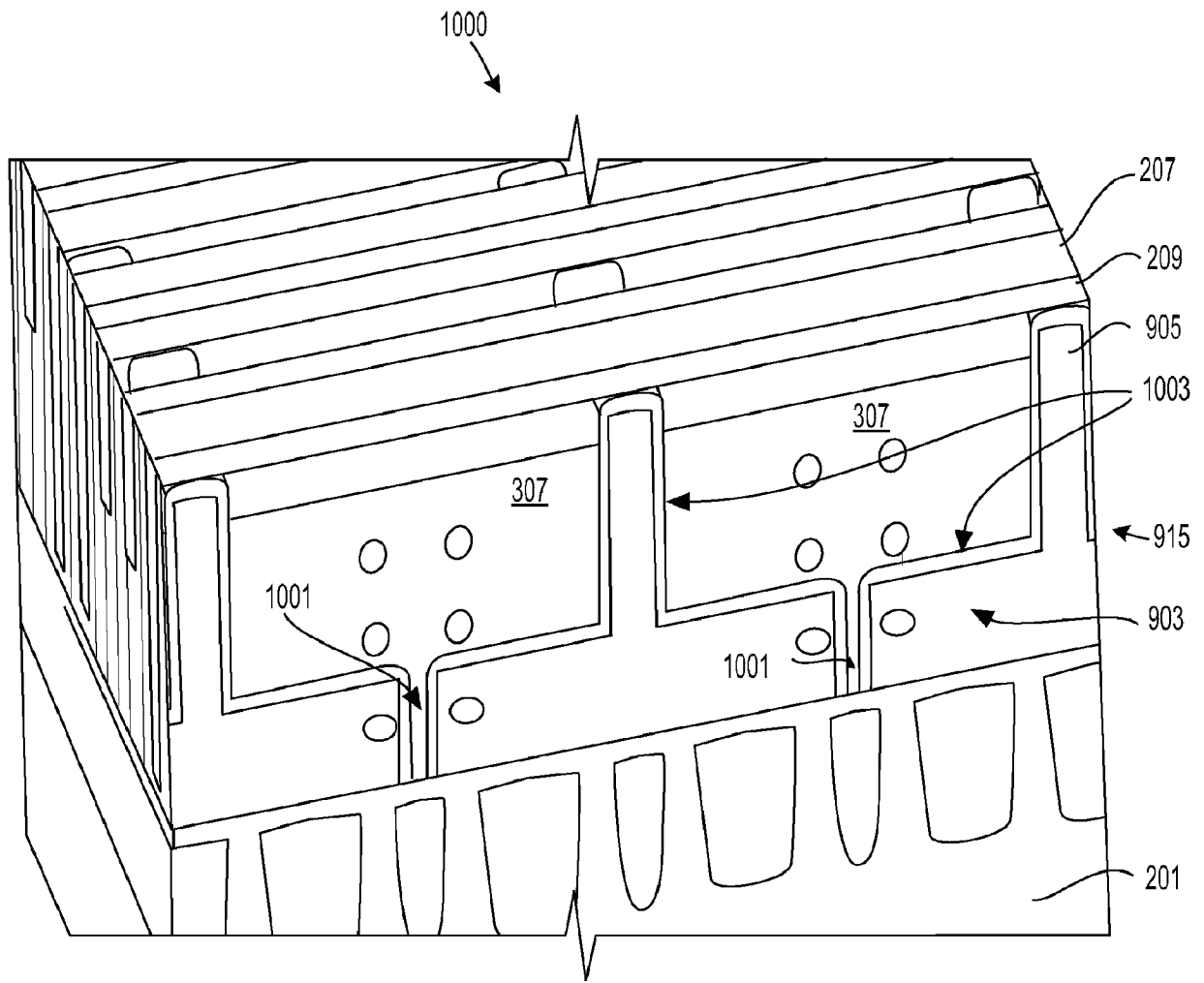


圖 10

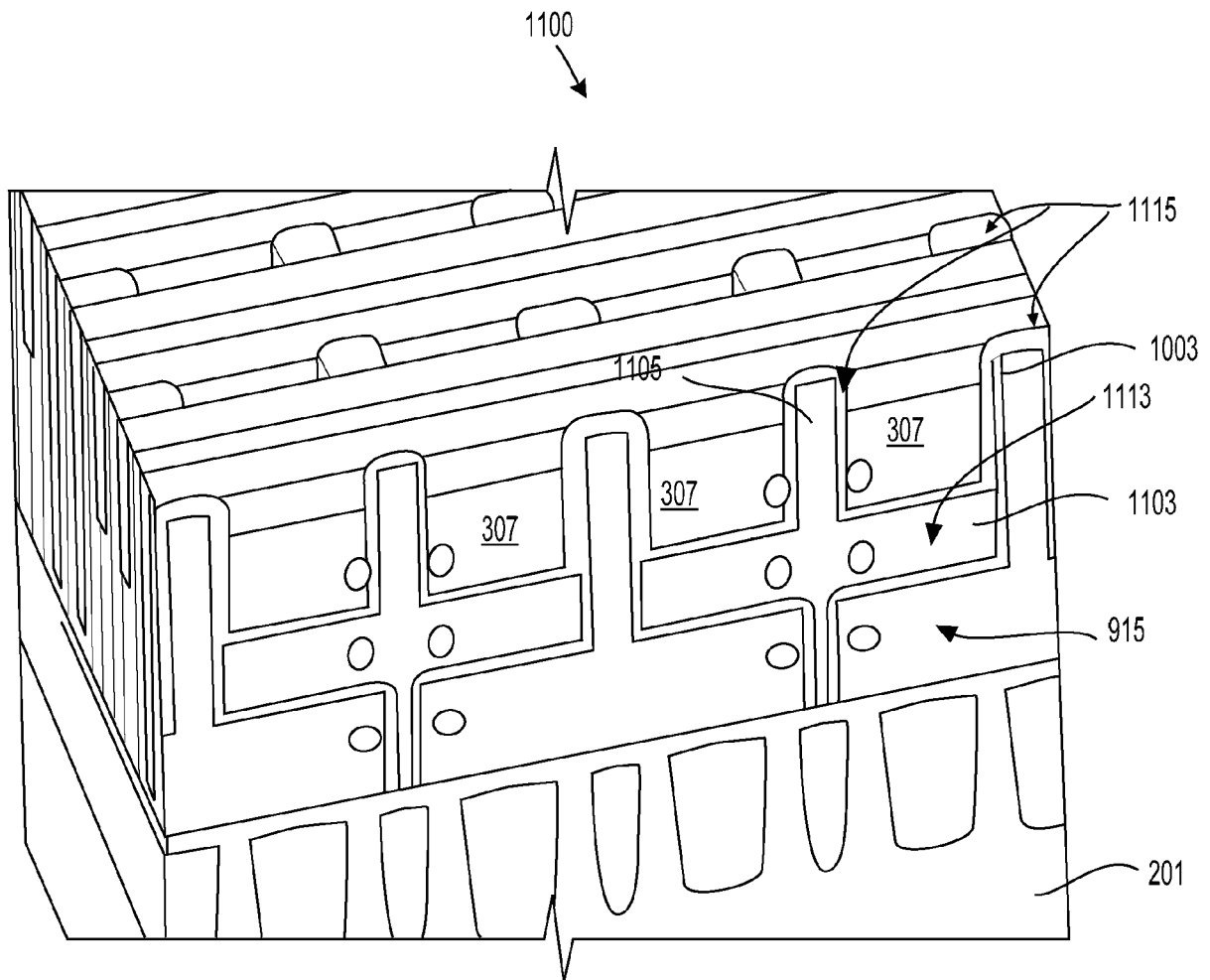


圖 11

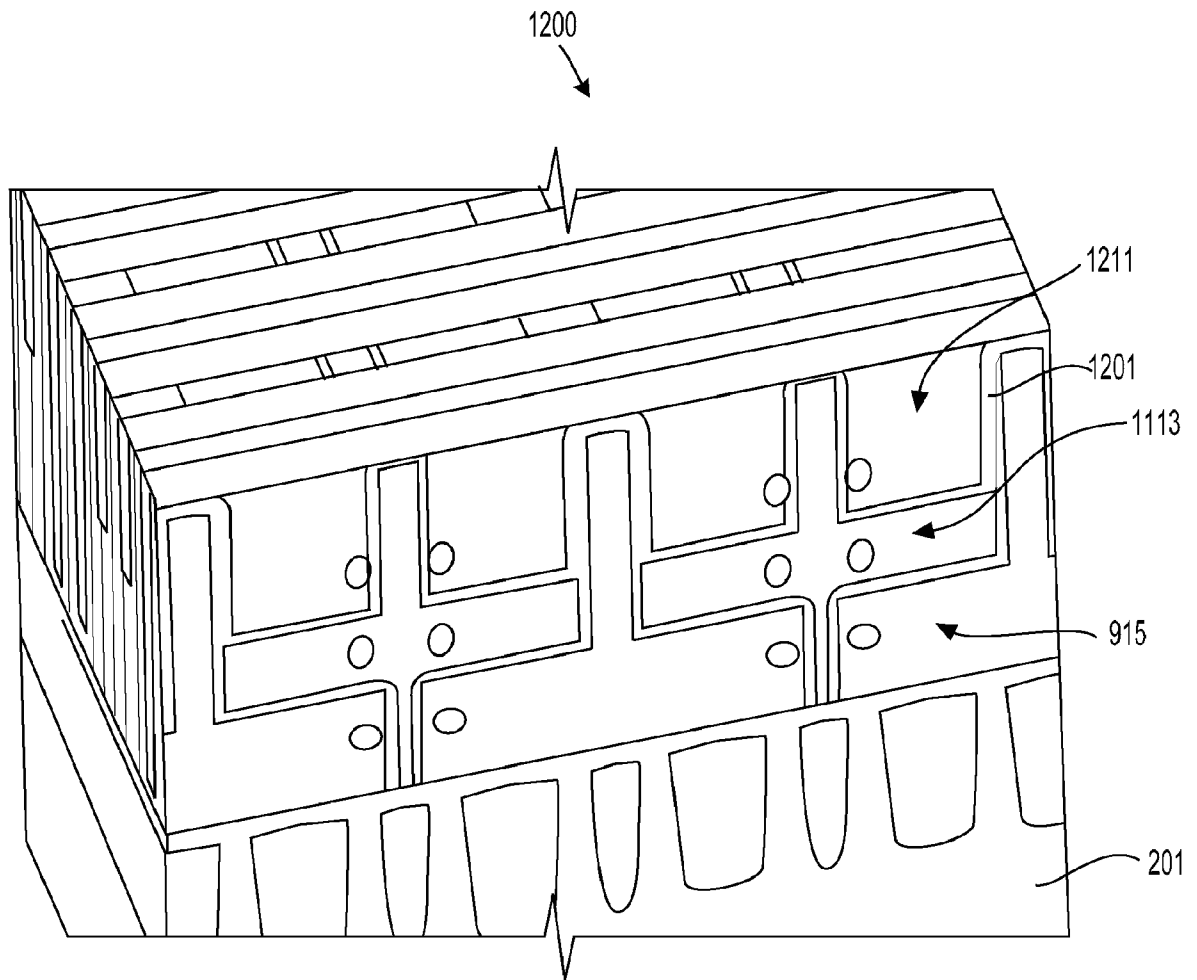


圖 12