



(19)
 Bundesrepublik Deutschland
 Deutsches Patent- und Markenamt

(10) **DE 10 2006 035 650 A1** 2008.01.31

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2006 035 650.0**

(22) Anmeldetag: **31.07.2006**

(43) Offenlegungstag: **31.01.2008**

(51) Int Cl.⁸: **H01L 21/8247 (2006.01)**

(30) Unionspriorität:
11/483,968 10.07.2006 US

(71) Anmelder:
Qimonda AG, 81739 München, DE

(74) Vertreter:
Viering, Jentschura & Partner, 81675 München

(72) Erfinder:
Willer, Josef, 85521 Riemerling, DE; Nagel, Nicolas, 01109 Dresden, DE

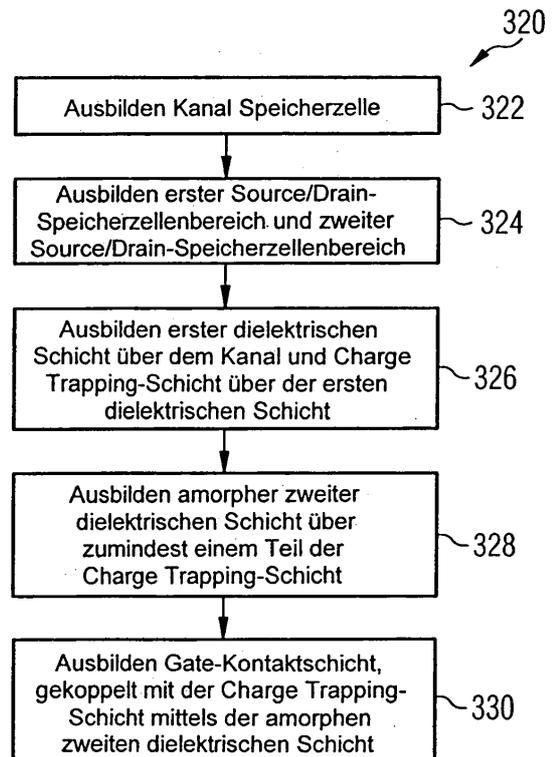
(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:
US 70 05 355 B2
US 66 86 242 B2
US2006/01 24 991 A1
US2002/00 20 890 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Verfahren zum Herstellen mindestens einer Halbleiterkomponente und Speicherzellen**

(57) Zusammenfassung: Bei einem Verfahren zum Herstellen mindestens einer NAND-gekoppelten Halbleiterkomponente wird eine Schichtstruktur auf oder über einem Halbleitersubstrat ausgebildet und die Schichtstruktur wird strukturiert, so dass mindestens ein zu dotierender Bereich freigelegt wird. Der freigelegte zumindest eine zu dotierende Bereich wird dotiert und der dotierte Bereich wird erhitzt. Die strukturierte Schichtstruktur wird zumindest teilweise entfernt und es wird Austauschmaterial in dem Bereich, in dem die strukturierte Schichtstruktur entfernt worden ist, ausgebildet, womit die zumindest eine NAND-gekoppelte Halbleiterkomponente ausgebildet wird.



Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zum Herstellen mindestens einer Halbleiterkomponente und Speicherzellen.

[0002] In einem herkömmlichen Verfahren zum Herstellen einer nicht-flüchtigen NAND Speicherzellenanordnung wird auf oder über einem Substrat ein Gate-Stapel gebildet. Der Gate-Stapel weist üblicherweise eine Oxidschicht, einen Ladungsspeicherbereich, beispielsweise eine Floating Gate-Schicht oder eine Charge Trapping-Schichtstruktur, auf oder über der Oxidschicht, sowie einen Gate-Bereich auf oder über dem Ladungsspeicherbereich, auf.

[0003] In dem Fall einer Floating Gate-Speicherzellenanordnung ist üblicherweise eine dielektrische Schichtstruktur auf oder über der Floating Gate-Schicht vorgesehen (üblicherweise hergestellt aus Polysilizium), wobei die dielektrische Schichtstruktur als ein Gate-Koppeldielektrikum dient. Der Gate-Bereich (in dem Fall einer Floating Gate-Speicherzellenanordnung ein so genannter Steuergate-Bereich) weist üblicherweise eine oder mehrere Polysilizium-Schichten auf, die mit einer Wortleitung verbunden sind.

[0004] In dem Fall einer Charge Trapping-Speicherzellenanordnung ist üblicherweise eine Oxid-Nitrid-Oxid-Schichtstruktur auf oder über dem Substrat vorgesehen, wobei die Oxid-Nitrid-Oxid-Schichtstruktur verwendet wird zum Einfangen elektrischer Ladungsträger. Ein Gate-Bereich mit einer oder mehreren Polysiliziumschichten ist üblicherweise auf oder über der Oxid-Nitrid-Oxid-Schichtstruktur vorgesehen. Der Gate-Bereich ist üblicherweise ebenfalls mit einer Wortleitung verbunden.

[0005] In beiden Fällen ist das verwendete Metall für die Wortleitung üblicherweise ein hochschmelzendes Metall wie beispielsweise Wolfram (W) oder Wolfram-Silizid (WSi) In herkömmlichen Verfahren zum Herstellen der Zellen wird der Gate-Stapel strukturiert und dann wird eine selbstjustierte Implantation von Dotieratomen in das Substrat durchgeführt unter Verwendung des strukturierten Gate-Stapels als Maske. Nachfolgend werden die implantierten Dotieratome aktiviert, womit die Source/Drain-Bereiche gebildet werden. Das Aktivieren wird durchgeführt unter Verwendung eines Hochtemperatur-Temperatur-Schritts bei einer Temperatur von ungefähr 1050 °C für ungefähr 10 Sekunden.

[0006] In einer Ausführungsform der Erfindung wird ein Verfahren zum Herstellen mindestens einer Halbleiterkomponente bereitgestellt, welches aufweist: Bilden einer Schichtstruktur auf oder über einem Halbleitersubstrat, Strukturieren der Schichtstruktur,

womit zumindest ein zu dotierender Bereich freigelegt wird, Dotieren des freigelegten mindestens einen zu dotierenden Bereichs, Erhitzen des dotierten Bereichs, zumindest teilweises Entfernen der strukturierten Schichtstruktur, und Bilden von Austauschmaterial in dem Bereich, in dem die strukturierte Schichtstruktur entfernt worden ist, womit zumindest eine NAND-gekoppelte Halbleiterkomponente gebildet wird.

[0007] Gemäß einem Ausführungsbeispiel der Erfindung weist das Bilden der Schichtstruktur auf oder über dem Halbleitersubstrat auf ein Bilden einer Gate-Isolationsschicht auf oder über dem Substrat. In anderen Worten wird gemäß dieser Ausführungsform eine Gate-Isolationsschicht, beispielsweise hergestellt aus einem Oxid, beispielsweise hergestellt aus Siliziumoxid, auf oder über der Hauptprozessierungsfläche des Substrats abgeschieden.

[0008] Gemäß einer anderen Weiterbildung der Erfindung weist das Bilden der Schichtstruktur auf oder über dem Halbleitersubstrat auf ein Bilden einer Gate-Schicht auf oder über der Gate-Isolationsschicht.

[0009] In einer anderen Ausführungsform der Erfindung weist das Bilden der Schichtstruktur auf oder über dem Halbleitersubstrat auf ein Ausbilden einer Hilfsmaskenschicht auf oder über der Gate-Schicht. Die Hilfsmaskenschicht kann aus einem Material hergestellt werden, welches ausgewählt ist aus einer Gruppe von Materialien bestehend aus Siliziumoxid, Siliziumnitrid und Kohlenstoff. Jedoch kann in alternativen Ausführungsformen der Erfindung jedes andere geeignete Material für die Hilfsmaske verwendet werden, beispielsweise eine so genannte Hartmaske.

[0010] Gemäß einer Ausgestaltung der Erfindung kann eine zusätzliche Maskenschicht auf oder über der Hilfsmaskenschicht ausgebildet werden. Die zusätzliche Maskenschicht kann eine Photoresist-Schicht sein. Es kann sowohl positives Photoresist-Material verwendet werden (die Bereiche des Photoresist-Materials, die mit Licht belichtet werden, werden mittels eines Entwicklers entfernt und die unbelichteten Bereiche des Photoresist-Materials verbleiben auf oder über der Hilfsmaskenschicht) wie auch negatives Photoresist-Material (die Bereiche des Photoresist-Materials, die mit Licht belichtet werden, verbleiben auf oder über der Hilfsmaskenschicht und die nicht belichteten Bereiche des Photoresist-Materials werden mittels eines Entwicklers entfernt).

[0011] In einer Weiterbildung der Erfindung weist das Strukturieren der Schichtstruktur ein Freilegen von mindestens zwei zu dotierenden Bereichen auf.

[0012] Wenn die mindestens zwei zu dotierenden Bereiche dotiert werden, können ein erster Source/Drain-Bereich und ein zweiter Source/Drain-Bereich gebildet werden. Der erste Source/Drain-Bereich und der zweite Source/Drain-Bereich können Teile eines zu bildenden jeweiligen Feldeffekttransistors (FET) sein, wobei der Feldeffekttransistor als ein nicht-flüchtiger Speicherzellen-Feldeffekttransistor ausgebildet sein kann.

[0013] Das Erhitzen, beispielsweise Tempern, des dotierten Bereichs kann aufweisen ein Aktivieren des dotierten Bereichs. Der Erhitzungs-Prozess kann ausgeführt werden bei einer Temperatur von mindestens 800 °C, beispielsweise bei einer Temperatur von mindestens 900 °C, beispielsweise bei einer Temperatur von mindestens 1000 °C.

[0014] Gemäß einer Ausgestaltung der Erfindung wird eine Mehrzahl von Halbleiterkomponenten hergestellt, beispielsweise Tausende oder Millionen von Halbleiterkomponenten oder sogar mehr.

[0015] In einer anderen Ausführungsform der Erfindung werden Gräben in der strukturierten Schichtstruktur über den mindestens zwei dotierten Bereichen zumindest teilweise mit einem Füllmaterial gefüllt. Ferner wird die strukturierte Schichtstruktur zumindest teilweise entfernt unter Verwendung des Füllmaterials als eine Maske. Dies ermöglicht ein selbstjustiertes Entfernen, beispielsweise Ätzen, der strukturierten Schichtstruktur, wobei die strukturierte Schichtstruktur vollständig oder teilweise entfernt werden kann, wie es gemäß dem benötigten Prozessschema gewünscht ist. Als Füllmaterial kann beispielsweise ein Oxid verwendet werden.

[0016] Ferner kann das zumindest teilweise Entfernen der strukturierten Schichtstruktur aufweisen ein Entfernen der Hilfsmaskenschicht. In anderen Worten wird in dieser Ausführungsform der Erfindung die Hilfsmaskenschicht entfernt, so dass in diesem Fall die darunter liegende strukturierte Gate-Schicht freigelegt wird.

[0017] In einer anderen Ausführungsform der Erfindung weist das zumindest teilweise Entfernen der strukturierten Schichtstruktur ein Entfernen der Gate-Schicht auf. In anderen Worten wird gemäß dieser Ausführungsform der Erfindung zusätzlich die strukturierte Gate-Schicht teilweise oder vollständig entfernt.

[0018] Gemäß einer anderen Ausgestaltung der Erfindung weist das Substrat einen ersten Substratbereich und einen zweiten Substratbereich auf. Der erste Substratbereich ist vorgesehen zum Herstellen von Auswahl-Halbleiterkomponenten und der zweite Substratbereich ist vorgesehen zum Herstellen von Speicher-Halbleiterkomponenten.

[0019] In dieser Ausführungsform kann das zumindest teilweise Entfernen der strukturierten Schichtstruktur nur in dem zweiten Substratbereich durchgeführt werden. Dies bedeutet, dass das Entfernen der strukturierten Hilfsmaskenschicht und optional ferner der strukturierten Gate-Schicht nur in dem zweiten Substratbereich durchgeführt wird, beispielsweise nur in dem Bereich, in dem die Speicherzellen eines NAND-Strings vorgesehen sind.

[0020] Ferner kann das Bilden von Austauschmaterial in dem Bereich, in dem die strukturierte Schichtstruktur entfernt worden ist, aufweisen ein Bilden einer Ladungsspeicher-Schichtstruktur auf oder über der Gate-Isolationsschicht in dem Bereich, in dem die strukturierte Schichtstruktur entfernt worden ist. Die Ladungsspeicher-Schichtstruktur kann eine Floating Gate-Schichtstruktur sein. In einer alternativen Ausführungsform der Erfindung kann die Ladungsspeicher-Schichtstruktur eine Charge Trapping-Schichtstruktur (Ladungsfänger-Schichtstruktur) sein. Die Charge Trapping-Schichtstruktur kann eine dielektrische Schicht aufweisen, hergestellt aus einem Material ausgewählt aus einer Gruppe von Materialien bestehend aus Siliziumnitrid (Si_3N_4), Aluminiumoxid (Al_2O_3), Hafniumoxid (HfO_2), Zirconiumoxid (ZrO_2), Yttriumoxid (Y_2O_3), Lanthanoxid (LaO_2), amorphem Silizium, Tantaloxid (Ta_2O_5), Titanoxid (TiO_2) und einem Aluminat. Ein Beispiel für ein Aluminat ist eine Legierung aus den Komponenten Aluminium, Zirconium und Sauerstoff (AlZrO).

[0021] Ferner kann in einer alternativen Ausführungsform der Erfindung die Charge Trapping-Schichtstruktur eine Nitrid-Oxid-Schichtstruktur aufweisen, womit eine ONO-Struktur gemeinsam mit der Gate-Isolationsschicht, welche aus einem Oxid hergestellt sein kann, gebildet wird.

[0022] In einer anderen Ausführungsform der Erfindung weist das Bilden einer Schichtstruktur auf oder über dem Substrat auf ein Ausbilden einer Gate-Schichtstruktur auf oder über der Gate-Isolationsschicht. Das Ausbilden der Gate-Schichtstruktur kann ein Ausbilden einer Floating Gate-Schicht auf oder über der Gate-Isolationsschicht aufweisen, ein Ausbilden einer dielektrischen Schicht auf oder über der Floating Gate-Schicht sowie ein Ausbilden einer Steuergate-Schicht auf oder über der dielektrischen Schicht. Auf diese Weise wird eine Floating Gate-Speicherzelle hergestellt.

[0023] In einer anderen Ausführungsform der Erfindung weist das Ausbilden der Schichtstruktur auf oder über dem Substrat ein Ausbilden einer Hilfsmaskenschicht auf oder über der Gate-Schichtstruktur auf.

[0024] In einer alternativen Ausführungsform der Erfindung weist das Ausbilden der Schichtstruktur

auf oder über dem Substrat ein Ausbilden einer Charge Trapping-Schichtstruktur auf oder über der Gate-Isolationsschicht auf. Die Charge Trapping-Schichtstruktur kann eine dielektrische Schicht aufweisen, welche hergestellt sein kann aus einem Material, welches ausgewählt ist aus einer Gruppe von Materialien bestehend aus Siliziumnitrid (Si_3N_4), Aluminiumoxid (Al_2O_3), Hafniumoxid (HfO_2), Zirconiumoxid (ZrO_2), Yttriumoxid (Y_2O_3), Lanthanoxid (LaO_2), amorphem Silizium, Tantaloxid (Ta_2O_5), Titanoxid (TiO_2) und einem Aluminat. Ein Beispiel für ein Aluminat ist eine Legierung aus den Komponenten Aluminium, Zirconium und Sauerstoff (AlZrO).

[0025] In einer alternativen Ausführungsform der Erfindung weist die Charge Trapping-Schichtstruktur eine, zwei, drei, vier oder sogar mehr dielektrische Schichten auf, die übereinander ausgebildet sind.

[0026] Ferner weist in einer alternativen Ausführungsform der Erfindung die Charge Trapping-Schichtstruktur eine Nitrid-Oxid-Schichtstruktur auf, womit gemeinsam mit der Gate-Isolationsschicht eine ONO-Struktur ausgebildet wird, welche auf einem Oxid gebildet sein kann.

[0027] Das Ausbilden der Schichtstruktur auf oder über dem Substrat kann aufweisen ein Ausbilden einer Steuergate-Schicht auf oder über der Charge Trapping-Schichtstruktur.

[0028] Ferner kann das Ausbilden der Schichtstruktur auf oder über dem Substrat aufweisen ein Ausbilden einer Hilfsmaskenschicht auf oder über der Charge Trapping-Schichtstruktur.

[0029] In einer anderen Ausführungsform der Erfindung weist das Verfahren ferner ein Ausbilden einer Diffusionsbarrierschicht in den Gräben in der strukturierten Schichtstruktur über den mindestens zwei dotierten Bereichen auf sowie ein zumindest teilweises Füllen der Gräben mit einem Füllmaterial auf oder über der Diffusionsbarrierschicht. Die Diffusionsbarrierschicht kann Siliziumnitrid oder Siliziumoxinitrid aufweisen.

[0030] Das zumindest teilweise Entfernen der strukturierten Schichtstruktur kann ein Entfernen der Hilfsmaskenschicht aufweisen.

[0031] Ferner kann das Ausbilden des leitfähigen Materials ein Ausbilden einer leitfähigen Diffusionsbarrierschicht aufweisen.

[0032] In einer anderen Ausführungsform der Erfindung weist das Ausbilden von leitfähigem Material auf ein Ausbilden von Wortleitungs-Leiterbahnmaterial, beispielsweise Wortleitungsmetall. Das Wortleitungsmetall kann ausgewählt werden aus einer Gruppe von Metallen bestehend aus Kupfer (Cu),

Aluminium (Al), Silber (Ag) oder Gold (Au).

[0033] In dieser Ausführungsform kann das leitfähige Material einen spezifischen Widerstand von weniger oder gleich $5 \mu\text{Ohmcm}$ aufweisen.

[0034] In einer Ausführungsform der Erfindung kann das leitfähige Material einen spezifischen Widerstand von weniger als $10 \mu\text{Ohmcm}$, beispielsweise einen spezifischen Widerstand von weniger als $6 \mu\text{Ohmcm}$ aufweisen.

[0035] Es ist anzumerken, dass die herkömmlichen Wortleitungs-Materialien wie beispielsweise Wolfram oder Wolfram-Silizid einen spezifischen Widerstand von mehr als $10 \mu\text{Ohmcm}$ aufweisen.

[0036] Somit wird gemäß diesem Ausführungsbeispiel der Erfindung eine erhebliche Reduktion des spezifischen Widerstands in dem Wortleitungs-Material und damit der Wortleitung erreicht. Dies wurde gemäß einer Ausführungsform der Erfindung erreicht unter Verwendung eines Prozessschemas, bei dem ein Hochtemperatur-Prozess des Aktivierens der Source/Drain-Dotieratome durchgeführt wird vor dem Abscheiden des Wortleitungs-Materials. Auf diese Weise wird es möglich, ein Wortleitungs-Material zu verwenden, das eine Schmelztemperatur aufweist, die unterhalb der Temperatur liegt, welche in dem Prozess zum Aktivieren der Dotieratomen in den Source/Drain-Bereichen verwendet wird.

[0037] Gemäß einer anderen Ausführungsform der Erfindung wird ein Verfahren zum Herstellen einer Speicheranordnung bereitgestellt, aufweisend: Ausbilden einer Schichtstruktur auf oder über einem Substrat, wobei das Substrat einen ersten Substratbereich und einen zweiten Substratbereich aufweist, wobei der erste Substratbereich vorgesehen ist zum Herstellen von Auswahl-Halbleiterkomponenten und der zweite Substratbereich vorgesehen ist zum Herstellen von Speicher-Halbleiterkomponenten, Strukturieren der Schichtstruktur, womit eine Mehrzahl von zu dotierenden Bereichen freigelegt wird, Dotieren der freigelegten zu dotierenden Bereiche, Erhitzen, beispielsweise Tempern, der dotierten Bereiche, zumindest teilweises Entfernen der strukturierten Schichtstruktur nur in dem zweiten Substratbereich, Ausbilden einer Ladungsspeicher-Schichtstruktur auf oder über der Gate-Isolationsschicht in dem Bereich, in dem die strukturierte Schichtstruktur entfernt worden ist, und Ausbilden von leitfähigem Material auf oder über der Ladungsspeicher-Schichtstruktur.

[0038] Die Speicheranordnung kann eine NAND-Speicheranordnung sein.

[0039] Ferner kann die Speicheranordnung eine Charge Trapping-Speicheranordnung sein.

[0040] Gemäß einer anderen Ausführungsform der Erfindung wird ein Verfahren zum Herstellen einer Speicheranordnung bereitgestellt, welches aufweist: Ausbilden einer Gate-Isolationsschicht auf oder über dem Substrat, Ausbilden einer Gate-Schichtstruktur auf oder über der Gate-Isolationsschicht, Ausbilden einer Hilfsmaskenschicht auf oder über der Gate-Schichtstruktur, Strukturieren der Hilfsmaskenschicht und der Gate-Schichtstruktur, Dotieren der freigelegten zu dotierenden Bereiche, Erhitzen, beispielsweise Tempern, der dotierten Bereiche, Entfernen der strukturierten Hilfsmaskenschicht, Ausbilden von Wortleitungs-Leiterbahnmaterial in den Bereichen, in denen die strukturierte Hilfsmaskenschicht entfernt wurde.

[0041] Die Speicheranordnung kann eine NAND-Speicheranordnung sein.

[0042] Die Speicheranordnung kann eine Charge Trapping-Speicheranordnung sein.

[0043] Gemäß einer anderen Ausführungsform der Erfindung wird ein Verfahren zum Herstellen einer Charge Trapping-Speicherzelle bereitgestellt, welches aufweist: Ausbilden eines ersten Source/Drain-Bereichs und eines zweiten Source/Drain-Bereichs, wobei jeder Source/Drain-Bereich des ersten Source/Drain-Bereichs und des zweiten Source/Drain-Bereichs ein implantiertes Dotierprofil aufweist, das charakterisiert wird durch eine Diffusionstemperatur, oberhalb der das implantierte Dotierprofil zu diffundieren beginnt, und Ausbilden eines Gate-Bereichs, welcher zwischen den ersten Source/Drain-Bereich und den zweiten Source/Drain-Bereich gekoppelt ist, wobei das Ausbilden des Gate-Bereichs aufweist ein Ausbilden eines Gate-Bereichs, welcher gekoppelt ist zwischen den ersten Source/Drain-Bereich und den zweiten Source/Drain-Bereich, Ausbilden einer Charge Trapping-Schicht, welche gekoppelt ist mit dem Gate-Bereich mittels einer ersten dielektrischen Schicht, Ausbilden einer zweiten dielektrischen Schicht über zumindest einen Teil der Charge Trapping-Schicht, wobei die zweite dielektrische Schicht ein hoch-amorphes Material aufweist und gekennzeichnet ist durch eine Kristallisationstemperatur, oberhalb der die zweite dielektrische Schicht im Wesentlichen nicht-amorph wird, wobei die Kristallisationstemperatur niedriger ist als die Diffusionstemperatur, und Ausbilden einer Gate-Kontaktschicht, welche mit der Charge Trapping-Schicht mittels der zweiten dielektrischen Schicht gekoppelt ist.

[0044] Gemäß einer anderen Ausführungsform der Erfindung wird eine Charge Trapping-Speicherzelle bereitgestellt, die aufweist einen ersten Source/Drain-Bereich und einen zweiten Source/Drain-Bereich, einen Kanalbereich zwischen dem ersten Source/Drain-Bereich und dem zweiten Sour-

ce/Drain-Bereich, eine Charge Trapping-Schichtanordnung über dem Kanalbereich, wobei die Charge Trapping-Schichtanordnung aufweist eine erste dielektrische Schicht, eine Charge Trapping-Schicht über der ersten dielektrischen Schicht, eine zweite dielektrische Schicht über der Charge Trapping-Schicht, wobei die zweite dielektrische Schicht ein hoch-amorphes Material aufweist mit einer Kristallisationstemperatur, oberhalb welcher die zweite dielektrische Schicht im Wesentlichen nicht-amorph wird, wobei die Kristallisationstemperatur niedriger ist als die Aktivierungstemperatur des ersten Source/Drain-Bereichs und des zweiten Source/Drain-Bereichs.

[0045] Die zweite dielektrische Schicht kann ein Material aufweisen, welches ausgewählt ist aus einer Gruppe von Materialien bestehend aus amorphem Aluminiumoxid (Al_2O_3), amorphem Hafniumoxid (HfO_2), und amorphem Zirconiumoxid (ZrO_2).

[0046] Die Charge Trapping-Schicht kann Charge Trapping-Nanoanreicherungen aufweisen, welche einen Durchmesser von weniger als einigen Nanometern aufweisen können, beispielsweise weniger als 4 nm, in anderen Worten Nanostrukturen. Die Nanoanreicherungen können jeweils bis zu nur einem oder nur einigen wenigen Atomen enthalten. Die Nanoanreicherungen können aufweisen ein Implant, welches ausgewählt ist aus einer Gruppe von Materialien bestehend aus Germanium (Ge), Silizium (Si), Bor (B), Kohlenstoff (C), Aluminium (Al), Gallium (Ga), Titan (Ti), Zirconium (Zr), Niob (Nb), Hafnium (Hf), Yttrium (Y), Indium (In), Lanthan (La), Tantal (Ta), oder Wolfram (W).

[0047] In noch einer anderen Ausführungsform der Erfindung wird eine nicht-flüchtige Speicherzelle bereitgestellt, welche aufweist einen ersten Source/Drain-Bereich und einen zweiten Source/Drain-Bereich, einen Kanalbereich zwischen dem ersten Source/Drain-Bereich und dem zweiten Source/Drain-Bereich, eine Gate-Schichtanordnung über dem Kanalbereich, eine Wortleitung, welche gekoppelt ist mit der Gate-Schichtanordnung, wobei die Wortleitung Metall enthält. Das Metall kann ein Metall aufweisen, welches ausgewählt ist aus einer Gruppe von Metallen bestehend aus Kupfer (Cu), Aluminium (Al), Silber (Ag), und Gold (Au).

[0048] Die genannten Metalle weisen alle einen spezifischen Widerstand von weniger als $10 \mu\text{Ohmcm}$ auf, beispielsweise einen spezifischen Widerstand von weniger als $6 \mu\text{Ohmcm}$, beispielsweise einen spezifischen Widerstand von weniger als oder gleich $5 \mu\text{Ohmcm}$, im Gegensatz zu herkömmlichen Wortleitungsmaterialien, die einen spezifischen Widerstand von mehr als $10 \mu\text{Ohmcm}$ aufweisen.

[0049] Die Gate-Schichtanordnung kann eine Floa-

ting Gate-Schicht, eine dielektrische Schicht über der Floating Gate-Schicht und eine Steuergate-Schicht über der dielektrischen Schicht aufweisen, womit eine Floating Gate-Speicherzelle gebildet wird.

[0050] In einer anderen Ausführungsform der Erfindung weist die Gate-Schichtanordnung eine Charge Trapping-Schichtanordnung auf. Die Charge Trapping-Schichtanordnung kann eine erste dielektrische Schicht aufweisen, eine Charge Trapping-Schicht über der ersten dielektrischen Schicht und eine zweite dielektrische Schicht über der Charge Trapping-Schicht.

[0051] Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Folgenden näher erläutert.

[0052] Es zeigen

[0053] [Fig. 1](#) ein vereinfachtes Speichersystem gemäß einem Ausführungsbeispiel der Erfindung;

[0054] [Fig. 2](#) ein Schaltkreisdiagramm eines NAND-Speicherarrays gemäß einem Ausführungsbeispiel der Erfindung;

[0055] [Fig. 3A](#) eine Charge Trapping-Speicherzelle gemäß einem Ausführungsbeispiel der Erfindung;

[0056] [Fig. 3B](#) ein Verfahren zum Herstellen einer Charge Trapping-Speicherzelle gemäß einem Ausführungsbeispiel der Erfindung;

[0057] [Fig. 4A](#) eine erste spezifische Ausführungsform einer Charge Trapping-Speicherzelle gemäß einem Ausführungsbeispiel der Erfindung;

[0058] [Fig. 4B](#) eine zweite spezifische Ausführungsform einer Charge Trapping-Speicherzelle gemäß einer Ausführungsform der Erfindung;

[0059] [Fig. 5](#) eine Querschnittsansicht eines beispielhaften NAND-Array-Bereichs von Charge Trapping-Speicherzellen gemäß einem Ausführungsbeispiel der Erfindung;

[0060] [Fig. 6A](#) ein Verfahren zum Herstellen eines NAND-Arrays von Charge Trapping-Speicherzellen gemäß einem Ausführungsbeispiel der Erfindung;

[0061] [Fig. 6B](#) bis [Fig. 6K](#) eine Querschnittsansicht des NAND-Array-Bereichs in unterschiedlichen Herstellungszuständen gemäß einem Ausführungsbeispiel der Erfindung;

[0062] [Fig. 7](#) ein Layout eines NAND-Speicherarrays gemäß einem Ausführungsbeispiel der Erfindung;

[0063] [Fig. 8A](#) eine Floating Gate-Speicherzelle gemäß einem Ausführungsbeispiel der Erfindung;

[0064] [Fig. 8B](#) ein Verfahren zum Herstellen einer Floating Gate-Speicherzelle gemäß einem Ausführungsbeispiel der Erfindung;

[0065] [Fig. 9A](#) bis [Fig. 9E](#) eine Querschnittsansicht entlang der Querschnittslinie B-B' des NAND-Speicherarrays, wie es in [Fig. 7](#) gezeigt ist, in verschiedenen Herstellungszuständen gemäß einem Ausführungsbeispiel der Erfindung;

[0066] [Fig. 10](#) eine Querschnittsansicht entlang der Querschnittslinie B-B' des NAND-Speicherarrays, wie es in [Fig. 7](#) gezeigt ist, gemäß einem anderen Ausführungsbeispiel der Erfindung;

[0067] [Fig. 11A](#) eine Charge Trapping-Speicherzelle gemäß einem Ausführungsbeispiel der Erfindung;

[0068] [Fig. 11B](#) ein Verfahren zum Herstellen einer Charge Trapping-Speicherzelle gemäß einem Ausführungsbeispiel der Erfindung;

[0069] [Fig. 12A](#) bis [Fig. 12E](#) eine Querschnittsansicht entlang der Querschnittslinie B-B' des NAND-Speicherarrays, wie es in [Fig. 7](#) gezeigt ist, in verschiedenen Herstellungszuständen gemäß einem anderen Ausführungsbeispiel der Erfindung; und

[0070] [Fig. 13](#) eine Querschnittsansicht entlang der Querschnittslinie B-B' des NAND-Speicherarrays, wie es in [Fig. 7](#) gezeigt ist, gemäß einem anderen Ausführungsbeispiel der Erfindung.

[0071] In den Figuren sind, soweit sinnvoll, gleiche oder identische Elemente mit identischen Bezugszeichen versehen.

[0072] [Fig. 1](#) zeigt ein vereinfachtes Speichersystem **100**. Das Speichersystem **100** weist einen Speicher-Controller **102**, beispielsweise einen Mikroprozessor, und eine Speichereinrichtung **104** auf. In den beschriebenen Ausführungsbeispielen ist die Speichereinrichtung **104** als eine Integrierte-Schaltkreis-Flash-Speichereinrichtung eingerichtet die ein Speicherfeld **106** aufweist mit einer Mehrzahl, beispielsweise Tausenden oder Millionen von Flash-Speicherzellen. Das Speicherfeld **106** kann die Flash-Speicherzellen in jeder beliebigen Architektur aufweisen. Gemäß einem Ausführungsbeispiel der Erfindung sind die Flash-Speicherzellen in dem Speicherfeld **106** in einem oder in mehreren Arrays in Zeilen und Spalten angeordnet. Ferner sind die Flash-Speicherzellen miteinander und mit einem Steuer-Schaltkreis gemäß einer NAND-Architektur verbunden.

[0073] Ferner weist die Speichereinrichtung **104** ei-

nen Adressdecoder **108**, einen Zeilen-Zugriffsschaltkreis **110** und einen Spalten-Zugriffsschaltkreis **112** auf. Die Speicherzellen speichern Daten, auf welche mittels einer Eingangs/Ausgangs-Schnittstelle **114** und einer Datenverbindung **116**, beispielsweise einem Datenbus, mittels des Speicher-Controllers **102** zugegriffen wird. Ferner sind eine Steuer-Verbindung **118**, beispielsweise ein Steuerbus, und eine Adressverbindung **120**, beispielsweise ein Adressbus, vorgesehen. Speicherzellen-Adresssignale werden mittels der Adressverbindung **120** übertragen und werden in dem Adressdecoder **108** decodiert. Die Operationen werden gemäß den Steuersignalen ausgeführt, welche von dem Speicher-Controller **102** mittels der Steuerverbindung **118** übertragen werden.

[0074] Im Rahmen dieser Beschreibung werden die Ausdrücke "verbunden" und "gekoppelt" derart verwendet, dass sie sowohl eine direkte als auch eine indirekte Verbindung bzw. Kopplung umfassen.

[0075] In einer alternativen Ausführungsform der Erfindung sind die Flash-Speicherzellen miteinander und mit dem Steuer-Schaltkreis gemäß einer NOR-Architektur verbunden.

[0076] Für einen Fachmann ist ersichtlich, dass zusätzliche Komponenten und elektronische Schaltkreise vorgesehen sein können und dass das Speichersystem **100** in vereinfachter Form dargestellt ist, um eine bessere Fokussierung auf die Erfindung zu ermöglichen.

[0077] [Fig. 2](#) zeigt ein NAND-Speicherarray **200** als einen Teil der Speichereinrichtung **104** gemäß einem Ausführungsbeispiel der Erfindung.

[0078] Das Speicherarray **200** weist Wortleitungen **202** (allgemein eine beliebige Anzahl von Wortleitungen **202**, in einer Ausführungsform der Erfindung **1024** Wortleitungen **202**) und diese kreuzende lokale Bitleitungen **204** auf (im Allgemeinen eine beliebige Anzahl von lokalen Bitleitungen **204**, in einer Ausführungsform der Erfindung **512** lokale Bitleitungen **204**). Die lokalen Bitleitungen **204** sind mit globalen Bitleitungen verbunden (in [Fig. 2](#) nicht gezeigt).

[0079] Die Speichereinrichtung **104** weist NAND-Strings **206** auf, wobei jeder NAND-String **206** Ladungsspeicher-Transistoren **208** aufweist, beispielsweise Floating Gate-Transistoren oder Charge Trapping-Transistoren. Jede Art von nicht-flüchtigen Speicherzellen kann in dem NAND-String **206** vorgesehen sein. Ferner kann eine beliebige Anzahl von Ladungsspeicher-Transistoren **208** in dem NAND-String **206** vorgesehen sein, gemäß einem Ausführungsbeispiel der Erfindung, **32** Ladungsspeicher-Transistoren **208**. Die Ladungsspeicher-Transistoren **208** sind mittels ihrer Source/Drain-Bereiche in Serie miteinander gekoppelt und zwischen ein

Source-Auswähl-Gate **210** geschaltet, welches als Feldeffekttransistor implementiert sein kann, sowie ein Drain-Auswähl-Gate **212**, welches ebenfalls als ein Feldeffekttransistor implementiert sein kann. Jedes Source-Auswähl-Gate **210** ist an einem Kreuzungspunkt einer lokalen Bitleitung **204** und einer Source-Auswählleitung **214** angeordnet. Jedes Drain-Auswähl-Gate **212** ist an einem Kreuzungspunkt einer lokalen Bitleitung **204** und einer Drain-Auswählleitung **216** angeordnet. Das Drain eines jeden Source-Auswähl-Gates **210** ist mit dem Sourceanschluss des ersten Ladungsspeicher-Transistors **208** des entsprechenden NAND-Strings **206** verbunden. Die Source eines jeden Source-Auswähl-Gates **210** ist mit einer gemeinsamen Sourceleitung **218** verbunden. Ein Steuergate **220** eines jeden Source-Auswähl-Gates **210** ist mit der Source-Auswählleitung **214** verbunden.

[0080] In einer Ausführungsform der Erfindung ist die gemeinsame Sourceleitung **218** zwischen die Source-Auswähl-Gates **210** für NAND-Strings **206** von zwei unterschiedlichen NAND-Arrays geschaltet. Somit teilen sich zwei NAND-Arrays anschaulich eine gemeinsame Sourceleitung **218**.

[0081] In einem Ausführungsbeispiel der Erfindung ist das Drain eines jeden Drain-Auswähl-Gates mit der lokalen Bitleitung **204** des entsprechenden NAND-Strings **206** an einem Drain-Kontakt **222** verbunden. Die Source eines jeden Drain-Auswähl-Gates **212** ist mit dem Drain des letzten Ladungsspeicher-Transistors **208** des entsprechenden NAND-Strings **206** verbunden. In einem Ausführungsbeispiel der Erfindung teilen sich zumindest zwei NAND-Strings **206** denselben Drain-Kontakt **222**.

[0082] Gemäß den beschriebenen Ausführungsformen weist jeder Ladungsspeicher-Transistor **208** eine Source **224**, ein Drain **226**, einen Ladungsspeicherbereich **228** (beispielsweise einen Floating Gate-Bereich oder einen Charge Trapping-Bereich) sowie ein Steuergate **230** auf. Das Steuergate **230** eines jeden Ladungsspeicher-Transistors **208** ist verbunden mit einer jeweiligen Wortleitung **202**. Eine Spalte des NAND-Speicherarrays **200** weist einen jeweiligen NAND-String **206** auf und eine Zeile des NAND-Speicherarrays **200** weist diejenigen Ladungsspeicher-Transistoren **208** auf, die gemeinsam mit einer jeweiligen Wortleitung **202** verbunden sind.

[0083] Unterschiedliche Ausführungsformen des Ladungsspeicher-Transistors **208** wie auch unterschiedliche Verfahren zum Herstellen des NAND-Speicherarrays **200** werden im Folgenden näher beschrieben.

[0084] In einer Ausführungsform der Erfindung weist eine Charge Trapping-Speicherzelle **208** eine

erste (untere) Oxidschicht, eine Nitrid- (mittlere) -Ladungsfängerschicht (Charge Trapping-Schicht), und eine zweite (obere) Oxidschicht auf, wobei diese Struktur auch als ONO-Stapel bezeichnet wird. Die obere Oxidschicht kann ausgebildet sein mit einer Vielzahl unterschiedlicher Oxide, beispielsweise Siliziumoxid (SiO_2), Aluminiumoxid (Al_2O_3) und andere, wobei jedes Oxid üblicherweise in der kristallinen Form des Oxids ausgebildet ist. Al_2O_3 ist insbesondere vorteilhaft, da es eine hohe Dielektrizitätskonstante k (im Bereich zwischen 8 bis 10) aufweist, die ein starkes Kopplungsfeld zwischen der Charge Trapping-Schicht und der Gateelektrode erlaubt und demgemäß die Löscher/Programmierspannung auf oder über der Gateelektrode reduziert.

[0085] Ein Implementieren einer polykristallinen Al_2O_3 oberen Oxidschicht wäre problematisch, da sie üblicherweise eine Struktur mit Körnern und Korngrenzen um sie herum bereitstellt. Die Letzteren können die guten Isolationseigenschaften von Isolatoren mit einer großen Bandlücke verschlechtern, da die Korngrenzen bevorzugte Leitungspfade für die Ladungsträger bereitstellen. Somit können Leckströme durch die Isolationsschicht getrieben werden, mit den Konsequenzen einer geringen effektiven Barrierenhöhe zwischen der Charge Trapping-Schicht und dem Gate-Kontakt. Allgemein ist der Amorph-Zustand ein kinetisch gehemmter, "eingefrorener" metastabiler thermodynamischer Zustand, in dem das Material dazu neigt, in den Kristallinzustand überzugehen, wenn sowohl die Temperatur und/oder die verfügbare Zeit für das System groß genug sind/ist, um in den Zustand niedrigerer Energie zu relaxieren, nämlich den Kristallinzustand. Insbesondere wenn dünne Schichten von Al_2O_3 in einem Atomlagen-Abscheidungssystem beschrieben werden, sind die dünnen Schichten üblicherweise in einem perfekten Amorph-Zustand, wie dies beispielsweise aus einem Elektronenmikroskop-Bild ersichtlich ist. Wenn die dünne Schicht einer relativ hohen Temperatur ausgesetzt wird, beginnt die amorphe Struktur überzugehen zu einer weniger amorphen Struktur, d.h. zu einer Struktur, in der Inseln von Kristalliten in einer Matrix von zufällig angeordneten amorphen Atomen gefunden werden. Die Änderung resultiert in dem Ausbilden von Korngrenzen, durch welche elektrische Ladung fließen kann.

[0086] Während einer Löschoption einer Zelle werden beispielsweise Löcher aus dem Kanal in die Charge Trapping-Schicht initiiert aufgrund einer negativen Spannung, die an die Gateelektrode/Wortleitung angelegt wird. Dort rekombinieren diese Löcher mit den eingefangenen Elektronen, was in einer Netto-Reduktion der in der Trapping-Schicht programmierten Ladung resultiert. Die Rekombination der eingefangenen Ladung innerhalb der Charge Trapping-Schicht kann negiert werden, wenn die obere Al_2O_3 -Schicht einen Elektronenfluss von der Gatee-

lektrode durch die zuvor erwähnten Korngrenzen in die Charge Trapping-Schicht ermöglicht, womit eine geeignete Ladungsreduktion in der Zelle zum Anzeigen eines Löschers der Zelle verhindert wird. Die Al_2O_3 -Top-Oxidschicht zeigt die Übergangs-Amorph-Kristallin-Zustands-Phase, die zu dem Ausbilden von Korngrenzen führt, wenn die Al_2O_3 -Schicht temporär auf Temperaturen in dem Bereich von 800 °C bis 1050 °C gehalten wird, wobei der Temperaturbereich der herkömmliche Temperatur-Bereich für die Source/Drain-Bereiche der Speicherzelle ist, dem die Al_2O_3 -Schicht ausgesetzt ist. Übliche Temper-Zeitdauern für diesen Übergang sind ungefähr gleich denen, die erforderlich sind während des herkömmlichen Herstellungsprozesses, und eine Zeitdauer beträgt beispielsweise eine Minute oder sogar noch weniger, wenn die Temperatur in dem oben beschriebenen Bereich liegt. Somit zeigen die mit herkömmlichen Techniken hergestellten Speicherzellen üblicherweise einen Leckstrom durch die obere Oxidschicht.

[0087] In einem Ausführungsbeispiel der Erfindung sind eine Charge Trapping-Speicherzelle und ein Verfahren zum Herstellen derselben bereitgestellt, welche nicht den Nachteilen unterliegen des Ausbildens von Korngrenzen und den Leckströmen durch die obere Oxidschicht.

[0088] In einem Ausführungsbeispiel der Erfindung wird eine Charge Trapping-Speicherzelle zur Verwendung in einem Speicherarray bereitgestellt, in welcher eine amorphe obere Oxidschicht verwendet wird. Die amorphe obere Oxidschicht liefert eine große Barrierenhöhe, so dass ein Elektronenfluss zwischen der Charge Trapping-Schicht und der Wortleitung/Gate-Kontaktschicht während der Speicherzellen-Operationen unterdrückt wird. Die Amorph-Eigenschaft der oberen Oxidschicht stellt eine große Barrierenhöhe zwischen der Gate-Leiterbahnschicht und der Charge Trapping-Schicht bereit, welche einen Elektronenfluss zwischen der Charge Trapping-Schicht und der Gate-Kontaktschicht unterdrückt. Die Speicherzelle wird derart gebildet, dass die amorphe zweite dielektrische Schicht, d.h. die obere Oxidschicht, nicht einer Temperatur ausgesetzt wird, die größer ist als ihre Kristallisationstemperatur, womit ihre Amorph-Eigenschaft und die große Barrierenhöhe erhalten bleiben.

[0089] **Fig. 3A** zeigt eine Charge Trapping-Speicherzelle **300** gemäß einem Ausführungsbeispiel der Erfindung. Die Ansicht zeigt eine Querschnittsansicht der Speicherzelle, die gebildet wird von einem ersten Source/Drain-Bereich **302** und einem zweiten Source/Drain-Bereich **304** sowie einem Kanalbereich **306**, der innerhalb einer implantierten Wanne eines Bulk-Halbleitersubstrats **308** gebildet ist. In einem Ausführungsbeispiel weist die Speicherzelle **300** eine n-Kanal-Einrichtung auf, in welchem Fall der erste

Source/Drain-Bereich **302** und der zweite Source/Drain-Bereich **304** mit n-Typ-Dotieratomen implantierte Bereiche sind, die sich beispielsweise bis zu 20 nm bis 40 nm unterhalb der Oberfläche des Bulk-Substrats **308** erstrecken. Natürlich kann die Speicherzelle **300** aus einer p-Kanal-Einrichtung bestehen, in welchem Fall der erste Source/Drain-Bereich **302** und der zweite Source/Drain-Bereich **304** mit p-Typ-Dotieratomen implantierte Bereiche sind. Die Bereiche können leicht verändert werden durch Implantationen wie beispielsweise einer Lightly Doped Drain-Implantation (LDD) oder einer Halo-Implantation, für welche es an sich bekannt ist, dass sie das Kurzkanalverhalten verbessern.

[0090] In einer Ausführungsform der Erfindung werden der erste Source/Drain-Bereich **302** und der zweite Source/Drain-Bereich **304** implantiert vor dem Ausbilden der Gate-Struktur **310**. Ferner können der erste Source/Drain-Bereich **302** und der zweite Source/Drain-Bereich **304** eine Dotier-Implantation eines vordefinierten Fremdatom-Profiles aufweisen, wodurch das Fremdatom-Profil gekennzeichnet ist durch eine Diffusionstemperatur (beispielsweise 850 °C), oberhalb der das Dotierprofil zu diffundieren beginnt. Um die Diffusion des Fremdatom-Profiles zu vermeiden werden die nachfolgenden Prozesse des Ausbildens der Gate-Struktur **310** bei Temperaturen unterhalb dieser Diffusionstemperatur durchgeführt.

[0091] Der Kanalbereich **306** weist optional eine Anreicherungs-Implantation auf, wie beispielsweise eine Halo-Implantation oder eine LDD-Implantation (wie oben beschrieben), um die Kanal-Dotier-Konzentration zu verbessern. Beispielsweise können die Endbereiche des Kanalbereichs **306** einer n-Kanal-Einrichtung eine Halo-Implantation mit p-Typ-Dotieratomen aufweisen, welche ein wenig höher ist als die Implantation der p-Wanne. In gleicher Weise kann eine n-Typ-Halo-Implantation an den Endbereichen eines Kanalbereichs **306** einer p-Kanal-Einrichtung vorgesehen sein, wobei die Halo-Implantation eine geringfügig höhere Dotierkonzentration in dem Kanalbereich **306** aufweist als die n-Wanne. Zusätzlich kann die erste Wanne der Speichereinrichtung **300** (beispielsweise eine p-Wanne) innerhalb einer zweiten Wanne (beispielsweise einer n-Wanne) ausgebildet sein, womit eine Dreifach-Wannen-Struktur gebildet wird.

[0092] Die Gate-Struktur **310** weist eine erste dielektrische Schicht **312** und eine Charge Trapping-Schicht **314** auf, welche mit dem Kanalbereich **306** mittels der ersten dielektrischen Schicht **312** gekoppelt ist. In einer Ausführungsform der Erfindung ist die erste dielektrische Schicht **312** (Gate/Tunnel-Oxidschicht) ein thermisch gewachsenes Oxid, obwohl andere Abscheidetechniken und/oder Materialien in alternativen Ausführungsformen der Erfindung verwendet werden können. Ferner kann die Di-

cke der ersten dielektrischen Schicht in einem Bereich liegen von 3 nm bis 15 nm, wie im Folgenden noch näher beschrieben wird.

[0093] Die Charge Trapping-Schicht **314** kann eine Vielzahl unterschiedlicher Materialien aufweisen, wie beispielsweise Siliziumnitrid, mit unterschiedlichen Dicken, beispielsweise 3 nm bis 10 nm, und kann entweder in einem einzigen kontinuierlichen Bereich oder in mehreren Bereichen gemäß einer Ausführungsform der Erfindung ausgebildet sein. Ferner kann die Charge Trapping-Schicht **314** entweder eine im Wesentlichen homogene Verbindung sein, beispielsweise Silizium-reiches Siliziumnitrid, oder eine Verbindung von Charge Trapping-Nanoanreicherungen enthalten. Jede dieser Ausführungsformen wird im Folgenden näher erläutert.

[0094] Die Gate-Struktur **310** weist ferner eine amorphe zweite dielektrische Schicht **316** auf, welche über zumindest einem Teil der Charge Trapping-Schicht **314** ausgebildet ist. Beispiele für die zweite dielektrische Schicht **316** sind amorphes Al_2O_3 , Ta_2O_5 , HfO_2 , ZrO_2 , SiO_2 oder Kombinationen derselben oder andere hoch-amorphe Materialien, die in einem bestimmten verwendeten Herstellungsprozess verfügbar sind. Der Ausdruck "hoch-amorph" ist für den Fachmann erkennbar im Vergleich zu Kristallin-Zustand-Materialien, obwohl der Begriff quantitativ ist. Der Ausdruck "hoch-amorph" kann sich auf ein Material beziehen, in dem weniger als 15% des Volumenanteils in einem geordneten (d.h. kristallinen) Zustand vorliegt, wobei ein beispielhafter Bereich weniger als 10% ist, ein anderer beispielhafter Bereich weniger als 5% und ein noch anderer beispielhafter Bereich weniger als 2% ist. Die Hoch-Amorph-Eigenschaft der zweiten dielektrischen Schicht **316** erzeugt eine große Rück-Barrierrhöhe zwischen einer Gate-Kontaktschicht **318** und der Charge Trapping-Schicht **314**, welche den Transfer von Ladungen zwischen der Charge Trapping-Schicht **316** zu der Gate-Kontaktschicht **318** hemmt. Wie oben beschrieben wurde, ist die hoch-amorphe zweite dielektrische Schicht **316** gekennzeichnet durch eine Kristallisationstemperatur, oberhalb der die zweite dielektrische Schicht **316** beginnt, im Wesentlichen nicht-amorph zu werden, oder in einer anderen Ausführungsform, einen geordneten Zustand in mehr als 15% seines Volumenanteils zeigt. Der Temperaturbereich der Kristallisation hängt wesentlich von der Temperatur und der Zeitdauer ab, während der die Temperatur angelegt wird. Ein Beispiel für die Kristallisationstemperatur für Al_2O_3 kann in einem Bereich von 700 °C bis 1000 °C liegen. Für eine praktische Anwendung, in der die Erhitzungszeitdauer geringer ist als 10 Sekunden, ist eine signifikante Kristallisation von Al_2O_3 oberhalb von 800 °C zu beobachten.

[0095] Die Gate-Struktur **310** weist ferner die

Gate-Kontaktschicht **318** auf, welche gekoppelt ist mit der Charge Trapping-Schicht **314** mittels der zweiten dielektrischen Schicht **316**. In einer Ausführungsform der Erfindung kann die Gate-Kontaktschicht **318** entweder n-dotiertes oder p-dotiertes Gate-Leiter-Material aufweisen. Wird ein p-dotiertes Gate-Leiter-Material mit einer n-Typ-Speicherzelle verwendet, so führt es zu Vorteilen hinsichtlich einer zusätzlichen Hemmung von Ladungsträgerfluss zwischen der Gate-Kontaktschicht **318** und der Charge Trapping-Schicht **314**, womit die Barrierenhöhe zwischen diesen zusätzlich um ungefähr 1 eV erhöht wird.

[0096] [Fig. 3B](#) zeigt ein Verfahren zum Herstellen einer Charge Trapping-Speicherzelle gemäß einem Ausführungsbeispiel der Erfindung in einem Ablaufdiagramm **320**.

[0097] In einem Schritt **322** wird ein Kanalbereich **306** ausgebildet. Der Prozess zum Ausbilden des Kanalbereichs **306** kann aufweisen ein Implantieren von Halo/Anreicherungs-Implants, wie oben beschrieben wurde.

[0098] In Schritt **324** werden ein erster Source/Drain-Bereich **302** und ein zweiter Source/Drain-Bereich **304** implantiert und erhitzt, beispielsweise getempert, vor dem Ausbilden einer amorphen zweiten dielektrischen Schicht **316**.

[0099] Dann wird in den Schritten **326** bis **330** eine Gate-Struktur der Speicherzelle **300** ausgebildet, wobei der Gate-Struktur-Ausbildungsprozess aufweist das Ausbilden einer ersten dielektrischen Schicht **312**, einer Charge Trapping-Schicht **314**, einer zweiten dielektrischen Schicht **316** und eines Gate-Kontakts **318**.

[0100] In beispielhaften Ausführungsformen weist der Prozess **326** ein Aufwachsen der ersten dielektrischen Schicht **312** über dem Kanalbereich **306** bis zu einer bestimmten Dicke (beispielsweise 6 nm bis 15 nm) auf, und ein nachfolgendes Herunterätzen derselben, so dass eine gewünschte Dicke der ersten dielektrischen Schicht **312** erreicht wird (beispielsweise 1,5 nm bis 5 nm), so dass diese geeignet ist für die Charge Trapping-Speicherzelle. Der Prozess **326** weist ferner ein Ausbilden einer Charge Trapping-Schicht **314** über der ersten dielektrischen Schicht **312** auf, so dass der kürzeste Kopplungspfad zu dem Kanal **306** bereitgestellt wird, obwohl in anderen Ausführungsformen der Erfindung die Charge Trapping-Schicht **314** sich auch nicht vollständig über die erste dielektrische Schicht **312** erstrecken kann. In einem ersten Ausführungsbeispiel der Erfindung zum Ausbilden der Charge Trapping-Schicht **314** können eine oder mehrere Spezies von Fremdatomen, beispielsweise B, C, Si, Al, Ga, Ge, Ti, Zr, Nb, Y, In, La, Ta, W, in die Charge Trapping-Schicht **314**

implantiert werden und die Charge Trapping-Schicht **314** wird vor dem Ausbilden der amorphen zweiten dielektrischen Schicht **316** erhitzt, wobei das Ausbilden der amorphen zweiten dielektrischen Schicht **316** bei einer vordefinierten Temperatur erfolgt, die niedriger ist als die Diffusionstemperatur der Source/Drain-Bereiche **302**, **304**.

[0101] In dem zuvor beschriebenen Ausführungsbeispiel der Erfindung, bei dem die Source/Drain-Erhitzungstemperatur über 850 °C liegt, liegt die Charge Trapping-Schicht-Erhitzungstemperatur in einem Bereich von 500 °C bis 800 °C. Mittels Erhitzens der Charge Trapping-Schicht **314** wird eine Verteilung von Nanoanreicherungen innerhalb der Charge Trapping-Schicht **314** unter Verwendung von Plasmadotierung (beispielsweise unter Verwendung von weniger als 1 keV Beschleunigungsspannung) ausgebildet, womit dicht gepackte Ladungsspeicherbereiche ausgebildet werden. In einem Ausführungsbeispiel der Erfindung wird die Erhitzungstemperatur (beispielsweise 600 °C bis 700 °C) derart gewählt, dass eine nicht-stöchiometrische Verteilung der Nanoanreicherungen (Nanoprecipitates) ausgebildet wird, so dass das Ausbilden von dichten Ladungsspeicherbereichen weiter erhöht wird. Beispielhafte Prozesse zum Ausbilden der Charge Trapping-Schicht **314** werden im Folgenden dargestellt und näher erläutert.

[0102] In einem zweiten Ausführungsbeispiel zum Ausbilden der Charge Trapping-Schicht **314** wird nach dem Ausbilden der amorphen zweiten dielektrischen Schicht **316** über der Charge Trapping-Schicht **314** die Charge Trapping-Schicht **314** auf eine vordefinierte Temperatur erhitzt, welche niedriger ist als sowohl (i) die Kristallisationstemperatur der amorphen zweiten dielektrischen Schicht **316** als auch (ii) die Diffusionstemperatur der Source/Drain-Bereiche **302**, **304**. Mittels thermischen Aktivierens werden die Siliziumatome in der Silizium-reichen SiN-Schicht dazu gebracht, Cluster von Atomen in einer Sub-Nanometer-Größenordnung auszubilden. In dem zuvor beschriebenen Ausführungsbeispiel der Erfindung, bei dem die Kristallisationstemperatur der amorphen zweiten dielektrischen Schicht **316** 800 °C bis 1000 °C beträgt und die Source/Drain-Erhitzungstemperatur über 850 °C liegt, liegt die Charge Trapping-Schicht-Erhitzungstemperatur in einem Bereich von 500 °C bis 800 °C. Beispielhafte Prozesse zum Ausbilden der Charge Trapping-Schicht **314** werden im Folgenden dargestellt und näher erläutert.

[0103] Ein Ausführungsbeispiel des Prozesses **328** weist ein Abscheiden der amorphen zweiten dielektrischen Schicht **316** über der Charge Trapping-Schicht **314** auf, so dass der kürzeste Kopplungspfad zwischen der Charge Trapping-Schicht **314** und der Gate-Kontaktschicht **318** bereitgestellt wird. In dem Ausführungsbeispiel, bei dem die Charge Trapping-Schicht **314** erhitzt wird, wird nachfol-

gend das Ausbilden der amorphen zweiten dielektrischen Schicht **316** durchgeführt, so dass der Amorph-Zustand der zweiten dielektrischen Schicht **316** nicht gestört wird. Ausführungsbeispiele dieses Prozesses werden im Folgenden dargestellt und näher erläutert.

[0104] Ein Ausführungsbeispiel des Prozesses **330** weist auf ein Abscheiden der Gate-Kontaktschicht **318** über der zweiten dielektrischen Schicht **316**, so dass der kürzeste Kopplungspfad zu der Charge Trapping-Schicht **314** bereitgestellt wird. Die Gate-Kontaktschicht **318** kann entweder ein n-dotierter Gate-Leiter oder ein p-dotierter Gate-Leiter sein, wie im Folgenden näher erläutert wird. Beispielhafte Ausführungsformen dieses Prozesses werden im Folgenden dargestellt und näher erläutert.

[0105] [Fig. 4A](#) zeigt eine erste spezifische Ausführungsform einer Charge Trapping-Speicherzelle **400** gemäß einem Ausführungsbeispiel der Erfindung, wobei zuvor identifizierte Merkmale mit identischen Bezugszeichen versehen sind. In diesem Ausführungsbeispiel der Erfindung ist die erste dielektrische Schicht **312** relativ dick ausgebildet, beispielsweise mit einer Dicke von 8 nm bis 10 nm, beispielsweise, indem die erste dielektrische Schicht **312** thermisch aufgewachsen wird. Eine relativ dicke erste dielektrische Schicht **312** hat zwei Vorteile: (i) die Dicke kann optimiert werden, um Spannungsanforderungen der Auswahl-Gates zu erfüllen, was die Lebensdauer erhöht und (ii) die dicke erste dielektrische Schicht **312** hat eine ausreichende Dicke, so dass die Dicke reduziert werden kann während eines bestimmten Reinigungsschrittes, welche Reinigungsschritte üblicherweise in nachfolgenden Prozessschritten erforderlich sind und welche mindestens 1 nm des Oxids pro Reinigungsschritt entfernen. Die Dicke kann angepasst werden (beispielsweise mittels nasschemischen Ätzens), um das Optimum zwischen Löscheffizienz und Datenhaltezeit zu treffen, wobei das Optimum gemäß einem Ausführungsbeispiel der Erfindung bei einer Schichtdicke zwischen 2,5 nm und 4 nm liegt.

[0106] Die Charge Trapping-Schicht **314** wird unter Verwendung einer Vielzahl von Prozessen hergestellt. Zunächst wird die Charge Trapping-Schicht **314** (welche aus Siliziumnitrid hergestellt sein kann oder aus ähnlichen Materialien, welche für Charge Trapping-Schichten verwendet werden, beispielsweise die oben beschriebenen Materialien) über zumindest einem Teil der ersten dielektrischen Schicht **312** gebildet. Die Dicke über zumindest einem Teil der ersten dielektrischen Schicht **312** beträgt zwischen 3 nm und 8 nm. Nachfolgend wird die Charge Trapping-Schicht **314** implantiert unter Verwendung eines Verfahrens mit einer sehr geringen Eindringtiefe, welche nicht größer ist als die Dicke der Charge Trapping-Schicht **314** (beispielsweise 1 nm bis 3 nm). Eine oder mehrere Fremdatome, beispielsweise Ger-

manium (Ge), Silizium (Si) und ähnliche Materialien, die in den verwendeten bestimmten Herstellungsprozessen verfügbar sind, können in einer Ausführungsform der Erfindung eingesetzt werden. Die implantierte Charge Trapping-Schicht **314** wird anschließend erhitzt, so dass sich Nanopartikel innerhalb der implantierten Charge Trapping-Schicht **314** bilden. Die Verteilung von Nanopartikeln liefert eine hohe Charge Trapping-Dichte (beispielsweise in der Größenordnung von $1 \times 10^{19} \text{ cm}^{-3}$), die ein großes Programmierfenster für 2, 3 oder mehr Schwellenspannungspegel für eine Multibit-Operation ermöglicht. In einem spezifischen Ausführungsbeispiel der Erfindung wird die Charge Trapping-Schicht **314** erhitzt, so dass eine nicht-stöchiometrische Verteilung von Nanopartikeln innerhalb der Charge Trapping-Schicht **314** gebildet wird. In einem solchen Beispiel werden lokale Variationen der Verbindung in dem unteren Bereich von Erhitzungstemperaturen gebildet. Ein Erhöhen dieser Temperatur führt zu einer Erzeugung zusätzlicher Nanopartikel aus diesen Variationen der Verbindung, womit eine weitere Erhöhung der Trapping-Dichten in diesen Bereichen resultiert.

[0107] Die hohe Trapping-Dichte, die von den Nanopartikeln in der Charge Trapping-Schicht **314** bereitgestellt wird, ermöglicht zusätzlich eine Reduktion der Dicke der Charge Trapping-Schicht **314**, beispielsweise von 15 nm bis hinunter zu 3 nm bis 7 nm, da ausreichend Ladung bereitgestellt wird innerhalb eines kleineren Volumens der Charge Trapping-Schicht **314**. Eine Reduktion der Dicke der Charge Trapping-Schicht **314** ermöglicht ferner den Einsatz einer niedrigeren Löschspannung (beispielsweise 10 V bis 15 V im Vergleich zu 20 V), da die reduzierte Dicke der Charge Trapping-Schicht **314** in einem ausreichenden Löschfeld (beispielsweise 1,3 V/nm), welche an die erste dielektrische Schicht **312** angelegt wird, wenn die niedrigere Löschspannung an die Gate-Kontaktschicht **318** angelegt wird, resultiert.

[0108] In einem Ausführungsbeispiel der Erfindung ist die verwendete Temperatur zum Ausbilden der Nanopartikel in der implantierten Charge Trapping-Schicht **314** (beispielsweise 500 °C bis 800 °C) niedriger als die Source/Drain-Bereichs-Erhitzungstemperatur (beispielsweise höher als 850 °C). Während die Erhitzungstemperatur ausreichend ist zum Erzeugen von Nanopartikeln in der Charge Trapping-Schicht **314** (und in einem spezifischen Ausführungsbeispiel, einer nicht-stöchiometrischen Verteilung der Nanopartikel), übersteigt sie nicht die Diffusionstemperatur der Source/Drain-Implants in den Source/Drain-Bereichen **302**, **304**. Demgemäß bleiben die implantierten Dotierprofile der Source/Drain-Bereiche **302** und **304** im Wesentlichen unverändert mit nur einer geringen Diffusion nach den Charge Trapping-Schicht-Erheizungsprozessen. Die

Reduktion bei der Source/Drain-Bereichs-Diffusion liefert eine größere Genauigkeit bei dem Ausbilden der Source/Drain-Bereiche und des Gate-Bereichs der Zelle, womit es ermöglicht wird, kleinere Zellstrukturen zu implementieren und demgemäß, Arrays mit höherer Dichte.

[0109] Ferner ist in dieser Ausführungsform die amorphe zweite dielektrische Schicht **316** gemäß dem oben beschriebenen Charge Trapping-Schicht-Erhitzungsprozess ausgebildet. In einer solchen Ausführungsform werden keine nachfolgenden Hochtemperaturschritte durchgeführt und der Amorph-Zustand der zweiten dielektrischen Schicht **316** bleibt nach ihrer Ausbildung erhalten. Die Gate-Kontaktschicht **318** wird nachfolgend bereitgestellt, entweder in der Form von n-dotiertem Material oder von p-dotiertem Material, wie im Folgenden noch näher erläutert wird.

[0110] [Fig. 4B](#) zeigt eine zweite spezifische Ausführungsform einer Charge Trapping-Speicherzelle **450** gemäß einem Ausführungsbeispiel der Erfindung, wobei zuvor identifizierte Merkmale mit identischen Bezugszeichen versehen sind. Wie in dem ersten Ausführungsbeispiel enthalten der erste Source/Drain-Bereich **302** und der zweite Source/Drain-Bereich **304** Implants, welche durch eine Diffusionstemperatur gekennzeichnet sind, oberhalb der die Implants zu diffundieren beginnen. Die Source/Drain-Bereiche **302**, **304** werden implantiert und erhitzt, beispielsweise getempert, bevor die amorphe zweite dielektrische Schicht **316** ausgebildet wird und, in einer Ausführungsform, bevor die Charge Trapping-Schicht **314** gebildet wird.

[0111] Weiterhin ist es gemäß einem Ausführungsbeispiel der Erfindung vorgesehen, dass die erste dielektrische Schicht **312** ursprünglich mit einer ersten Dicke ausgebildet wird (beispielsweise mittels thermischen Aufwachsens), beispielsweise mit einer Schichtdicke von 5 nm bis 15 nm, und anschließend auf eine gewünschte Dicke heruntergeätzt wird, beispielsweise auf eine Schichtdicke von 3 nm. Dieser Prozess erlaubt die Parallelkonstruktion von Transistoren mit unterschiedlichen Schwellenspannungen, wie beispielsweise Speicherzellen und Auswahl-Gate-Transistoren, wie im Folgenden noch näher erläutert wird.

[0112] Die Charge Trapping-Schicht **314** wird gebildet aus im Wesentlichen homogenem Charge Trapping-Schichtmaterial wie beispielsweise Silizium-reichem Siliziumnitrid. Andere Materialien können alternativ verwendet werden, beispielsweise Germanium-reiches Siliziumnitrid. Die Charge Trapping-Schicht **314** kann ausgebildet werden mit einer Schichtdicke in einem Bereich von 3 nm bis 10 nm unter Verwendung eines Atomlagenepitaxieverfahrens (Atomic Layer Deposition, ALD), Niedrig-

druck-Abscheideverfahrens aus der Gasphase (Low Pressure Chemical Vapor Deposition, LPCVD) oder anderen in dem eingesetzten spezifischen Herstellungsprozess verfügbaren Technologien.

[0113] Die amorphe zweite dielektrische Schicht **316** wird allgemein über der Charge Trapping-Schicht **314** abgeschieden und nachfolgend wird die Charge Trapping-Schicht **314** erhitzt auf eine vordefinierte Temperatur, welche unterhalb liegt sowohl (i) der Kristallisationstemperatur der amorphen zweiten dielektrischen Schicht **316** als auch (ii) der Diffusionstemperatur der Source/Drain-Bereiche **302**, **304**. Bei dem zuvor beschriebenen Ausführungsbeispiel, bei dem die Kristallisationstemperatur der amorphen zweiten dielektrischen Schicht **316** 800 °C bis 1000 °C beträgt und die Source/Drain-Erhitzungstemperatur über 850 °C beträgt, liegt die Charge Trapping-Schicht-Erhitzungstemperatur in einem Bereich von 500 °C bis 800 °C.

[0114] Die Gate-Kontaktschicht **318** (welche n-dotiertes Gate-Leitermaterial sein kann oder p-dotiertes Gate-Leitermaterial) wird über der amorphen zweiten dielektrischen Schicht **316** abgeschieden, so dass eine kürzeste Kopplungsdistanz zu der Charge Trapping-Schicht **314** bereitgestellt wird. In einem spezifischen Ausführungsbeispiel ist die Speicherzelle **450** eine n-Typ-Einrichtung und der Gate-Leiter ist ein p⁺-Leitermaterial, so dass eine um 1 eV höhere Barriere erzielt wird, so dass ein Ladungstransfer zwischen der Charge Trapping-Schicht **314** und der Gate-Kontaktschicht **318** zusätzlich gehemmt wird.

[0115] Wie in [Fig. 4B](#) gezeigt ist, werden Nanopartikel **452**, welche auf die oben beschriebene Weise hergestellt werden, in der Charge Trapping-Schicht **314** bereitgestellt, so dass eine höhere Charge Trapping-Dichte erzielt wird (beispielsweise in der Größenordnung von $1 \times 10^{19} \text{ cm}^{-3}$), die ein weites Programmierfenster für zwei, drei oder mehr Schwellenspannungs-Pegel zum Multibit-Betrieb ermöglicht.

[0116] [Fig. 5](#) zeigt eine Querschnittsansicht eines beispielhaften NAND-Array-Abschnitts **500** von Charge Trapping-Speicherzellen gemäß einem Ausführungsbeispiel der Erfindung. Der NAND-Array-Abschnitt **500** weist einen NAND-String von Source-zu-Drain-gekoppelten Charge Trapping-Speicherzellen **502₁**, **502₂**, ..., **502_{n-1}**, **502_n**, eine erste Auswahl-Gate-Zelle **504a** und eine zweite Auswahl-Gate-Zelle **504b**, einen ersten Bitleitungs-Kontakt **506a** und einen zweiten Bitleitungs-Kontakt **506b**, ein Bitleitungs-Via **508** und eine Bitleitung **510** auf. Wortleitungen, welche jeweils mit mindestens einer der Charge Trapping-Speicherzellen **502₁**, **502₂**, ..., **502_{n-1}**, **502_n**, gekoppelt sind, werden gebildet von den Verbindungen zwischen den Gate-Kontakten. Zusätzlich sind die zweiten Bitleitungs-Kontakte **506b** mit einer Sourceleitung gekoppelt, die benach-

barten Strings gemeinsam ist, auch bezeichnet als gemeinsame Sourceleitung, welche mit dem Massepotential gekoppelt sein kann.

[0117] Wie dargestellt weist der NAND-String **500** eine Mehrzahl von Source-zu-Drain-gekoppelten Charge Trapping-Speicherzellen **502₁**, **502₂**, ..., **502_{n-1}**, **502_n**, auf, wobei jede ausgebildet ist, wie oben beschrieben. Insbesondere weist jede der Speicherzellen **502₁**, **502₂**, ..., **502_{n-1}**, **502_n**, auf einen ersten Source/Drain-Bereich und einen zweiten Source/Drain-Bereich (bezeichnet mit S/D), und einen Kanalbereich **306₁**, **306₂**, ..., **306_{n-1}**, **306_n**, zwischen einem jeweiligen ersten Source/Drain-Bereich und einem jeweiligen zweiten Source/Drain-Bereich. Ferner ist eine Gate-Struktur über dem Kanalbereich **306₁**, **306₂**, ..., **306_{n-1}**, **306_n**, vorgesehen, wobei die Gate-Struktur eine erste dielektrische Schicht **312₁**, **312₂**, ..., **312_{n-1}**, **312_n**, aufweist sowie eine mit dem Kanalbereich **306₁**, **306₂**, ..., **306_{n-1}**, **306_n**, mittels der ersten dielektrischen Schicht **312₁**, **312₂**, ..., **312_{n-1}**, **312_n**, gekoppelte Charge Trapping-Schicht **314₁**, **314₂**, ..., **314_{n-1}**, **314_n**. Eine Gate-Kontaktschicht **318₁**, **318₂**, ..., **318_{n-1}**, **318_n**, ist mit der Charge Trapping-Schicht **314₁**, **314₂**, ..., **314_{n-1}**, **314_n**, mittels einer zweiten dielektrischen Schicht **316₁**, **316₂**, ..., **316_{n-1}**, **316_n**, gekoppelt, wobei die zweite dielektrische Schicht **316₁**, **316₂**, ..., **316_{n-1}**, **316_n**, ein hoch-amorphes Material aufweist, welches gekennzeichnet ist durch eine Kristallisationstemperatur, oberhalb der die zweite dielektrische Schicht im Wesentlichen nicht-amorph wird (die Charge Trapping-Speicherzelelemente in [Fig. 5](#) sind bezeichnet mit Bezugszeichen nur für die (n-1)-te Charge Trapping-Speicherzelle **502_{n-1}**). Wie oben beschrieben wurde, kann die erste dielektrische Schicht **312₁**, **312₂**, ..., **312_{n-1}**, **312_n**, in unterschiedlichen Dicken ausgebildet sein.

[0118] Zusätzlich kann die Charge Trapping-Schicht **314₁**, **314₂**, ..., **314_{n-1}**, **314_n**, implantiert werden und erhitzt werden, so dass in ihr Charge Trapping-Nanopartikel ausgebildet werden. Ferner kann beispielhaft die Gate-Kontaktschicht **318₁**, **318₂**, **318_{n-1}**, **318_n**, entweder n-dotiertes Gate-Leitermaterial oder p-dotiertes Gate-Leitermaterial enthalten. Der Herstellungsprozess wird im Folgenden näher erläutert.

[0119] Weiterhin weist das beispielhafte NAND-Speicherarray **500** Auswähl-Gate-Zellen **504a**, **504b** auf, die derart betrieben werden können, dass sie eine geeignete Bitleitungsspannung an jeder Seite des NAND-Strings **502** bereitstellen. Zwei Auswähl-Gate-Zellen **504a**, **504b** sind in dem dargestellten Ausführungsbeispiel gezeigt, wobei eine erste Auswähl-Gate-Zelle **504a** mit der ersten Speicherzelle **502₁** gekoppelt ist und eine zweite Auswähl-Gate-Zelle **504b** mit der n-ten Speicherzelle **502_n** des NAND-Strings **502** gekoppelt ist. In einer alternativen Ausführungsform kann auch nur eine Auswähl-Gate-Zelle verwendet werden, beispielsweise,

wenn eine Sourceleitung zum Zuführen einer Spannung an einer Seite des NAND-Strings **502** verwendet wird.

[0120] Wie dargestellt sind die Auswähl-Gate-Zellen **504a** und **504b** mit den Speicherzellen **502₁** und **502_n** in einer seriengekoppelten Source-zu-Drain-Anordnung gekoppelt, wobei jede Auswähl-Gate-Zelle **504a** und **504b** erste Source/Drain-Bereiche aufweist **512**, **514**, welche mit einem Source/Drain-Bereich einer benachbarten Speicherzelle **502₁**, **502_n**, gekoppelt sind. Jede der Auswähl-Gate-Zellen **504a**, **504b** weist ferner eine Gate-Struktur **516** auf, die derart eingerichtet ist, dass sie betrieben werden kann zum Steuern des Zustands der Auswähl-Gate-Zellen **504a** und **504b**.

[0121] In einer Ausführungsform der Erfindung ist die Gate-Kontaktschicht **318₁**, **318₂**, ..., **318_{n-1}**, **318_n**, von mindestens einer der Charge Trapping-Speicherzellen **502₁**, **502₂**, ..., **502_{n-1}**, **502_n**, hergestellt aus einem ersten Leitermaterial, welches eine erste Gate-Austrittsarbeit aufweist und die Gate-Kontaktschicht **518** von mindestens einer der Auswähl-Gate-Zellen **504a** und **504b** aus einem zweiten Leitermaterial hergestellt ist, welches eine zweite Austrittsarbeit aufweist. In einem Ausführungsbeispiel der Erfindung ist die Gate-Kontaktschicht **318₁**, **318₂**, ..., **318_{n-1}**, **318_n**, einer jeden Charge Trapping-Speicherzelle **502₁**, **502₂**, ..., **502_{n-1}**, **502_n**, hergestellt aus p-dotiertem Polysilizium, welches eine hohe Gate-Austrittsarbeit aufweist, und die Gate-Kontaktschicht **518** von jeder der Auswähl-Gate-Zellen **504a**, **504b** kann aus n-dotiertem Polysilizium hergestellt sein, so dass sie eine niedrige Gate-Austrittsarbeit aufweist. Indem Gate-Material mit einer hohen Austrittsarbeit verwendet wird bei der Herstellung der Speicherzellen kann die Barrierenhöhe zwischen der Charge Trapping-Schicht **314₁**, **314₂**, ..., **314_{n-1}**, **314_n**, und der Gate-Kontaktschicht **318₁**, **318₂**, ..., **318_{n-1}**, **318_n**, erhöht werden. Ein Fachmann wird erkennen, dass die Gate-Kontaktschicht **318₁**, **318₂**, ..., **318_{n-1}**, **318_n** aus p⁺-olysilizium gebildet werden kann, welches eine hohe Gate-Austrittsarbeit bereitstellt, wenn dies gewünscht ist.

[0122] Der NAND-Array-Abschnitt **500** weist ferner die Bit-Leitungskontakte **506a**, **506b**, das Bitleitung-Via **508** und die Bitleitung **510** auf. Die Bitleitungskontakte **506a** und **506b** stellen die Kontaktschnittstelle zu den Auswähl-Gate-Zellen **504a** bzw. **504b** bereit jeweils mittels zweiter Source/Drain-Bereiche **520** und **522** der jeweiligen Auswähl-Gate-Zellen **504a** bzw. **504b**, wobei die Auswähl-Gate-Zellen **504a** und **504b** eingerichtet sind derart, dass sie die Bitleitungsspannung an die Speicherzellen **502₁** bzw. **502_n** schalten können zum Aktivieren des NAND-Speicherzellen-Strings **502**. Das Bitleitung-Via **508** stellt einen Kontakt zwischen dem ersten Bitleitungskontakt **506a** und der Bitleitung **510**

bereit.

[0123] [Fig. 6A](#) zeigt ein Ablaufdiagramm **600**, in welchem ein Ausführungsbeispiel eines Verfahrens zum Herstellen eines NAND-Arrays von Charge Trapping-Speicherzellen gemäß einem Ausführungsbeispiel der Erfindung dargestellt ist.

[0124] In Schritt **602** wird ein Kanalbereich **306** für jede Speicherzelle ausgebildet, wobei der Prozess **602** optional aufweist ein Bereitstellen einer Anreicherungs-Implantation, wie beispielsweise einer Halo-Implantation oder LDD-Implantation zum Anreichern der Kanal-Dotierungskonzentration in den Kanalbereichs-Endbereichen zwischen dem ersten Source/Drain-Bereich **302** und dem zweiten Source/Drain-Bereich **304**.

[0125] Das Verfahren weist Prozesse auf, mittels denen eine Mehrzahl von Source-zu-Drain-gekoppelten Charge Trapping-Speicherzellen ausgebildet werden, wodurch erste und zweite Source/Drain-Bereiche für jede der Speicherzellen gekoppelt werden (Prozess **604**).

[0126] In einem Ausführungsbeispiel des Prozesses **604** gemäß der Ausgestaltung einer Speicherzelle, wie sie in [Fig. 4A](#) beschrieben wurde, werden die Source/Drain-Bereiche **302**, **304** implantiert (wobei ein vordefiniertes Dotierprofil (n-Typ oder p-Typ) bereitgestellt wird) und erhitzt bei einer Temperatur von über 850 °C, womit die Dotieratome in den Source/Drain-Bereichen **302**, **304** aktiviert werden. Ein nachfolgender Schritt bei dem Ausbilden der Charge Trapping-Schicht **314** übersteigt nicht die Diffusionstemperatur der Source/Drain-Bereiche **302**, **304**.

[0127] In einem Schritt **606** wird eine erste dielektrische Schicht **312** auf oder über der oberen Oberfläche des Substrats zumindest über dem Kanalbereich **306** ausgebildet und es wird eine Charge Trapping-Schicht auf oder über der ersten dielektrischen Schicht **312** ausgebildet. Die erste dielektrische Schicht **312** wird ausgebildet über dem Kanalbereich **306** und aufgewachsen/abgeschieden mit einer relativ großen Dicke, beispielsweise 6 nm bis 15 nm, wie in dem Ausführungsbeispiel in [Fig. 4A](#) dargestellt ist. In einer anderen Ausführungsform, wie sie in [Fig. 4B](#) beschrieben ist, wird die dicke erste dielektrische Schicht zurückgeätzt auf eine Dicke von 2 nm bis 5 nm für die Charge Trapping-Zellen.

[0128] Die Charge Trapping-Schicht **314** wird aufgewachsen/abgeschieden über der ersten dielektrischen Schicht **312**, so dass der kürzeste Kopplungspfad zu dem Kanalbereich **306** bereitgestellt wird und kann entweder als einzelne kontinuierliche Region ausgebildet sein oder als Mehrfach-Region.

[0129] Ein spezifisches Ausführungsbeispiel des

Prozesses **606** gemäß dem Herstellen der in [Fig. 4A](#) gezeigten Zelle weist den Prozess des Bildens der Charge Trapping-Schicht **314** über zumindest einen Teil der ersten dielektrischen Schicht **312** auf, ein Implantieren der Charge Trapping-Schicht **314** mit einer oder mehreren Art von Fremdatomen, ein Erhitzen der implantierten Charge Trapping-Schicht **314** auf eine Temperatur, die geeignet ist, Charge Trapping-Nanoanreicherungen darin auszubilden. Die implantierten Fremdatome können ausgewählt werden aus der Gruppe von Materialien bestehend aus Ge, Si, B, C, Al, Ga, Ti, Zr, Nb, Hf, Y, In, La, Ta, W und ähnlichen Materialien, die in dem spezifisch verwendeten Herstellungsprozess verfügbar sind. In einem Ausführungsbeispiel der Erfindung ist die Temperatur, auf welche die implantierte Charge Trapping-Schicht **314** erhitzt wird, ausreichend zum Ausbilden einer nicht-stöchiometrischen Verteilung von Nanopartikeln, so dass die Konzentration der Trapping-Dichte der Charge Trapping-Schicht **314** zusätzlich erhöht wird. In einem solchen Beispielfall werden lokale Variationen der Verbindung in dem unteren Bereich der Erhitzungstemperaturen ausgebildet. Ein Erhöhen dieser Temperatur erzeugt zusätzliche Nanopartikel außerhalb der Variationen der Verbindung, womit die Trapping-Dichten in diesen Bereichen weiter erhöht werden.

[0130] In einem Ausführungsbeispiel des Prozesses **606** gemäß dem Ausbilden der Speicherzelle in [Fig. 4B](#) weist das Ausbilden der Charge Trapping-Schicht **314** auf ein Abscheiden einer im Wesentlichen homogenen Charge Trapping-Schicht **314** über der ersten dielektrischen Schicht **312** und ein Erhitzen der Charge Trapping-Schicht **314** auf eine vordefinierte Temperatur, nachdem die amorphe zweite dielektrische Schicht **316** über der Charge Trapping-Schicht **314** ausgebildet wurde. In diesem Ausführungsbeispiel ist die Charge Trapping-Schicht-Erhitzungstemperatur unterhalb sowohl (i) der Kristallisationstemperatur der amorphen zweiten dielektrischen Schicht **316** als auch (ii) der Diffusionstemperatur der Source/Drain-Bereiche **302**, **304**.

[0131] In einem Schritt **608** wird eine amorphe zweite dielektrische Schicht **316** über zumindest einem Teil der Charge Trapping-Schicht **314** ausgebildet. In einer spezifischen Ausführungsform ist die zweite dielektrische Schicht **316** hergestellt aus amorphem Al_2O_3 , Ta_2O_5 , HfO_2 , ZrO_2 , SiO_2 oder Kombinationen derselben. Ferner ist die zweite dielektrische Schicht **316** gekennzeichnet durch eine Kristallisationstemperatur (beispielsweise 800 °C bis 1000 °C), oberhalb der das Material der zweiten dielektrischen Schicht **316** im Wesentlichen nicht-amorph wird.

[0132] In einem ersten Ausführungsbeispiel gemäß dem der Speicherzelle **400** in [Fig. 4A](#) wird die amorphe zweite dielektrische Schicht **316** gebildet nach

dem Erhitzungsprozess der Charge Trapping-Schicht **314**. In einer zweiten Ausführungsform gemäß dem der Speicherzelle **450** in [Fig. 4B](#) wird die amorphe zweite dielektrische Schicht **316** ausgebildet vor dem Durchführen des Charge Trapping-Schicht-Erhitungsprozesses.

[0133] In Schritt **610** wird eine Gate-Kontaktschicht **318** ausgebildet, welche mit der Charge Trapping-Schicht **314** mittels der zweiten dielektrischen Schicht **316** gekoppelt ist. In einer spezifischen Ausführungsform wird die Gate-Kontaktschicht **318** über der zweiten dielektrischen Schicht **316** derart ausgebildet, dass sie den kürzesten Kopplungspfad zu derselben bereitstellt. In einer spezifischen Ausführungsform wird die Gate-Kontaktschicht **318** aus n-dotiertem Material oder aus p-dotiertem Material ausgebildet, so dass eine einstellbare Gate-Austrittsarbeit bereitgestellt werden kann.

[0134] In Schritt **612** wird mindestens eine Auswahl-Gate-Zelle **504a**, **504b** ausgebildet und mit dem NAND-String **502** von Speicherzellen gekoppelt. Der Prozess weist ein Ausbilden auf von ersten und zweiten Source/Drain-Bereichen **512**, **514** und **522**, **524**, wobei ein erster Source/Drain-Bereich **512**, **514** oder ein zweiter Source/Drain-Bereich **522**, **524** der Auswahl-Gate-Zelle **504a**, **504b** mit einem ersten Source/Drain-Bereich **302** oder einen zweiten Source/Drain-Bereich **304** von einer der Mehrzahl von Charge Trapping-Speicherzellen **502₁**, **502₂**, ..., **502_{n-1}**, **502_n**, gekoppelt ist. Ferner wird eine Gate-Struktur **516** über dem Kanalbereich der Auswahl-Gate-Zellen **504a**, **504b** ausgebildet, wobei der Kanalbereich zwischen dem ersten Source/Drain-Bereich und dem zweiten Source/Drain-Bereich der jeweiligen Auswahl-Gate-Zelle **504a**, **504b** gekoppelt ist.

[0135] In einem Ausführungsbeispiel der Erfindung werden die NAND-String-Speicherzellen **502₁**, **502₂**, ..., **502_{n-1}**, **502_n**, und die Auswahl-Gate-Zellen) **504a**, **504b** mit unterschiedlichen Gate-Kontaktschichten ausgebildet derart, dass diese zwei Zellentypen unterschiedliche Gate-Austrittsarbeiten aufweisen. Beispielsweise kann die Gate-Kontaktschicht von n-Kanal Charge Trapping-Speicherzellen gebildet sein aus p⁺-Gate-Leitermaterial (beispielsweise p-dotiertem Polysilizium), so dass eine große Barrierenhöhe zwischen der Charge Trapping-Schicht **314** und den Gate-Kontaktschichten **318** bereitgestellt wird und die Gate-Kontaktschicht **318** der n-Kanal-Auswahl-Zellen **504a**, **504b** aus einem n⁺-Gate-Leitermaterial gebildet sein kann (beispielsweise aus n-dotiertem Polysilizium), so dass eine niedrige Gate-Austrittsarbeit bereitgestellt wird zum Schalten bei niedrigen Spannungen. Alternativ können die für die Gate-Kontaktschichten verwendeten Materialien derart geschaltet werden, dass sie Speicherzellen mit einer niedrigen Gate-Austrittsarbeit und Aus-

wahl-Gates mit hoher Gate-Austrittsarbeit bereitstellen. Andere Materialien als Polysilizium, beispielsweise Metalle, können ebenfalls eingesetzt werden zum Bereitstellen unterschiedlicher Gate-Austrittsarbeiten.

[0136] [Fig. 6B](#) bis [Fig. 6K](#) zeigen eine Querschnittsansicht des NAND-Array-Teils **500** in unterschiedlichen Herstellungszuständen gemäß einem Ausführungsbeispiel der Erfindung. Die Ansicht entspricht der Ansicht eines vollständig hergestellten NAND-Strings, wie er in [Fig. 5](#) nach Vervollständigung der unterschiedlichen Herstellungsschritte gegeben ist, wie im Folgenden näher erläutert wird.

[0137] Ursprünglich werden aktive Bereiche von NAND-Strings **620** in dem Bulk-Halbleitersubstrat **622** (beispielsweise Si, SiGe, GaAs, oder dergleichen) ausgebildet, wobei die aktiven Bereiche mittels Shallow Trench-Isolationsbarrieren (in den Figuren nicht gezeigt) isoliert werden. Nachfolgend wird die erste dielektrische Schicht **624** über den aktiven Bereichen ausgebildet (beispielsweise thermisch aufgewachsen).

[0138] In einem Ausführungsbeispiel der Erfindung wird die erste dielektrische Schicht aufgewachsen mit einer relativ großen Dicke, die geeignet ist für Zellen in dem NAND-String **620** für höhere Spannungen, beispielsweise für die Auswahl-Gate-Zellen **504a**, **504b**. Anschließend werden die Gate-Kontaktschichten **626a** und **626b** für die Auswahl-Gate-Zellen **504a**, **504b** abgeschieden (beispielsweise undotiertes oder n⁺-dotiertes Polysilizium), und darüber wird eine Siliziumnitrid-Hartmaske **628** abgeschieden. Opfer-Gate-Strukturen **630** einer jeden der NAND-Speicherzelle und Gate-Strukturen einer jeden der Auswahl-Gate-Zellen werden maskiert und Bereiche innerhalb der Region, in der die Charge Trapping-Speicherzellen ausgebildet werden sollen, werden geätzt (beispielsweise unter Verwendung von reaktivem Ionenätzen (Reactive Ion Etching, RIE); allgemein kann jedes anisotropes Ätzen in diesem Fall eingesetzt werden), womit die obere Oberfläche der ersten dielektrischen Schicht **624** in denjenigen Bereichen freigelegt wird, in denen die Source/Drain-Bereiche **632** der Charge Trapping-Speicherzelle ausgebildet werden sollen. Auf diese Weise werden Opfer-Gate-Strukturen **630** ausgebildet, welche über den Kanalbereichen der auszubildenden Charge Trapping-Speicherzellen angeordnet sind. Nachfolgend werden die freigelegten Source/Drain-Bereiche **632** implantiert mit einem vordefinierten Dotierprofil unter Verwendung der Opfer-Gate-Strukturen **630** und der Gate-Strukturen einer jeden der Auswahl-Gate-Zellen als Maske. Darin werden die freigelegten Source/Drain-Bereiche erhitzt, womit die Dotieratome aktiviert werden. Bestimmte Liner und Seitenwand-Spacer (nicht dargestellt) können verwendet werden zum Begrenzen der

lateralen Erstreckung der Bereiche auf eine bestimmte Länge unterhalb der Gate-Randbereiche. Die resultierende Struktur ist in [Fig. 6B](#) gezeigt.

[0139] Dann werden die offenen Strukturen mit einem Oxid **634** gefüllt und Liner und Spacer werden verwendet, um ein gleichzeitiges CMOS-Prozessieren zu ermöglichen. Anschließend wird die Struktur unter Verwendung eines CMP-Prozesses planarisiert und die Siliziumnitrid-Hartmaske innerhalb der Wortleitungs-Struktur wird unter Verwendung einer entsprechenden Lithographie-Maske entfernt. Zusätzlich werden die Polysilizium-Abschnitte innerhalb der Wortleitungs-Struktur ebenfalls entfernt, welche zuvor gemeinsam mit dem Abscheiden der Gate-Kontaktschichten **626a** und **626b** für die Auswahl-Gate-Zellen **504a**, **504b** ausgebildet wurden. In anderen Worten werden die Opfer-Gate-Strukturen **630** entfernt, welche sich über den Kanalbereichen der auszubildenden Charge Trapping-Speicherzellen befinden. Die resultierende Struktur ist in [Fig. 6C](#) gezeigt.

[0140] Die NAND-String-Speicherzellen **502₁**, **502₂**, ..., **502_{n-1}**, **502_n**, werden dann gemäß den in den [Fig. 4A](#) und [Fig. 4B](#) beschriebenen Ausführungsbeispielen ausgebildet.

[0141] In dem Ausführungsbeispiel des Herstellungsverfahrens gemäß der in [Fig. 4A](#) dargestellten Speicherzellenstruktur wird die Charge Trapping-Schicht **314** über zumindest einem Teil der ersten Oxidschicht **312** gebildet, wobei die Charge Trapping-Schicht **314** gebildet wird aus beispielsweise Silizium-reichem Siliziumnitrid-Material. Dann wird die Charge Trapping-Schicht **314** mit einer oder mehreren Spezies von Fremdatomen, beispielsweise Si, Ge oder ähnlichen Materialien, implantiert. Die implantierten Fremdatome in der Charge Trapping-Schicht **314** werden anschließend auf eine Temperatur erhitzt unterhalb der Diffusionstemperatur der implantierten Profile, womit Nanoanreicherungen gebildet werden, welche beispielsweise einen Durchmesser von weniger oder gleich 4 nm, beispielsweise einen Durchmesser von weniger oder gleich 3 nm, beispielsweise einen Durchmesser von weniger oder gleich 1 nm aufweisen, unter Verwendung von Plasmatodotierungen innerhalb der implantierten Charge Trapping-Schicht **314**. In einem Ausführungsbeispiel der Erfindung wird die Erhitzungstemperatur derart gewählt, dass die Charge Trapping-Nanoanreicherungen gebildet werden in einer nicht-stöchiometrischen Verteilung innerhalb der Charge Trapping-Schicht **314**, beispielsweise 700 °C bis 850 °C und derart, dass die Erhitzungstemperatur unterhalb der Diffusionstemperatur der Source/Drain-Bereiche **302**, **304** liegt. Die amorphe zweite dielektrische Schicht **316** wird dann über zumindest einem Teil der Charge Trapping-Schicht **314** gebildet, beispielsweise unter Verwendung von Prozessen wie beispiels-

weise einer Atomlagenabscheidung, Niederdruck-Gasphasenabscheidung oder ähnlichen Prozessen. Die Gate-Kontaktschicht **318** für die NAND-Speicherzellen **502₁**, **502₂**, ..., **502_{n-1}**, **502_n**, wird dann über der amorphen zweiten dielektrischen Schicht **316** abgeschieden, wobei die Gate-Kontaktschicht **318** in einer Ausführungsform hergestellt wird aus einem Gate-Leitermaterial (beispielsweise p⁺-dotiertem Polysilizium), welches eine unterschiedliche Gate-Austrittsarbeit bereitstellt als das Material der Gate-Kontaktschichten **626a** und **626b** der Auswahl-Gate-Zellen **504a**, **504b**. Die resultierende Struktur ist in [Fig. 6D](#) gezeigt.

[0142] In dem Ausführungsbeispiel des Herstellungsverfahrens gemäß der in [Fig. 4B](#) gezeigten Speicherzellen-Struktur wird die Dicke der ersten Oxidschicht **312** reduziert auf eine herkömmliche Dicke von 2 nm bis 4 nm, beispielsweise 3 nm. Dann wird die Charge Trapping-Schicht **314** über zumindest einem Teil der ersten Oxidschicht **312** ausgebildet, wobei die Charge Trapping-Schicht **314** hergestellt ist aus beispielsweise Silizium-reichem Siliziumnitrid-Material. Die amorphe zweite dielektrische Schicht **316** wird über zumindest einem Teil der Charge Trapping-Schicht unter Verwendung beispielsweise von Prozessen wie beispielsweise Atomlagenabscheidung, Niederdruck-Gasphasenabscheidung oder ähnlichen Prozessen ausgebildet. Die Charge Trapping-Schicht **314** wird anschließend erhitzt auf eine Temperatur, welche niedriger ist als sowohl (i) die Kristallisationstemperatur der amorphen zweiten dielektrischen Schicht **316** und (ii) die Diffusionstemperatur der Source/Drain-Bereiche **302**, **304**. Die Gate-Kontaktschicht **318** für die NAND-Speicherzellen **502₁**, **502₂**, ..., **502_{n-1}**, **502_n**, wird dann über der amorphen zweiten dielektrischen Schicht abgeschieden, wobei die Gate-Kontaktschicht **318** in einer Ausführungsform der Erfindung aus einem Gate-Leitermaterial gebildet wird (beispielsweise p⁺-dotiertem Polysilizium), welches eine unterschiedliche Gate-Austrittsarbeit bereitstellt als das Material der Gate-Kontaktschichten **626a** und **626b** der Auswahl-Gate-Zellen **504a**, **504b**. Die resultierende Struktur ist in [Fig. 6E](#) gezeigt.

[0143] Die Gate-Kontaktschicht **318** für die NAND-Speicherzellen **502₁**, **502₂**, ..., **502_{n-1}**, **502_n**, wird dann teilweise unter Verwendung eines CMP-Prozesses entfernt, bis die obere Oberfläche des Oxids **634** freigelegt wird. Dann werden diese Abschnitte der Siliziumnitrid-Hartmaske **628**, die noch auf oder über den Gate-Kontaktschichten **626a** und **626b** der Auswahl-Gate-Zellen **504a**, **504b** verblieben sind, selektiv entfernt. Die resultierende Struktur, welche gleich ist für sowohl die Speicherzellen-Struktur gemäß [Fig. 4A](#) als auch für die Speicherzellen-Struktur gemäß [Fig. 4B](#), ist in [Fig. 6F](#) gezeigt.

[0144] Die Leitfähigkeit der Gate-Kontaktschichten 318 für die NAND-Speicherzellen 502₁, 502₂, ..., 502_{n-1}, 502_n, und die Auswähl-Gate-Zellen 504a, 504b können mittels eines Silizidierungs-Prozesses erhöht werden. Die resultierende Struktur ist in [Fig. 6G](#) gezeigt.

[0145] Dann werden die Bereiche, die außerhalb des auszubildenden ersten Bitleitungs-Kontakts liegen, unter Verwendung einer ersten Bitleitungs-Kontaktmaske maskiert und ein erstes Bitleitungs-Kontaktloch 636 wird geätzt. Das geätzte erste Bitleitungs-Kontaktloch 636 wird mit erstem Bitleitungs-Kontaktmaterial (beispielsweise Polysilizium) 638 gefüllt und planarisiert und die erste Bitleitungs-Kontaktmaske wird dann entfernt, womit ein erster Bitleitungs-Kontakt 640 gebildet wird. Dann kann das erste Bitleitungs-Kontaktmaterial 638 silizidiert werden. Dann wird eine Intermetall-Dielektrikums-Schicht 645 abgeschieden, so dass die gesamte Struktur bedeckt wird und die Intermetall-Dielektrikums-Schicht 642 wird planarisiert.

[0146] Anschließend werden die Bereiche, die außerhalb des zu bildenden zweiten Bitleitungs-Kontakts liegen unter Verwendung einer zweiten Bitleitungs-Kontaktmaske maskiert und ein zweites Bitleitungs-Kontaktloch 644 wird geätzt. Das geätzte zweite Bitleitungs-Kontaktloch 644 wird mit einem zweiten Bitleitungs-Kontaktmaterial (beispielsweise Polysilizium) 646 gefüllt und planarisiert und die zweite Bitleitungs-Kontaktmaske wird entfernt, womit ein zweiter Bitleitungs-Kontakt 648 ausgebildet wird. Bitleitungen 650 werden in Kontakt mit dem zweiten Bitleitungs-Kontakt 648 ausgebildet. Die resultierende Struktur ist in [Fig. 6H](#) gezeigt.

[0147] In einer alternativen Ausführungsform des in [Fig. 6F](#) bis [Fig. 6H](#) beschriebenen Prozesses werden vor dem Entfernen der Siliziumnitrid-Hartmaske 628 die Oxidbereiche 634, die sich außerhalb des zu bildenden Bitleitungs-Kontaktes befinden und außerhalb der zu bildenden Sourceleitungen maskiert unter Verwendung einer Bitleitungs-Kontakt/Sourceleitungs-Maske und die Bitleitungs-Kontaktlöcher 652 werden innerhalb des Oxidbereichs 634 geätzt unter Verwendung eines reaktiven Ionenätzens. Zusätzlich werden die Sourceleitungen unter Verwendung eines reaktiven Ionenätzens geätzt. Die geätzten Bitleitungs-Kontaktlöcher 652 werden mit Bitleitungs-Kontaktmaterial (beispielsweise Polysilizium) 654 gefüllt und planarisiert, womit ein erster Bitleitungs-Kontakt 656 ausgebildet wird, welcher mit der Sourceleitung und einem zweiten Teil-Bitleitungs-Kontakt 658 gekoppelt ist. Dann wird die Siliziumnitrid-Hartmaske 628 selektiv entfernt. Die resultierende Struktur ist in [Fig. 6I](#) gezeigt.

[0148] Nachfolgend den Prozessen der alternativen Ausführungsform, wie sie in [Fig. 6I](#) beschrieben ist,

wird die Leitfähigkeit der Gate-Kontaktschichten für die NAND-Speicherzellen 502₁, 502₂, 502_{n-1}, 502_n, und der Auswähl-Gate-Zellen 504a, 504b erhöht mittels eines Silizidierungs-Prozesses. Die resultierende Struktur ist in [Fig. 6J](#) gezeigt.

[0149] Dann wird eine Intermetall-Dielektrikums-Schicht 660 derart abgeschieden, dass sie die gesamte Struktur von [Fig. 6J](#) bedeckt und die Intermetall-Dielektrikums-Schicht 660 wird planarisiert.

[0150] Dann werden die Bereiche, die sich außerhalb des auszubildenden zweiten Bitleitungs-Kontakts (d.h. über dem zweiten Teil-Bitleitungs-Kontakt) befinden, unter Verwendung einer Bitleitungs-Kontaktmaske maskiert und ein drittes Bitleitungs-Kontaktloch 662 wird geätzt, womit die obere Oberfläche des zweiten Teil-Bitleitungs-Kontakts 658 freigelegt wird. Das dritte Bitleitungs-Kontaktloch 662 wird mit drittem Bitleitungs-Kontaktmaterial (beispielsweise Polysilizium) 664 gefüllt und planarisiert und die Bitleitungs-Kontaktmaske wird entfernt, womit ein zweiter Bitleitungs-Kontakt 666 ausgebildet wird. Bitleitungen 668 werden ausgebildet in Kontakt mit dem zweiten Bitleitungs-Kontakt 666. Die resultierende Struktur ist in [Fig. 6K](#) gezeigt.

[0151] Die Ausführungsbeispiele der Erfindung, die im Folgenden beschrieben werden, betreffen die nicht-flüchtigen Speichereinrichtungen, wie sie oben beschrieben wurden. Beispielsweise betreffen die Ausführungsbeispiele der Erfindung, wie sie im Folgenden beschrieben werden, nicht-flüchtige NAND-Flash-Speichereinrichtungen. Eine neue Struktur wird beschrieben, gemäß der Wortleitungen bereitgestellt werden aus einem Metall mit einem niedrigen spezifischen Widerstand wie beispielsweise Kupfer (Cu), Aluminium (Al), Silber (Ag) oder Gold (Au). Zusätzlich werden Prozessschemata beschrieben zum Herstellen solcher nicht-flüchtigen Speichereinrichtungen mit solchen Wortleitungen mit verbessertem spezifischen Widerstand, so dass eine zusätzlich Skalierung ermöglicht wird.

[0152] [Fig. 7](#) zeigt einen Abschnitt eines Layouts eines NAND-Arrays 700 gemäß einem Ausführungsbeispiel der Erfindung. Das NAND-Array 700 weist eine Mehrzahl von nicht-flüchtigen Speichereinrichtungen auf (in [Fig. 7](#) nicht gezeigt), welche in Zeilen und Spalten angeordnet sind und welche miteinander gemäß einer NAND-Struktur verbunden sind, wie sie oben bezogen auf die zuvor beschriebenen Ausführungsformen beschrieben wurde.

[0153] [Fig. 7](#) zeigt das Layout von drei NAND-Strings 702, wobei jeder eine Mehrzahl von nicht-flüchtigen Speichereinrichtungen aufweist. Die nicht-flüchtigen Speichereinrichtungen eines jeden NAND-Strings 702 sind in jeweiligen aktiven Bereichen angeordnet. Die nicht-flüchtigen Speicherein-

richtungen benachbarter NAND-Strings **702** sind elektrisch voneinander isoliert mittels so genannter Shallow Trench-Isolationen (STI). Die nicht-flüchtigen Speichereinrichtungen eines jeden NAND-Strings **702** sind miteinander Source-zu-Drain-gekoppelt in einer Serienvbindung, wie oben unter Bezugnahme auf [Fig. 2](#) beschrieben worden ist.

[0154] Bitleitungs-Kontakte **704** werden bereitgestellt, die eine jeweilige lokale Bitleitung **706** mit einem Source/Drain-Bereich eines Drain-Auswähl-Gates verbinden, welches beispielsweise auch als ein Feldeffekttransistor implementiert sein kann. Das Drain-Auswähl-Gate ist mit einer Drain-Auswählleitung **708** verbunden (auch bezeichnet als Bit-Auswählleitung). Zusätzlich ist eine Source-Auswählleitung **710** vorgesehen an dem Ende des NAND-Strings **702**, das gegenüberliegt dem Ende, an dem die Bit-Auswählleitung **708** vorgesehen ist. Die Source-Auswählleitung **710** ist mit dem Source-Auswähl-Gate eines jeden NAND-Strings **702** verbunden.

[0155] Jedes Source-Auswähl-Gate ist an einem Kreuzungspunkt einer lokalen Bitleitung **706** und einer Source-Auswählleitung **710** angeordnet. Jedes Drain-Auswähl-Gate ist an einem Kreuzungspunkt einer lokalen Bitleitung und einer Drain-Auswählleitung **708** angeordnet. Das Drain eines jeden Source-Auswähl-Gates ist mit dem Source-Anschluss des ersten Ladungsspeicher-Transistors des entsprechenden NAND-Strings **702** verbunden. Die Source eines jeden Source-Auswähl-Gates ist mit einer gemeinsamen Sourceleitung **712** verbunden. Ein Steuergate eines jeden Source-Auswähl-Gates ist mit der Source-Auswählleitung **710** verbunden. Die gemeinsame Sourceleitung **712** kann mit dem Massepotential verbunden sein. Die gemeinsame Sourceleitung **712** verbindet die aktiven Bereiche der NAND-Strings **702** miteinander. Die NAND-String-Wortleitungen **714** sind vorgesehen zum Bereitstellen eines jeweiligen Gate-Steuersignals für die nicht-flüchtigen Speichereinrichtungen einer jeweiligen Zeile des NAND-Arrays **700**. Die Anzahl von NAND-String-Wortleitungen **714** entspricht der Anzahl von nicht-flüchtigen Speichereinrichtungen, die in jedem NAND-String **702** vorgesehen sind. In einem Ausführungsbeispiel der Erfindung sind die NAND-String-Wortleitungen **714** im Abstand voneinander mit einer Distanz, die der minimalen Strukturgröße (Minimum Feature Size, F) der jeweiligen verwendeten Prozesstechnologie entspricht, angeordnet.

[0156] [Fig. 8A](#) zeigt eine Floating Gate-Speicherzelle **800** gemäß einem Ausführungsbeispiel der Erfindung.

[0157] Die Ansicht zeigt eine Querschnittsansicht der Zelle **800**, die gebildet wird aus einem ersten

Source/Drain-Bereich **802** und einem zweiten Source/Drain-Bereich **804** und einem Kanalbereich, die innerhalb einer implantierten Wanne eines Bulk-Halbleitersubstrats **808** ausgebildet sind. In einem Ausführungsbeispiel der Erfindung weist die Floating Gate-Speicherzelle **800** eine n-Kanaleinrichtung auf, in welchem Fall der erste Source/Drain-Bereich **802** und der zweite Source/Drain-Bereich **804** implantierte n-Typ-Bereiche sind und sich beispielsweise in einem Bereich von 20 nm bis 40 nm unterhalb der Oberfläche des Bulk-Substrats **808** erstrecken. Natürlich kann die Floating Gate-Speicherzelle **800** auch von einer p-Kanaleinrichtung gebildet werden, in welchem Fall der erste Source/Drain-Bereich **802** und der zweite Source/Drain-Bereich **804** implantierte p-Typ-Bereiche sind. Die Bereiche können mittels Implantationen, wie beispielsweise mittels Lightly Doped Drain-Implantation (LDD) und Halo-Implantation leicht verändert werden, welche Implantationen bekannt sind dafür, dass sie das Kurzkanalverhalten verbessern.

[0158] In einem Ausführungsbeispiel der Erfindung werden der erste Source/Drain-Bereich **802** und der zweite Source/Drain-Bereich **804** implantiert und aktiviert vor dem Ausbilden der Wortleitung **810**. Ferner kann der erste Source/Drain-Bereich **802** und der zweite Source/Drain-Bereich **804** ein Dotierungs-Implant enthalten eines vordefinierten Fremdatom-Profiles, wobei das Fremdatom-Profil charakterisiert ist durch eine Diffusionstemperatur (beispielsweise 850 °C), oberhalb der das Dotierprofil zu diffundieren beginnt. Wie im Folgenden näher beschrieben wird, wird das Ausbilden der Wortleitungen **810** durchgeführt bei Temperaturen unterhalb dieser Diffusionstemperatur, womit die Verwendung eines hochleitfähigen Metalls wie beispielsweise Cu, Al, Ag, Au, ermöglicht wird, das einen Schmelzpunkt unterhalb der Diffusionstemperatur aufweist.

[0159] Der Kanalbereich **806** weist optional ein Anreicherungs-Implant auf wie beispielsweise ein Halo-Implant oder ein LDD-Implant (wie oben beschrieben), um die Kanal-Dotierkonzentration anzureichern.

[0160] Beispielsweise können die Endbereiche des Kanalbereichs **806** einer n-Kanal-Einrichtung ein Halo-Implant enthalten mit einer p-Typ-Dotierung, die geringfügig größer ist als diejenige der p-Wanne. In gleicher Weise kann ein n-Typ Halo-Implant auf die Endbereiche eines Kanalbereichs **806** einer p-Kanal-Einrichtung angewendet werden, wobei das implantierte Halo eine geringfügig höhere Dotierkonzentration hat als die n-Wanne in dem Kanalbereich **806**. Zusätzlich kann die erste Wanne der Speichereinrichtung (beispielsweise eine p-Wanne) ausgebildet sein innerhalb einer zweiten Wanne (beispielsweise einer n-Wanne), womit eine Dreifach-Wannen-Struktur ausgebildet wird.

[0161] Eine erste dielektrische Schicht **812** wird vorgesehen auf oder über der Haupt-Prozessierungs-oberfläche des Halbleitersubstrats **808** zumindest über dem Kanalbereich **806**. In einem Ausführungsbeispiel ist die erste dielektrische Schicht **812** (Tunnel-Dielektrikums-Schicht) ein thermisch gewachsenes Oxid, obwohl andere Abscheidetechniken und/oder Materialien in alternativen Ausführungsformen der Erfindung verwendet werden können. Ferner kann die Dicke der ersten dielektrischen Schicht in einem Bereich von 3 nm bis 15 nm liegen, wie im Folgenden noch näher erläutert wird.

[0162] Eine Floating Gate-Schicht **814** ist vorgesehen auf oder über der ersten dielektrischen Schicht **812**. Die Floating Gate-Schicht **814** kann eine Vielzahl von Materialien enthalten wie beispielsweise Polysilizium oder andere geeignete Materialien mit verschiedenen Dicken, beispielsweise 10 nm bis 200 nm.

[0163] Eine zweite dielektrische Schicht **816** wird bereitgestellt auf oder über der Floating Gate-Schicht **814**. In einem Ausführungsbeispiel der Erfindung ist die zweite dielektrische Schicht **816** (Koppel-Dielektrikums-Schicht) ein thermisch gewachsenes Oxid, obwohl andere Abscheidetechniken und/oder Materialien in alternativen Ausführungsformen der Erfindung verwendet werden können. Ferner kann die Dicke der zweiten dielektrischen Schicht liegen in einem Bereich von 10 nm bis 50 nm, wie im Folgenden noch näher erläutert wird.

[0164] Eine Steuergate-Schicht **818**, beispielsweise hergestellt aus Polysilizium, wird auf oder über der zweiten dielektrischen Schicht **816** bereitgestellt. Die Steuergate-Schicht kann eine Dicke aufweisen in einem Bereich von 10 nm bis 200 nm.

[0165] Eine U-förmige elektrisch leitfähige Diffusionsbarrierschicht **820** wird auf oder über der Steuergate-Schicht **818** bereitgestellt. Die elektrisch leitfähige Diffusionsbarrierschicht **820** dient als Diffusionsbarriere für das für die Wortleitung **810** verwendete Material. Abhängig von dem für die Wortleitung **810** verwendeten Material kann die elektrisch leitfähige Diffusionsbarrierschicht **820** in alternativen Ausführungsformen der Erfindung auch weggelassen werden.

[0166] Ferner wird die Wortleitung **810** auf oder über der elektrisch leitfähigen Diffusionsbarrierschicht **818** bereitgestellt. Die Wortleitung **810** wird hergestellt aus einem Material mit einem niedrigen spezifischen Widerstand, d.h. mit einem spezifischen Widerstand von weniger als $5 \mu\text{Ohmcm}$. Das Material mit niedrigem spezifischen Widerstand kann beispielsweise ein Metall sein wie beispielsweise Cu, Al, Ag, oder Au.

[0167] Die Floating Gate-Schicht **814**, die zweite dielektrische Schicht **816**, die Steuergate-Schicht **818** und die elektrisch leitfähige Diffusionsbarrierschicht **818** (wenn vorhanden, wenn nicht vorhanden, die Wortleitung **810**) werden bedeckt mit einer Isolations-Diffusionsbarrierschicht **822** auf oder über ihren vertikalen Seitenoberflächen.

[0168] Ferner wird eine Isolationsmaterial-Schicht **824** auf der Isolations-Diffusionsbarrierschicht **822** vorgesehen. Die Isolations-Diffusionsbarrierschicht **822** ist eine Diffusionsbarriere für das Isolationsmaterial, welches für die Isolationsmaterial-Schicht **824** verwendet wird.

[0169] [Fig. 8B](#) zeigt ein Verfahren zum Herstellen einer Floating Gate-Speicherzelle gemäß einem Ausführungsbeispiel der Erfindung in einem Ablaufdiagramm **850**.

[0170] In einem Schritt **852** wird ein erster Teil eines Floating Gate-Stapels ausgebildet. In einem Ausführungsbeispiel der Erfindung weist der Prozess **852** auf ein Aufwachsen der ersten dielektrischen Schicht **812** über den Kanalbereich **806** bis zu einer bestimmten Dicke (beispielsweise 6 nm bis 15 nm) und ein nachfolgendes Herunterätzen, so dass sich eine gewünschte Dicke ergibt (beispielsweise 1,5 nm bis 5 nm) für die Floating Gate-Speicherzelle. Der Schritt **852** weist ferner ein Ausbilden einer Floating Gate-Schicht **814** über der ersten dielektrischen Schicht **812** auf, so dass das Floating Gate bereitgestellt wird. Der Prozess **852** weist ferner ein Abscheiden von Polysilizium als die Floating Gate-Schicht **814** auf. Ferner weist der Prozess **852** ein Ausbilden der zweiten dielektrischen Schicht **816** auf oder über der Floating Gate-Schicht **814** auf. In einem Ausführungsbeispiel der Erfindung ist die zweite dielektrische Schicht **816** thermisch auf oder über der Floating Gate-Schicht **814** aufgewachsen, obwohl andere Abscheidetechniken und/oder Materialien in alternativen Ausführungsformen der Erfindung verwendet werden können.

[0171] In Schritt **854** wird ein Opfer-Gate-Stapel-Teil gebildet auf oder über dem ersten Teil des Floating Gate-Stapels. Eine beispielhafte Ausführungsform des Prozesses **854** weist ein Abscheiden von Hilfsmasken-Material (beispielsweise eine Hartmaske wie beispielsweise Siliziumnitrid oder Kohlenstoff) auf oder über der zweiten dielektrischen Schicht **816** mit einer gewünschten Dicke auf, beispielsweise mit einer Dicke von ungefähr 50 nm bis 500 nm. In einer alternativen Ausführungsform der Erfindung wird eine Steuergate-Schicht **816** (beispielsweise hergestellt aus Polysilizium) abgeschieden auf oder über der zweiten dielektrischen Schicht **816** und ein Hilfsmasken-Material (beispielsweise eine Hartmaske wie beispielsweise Siliziumnitrid oder Kohlenstoff) ist auf oder über der Steuergate-Schicht **818** abgeschieden.

[0172] Im Schritt **856** werden der erste Teil des Floating Gate-Stapels und der Opfer-Gate-Stapel-Teil strukturiert, womit Teile der ersten dielektrischen Schicht **812** über der Haupt-Prozessierungsoberfläche des Substrats, in welchen Teilen des Substrats Source/Drain-Bereiche der Floating Gate-Speicherezelle ausgebildet werden sollen, freigelegt werden.

[0173] In Schritt **858** wird ein Kanalbereich **806** ausgebildet. Der Prozess des Ausbildens des Kanalbereichs **806** kann ein Implantieren von Halo/Anreicherungs-Implants aufweisen.

[0174] In Schritt **860** werden ein erster Source/Drain-Bereich **802** und ein zweiter Source/Drain-Bereich **804** implantiert und vor dem Ausbilden der Wortleitung **810** erhitzt. In dem Fall, in dem keine Steuergate-Schicht **818** im Prozess **854** abgeschieden wurde, dient die Wortleitung zusätzlich als das Steuergate der jeweiligen Floating Gate-Speicherezelle.

[0175] In Schritt **862** wird der strukturierte Opfer-Gate-Stapel-Teil entfernt.

[0176] In Schritt **864** wird die Wortleitung **810** ausgebildet, womit der Floating Gate-Stapel vervollständigt wird. In anderen Worten enthalten die Prozesse **862** und **864** ein Austauschen des Materials des strukturierten Opfer-Gate-Stapel-Teils mit dem Wortleitungsmaterial **810**.

[0177] [Fig. 9A](#) bis [Fig. 9E](#) zeigen eine Querschnittsansicht entlang der Querschnittslinie B-B' aus [Fig. 7](#) des NAND-Array-Teils **700** in unterschiedlichen Herstellungszuständen gemäß einem Ausführungsbeispiel der Erfindung.

[0178] Zunächst werden aktive Bereiche der NAND-Strings **702** in dem Bulk-Halbleitersubstrat **902** (beispielsweise Si, SiGe, GaAs, und dergleichen) ausgebildet, wobei die aktiven Bereiche voneinander isoliert sind mittels Shallow Trench-Isolationsbarrieren (in den Figuren nicht gezeigt) unter Verwendung eines herkömmlichen Prozessablaufs enthalten ein Abscheiden einer Siliziumnitrid-Hartmaskenschicht auf oder über dem Substrat **902**, ein Strukturieren der Siliziumnitrid-Hartmaskenschicht, womit diejenigen Bereiche des Substrats **902**, in denen die STI-Gräben ausgebildet werden sollen, freigelegt werden. Dann wird das Substratmaterial **902** anisotrop geätzt, beispielsweise unter Verwendung von reaktivem Ionenätzen, womit Gräben in dem Substrat **902** ausgebildet werden. Die Gräben werden mit Oxid gefüllt (optional kann ein Liner auf oder über den Seitenwänden der Gräben vor dem Abscheiden des Oxids bereitgestellt werden). Das die Gräben überfüllende Material wird beispielsweise unter Verwendung eines CMP-Prozesses entfernt, wobei der CMP-Prozess beendet wird auf oder über der

Haupt-Prozessierungsfläche des Substrats **902**.

[0179] Dann wird die erste dielektrische Schicht **904** (Tunnel-Dielektrikum) ausgebildet (beispielsweise thermisch aufgewachsen) über den aktiven Bereichen. In einem Ausführungsbeispiel der Erfindung wird die erste dielektrische Schicht **904** mit einer relativ großen Dicke aufgewachsen, die geeignet ist für Speicherezellen in dem NAND-String **702**, welche geeignet sind für höhere Spannungen, beispielsweise die Auswähl-Gate-Zellen. Dann werden die gewünschten Wannan in dem Substrat ausgebildet, welche benötigt werden für die jeweiligen Transistoren in dem NAND-Array **700**.

[0180] Dann wird die Floating Gate-Schicht **906** ausgebildet mittels Abscheidens von Floating Gate-Material wie beispielsweise Polysilizium auf oder über der ersten dielektrischen Schicht **904**. Nachdem die Floating Gate-Schicht **906** abgeschieden worden ist, wird die zweite dielektrische Schicht **908** auf oder über der Floating Gate-Schicht **906** abgeschieden. In einem Ausführungsbeispiel der Erfindung kann ein Oxid wie beispielsweise Siliziumoxid auf oder über der Floating Gate-Schicht **906** als die zweite dielektrische Schicht **908** abgeschieden werden. Es ist anzumerken, dass die zweite dielektrische Schicht **908** auch nur in den Bereichen des NAND-Arrays abgeschieden werden kann, in denen sie benötigt wird, beispielsweise, in denen die Floating Gate-Speicherezellen ausgebildet werden (in [Fig. 9A](#) bezeichnet mit **910**). In einem Ausführungsbeispiel der Erfindung wird die zweite dielektrische Schicht **908** nicht oder nur teilweise in denjenigen Bereichen abgeschieden, in denen die Auswähl-Gates ausgebildet werden (in [Fig. 9A](#) bezeichnet man **912** und **914**).

[0181] Dann wird die Steuergate-Schicht **916** ausgebildet mittels Abscheidens des Steuergate-Schicht-Materials für beispielsweise Polysilizium auf oder über der zweiten dielektrischen Schicht **908** (wo vorgesehen) bzw. auf oder über der Floating Gate-Schicht **906** (in denjenigen Bereichen, in denen keine zweite dielektrische Schicht **908** vorgesehen ist).

[0182] Dann wird eine Hilfsmaskenschicht **918** wie beispielsweise eine Hartmaskenschicht, beispielsweise hergestellt aus Siliziumnitrid oder Kohlenstoff, auf oder über der Steuergate-Schicht **916** abgeschieden. Ferner sind in [Fig. 9A](#) Aktiv-Bereich-Kontaktbereiche **920** und **922** gezeigt, welche für die Bitleitungskontakte vorgesehen sind.

[0183] Dieser Schichtstapel enthaltend die Floating Gate-Schicht **906**, die zweite dielektrische Schicht **908**, die Steuergate-Schicht **916** und die Hilfsmaskenschicht **918** (beispielsweise eine Hartmaskenschicht hergestellt aus Siliziumnitrid oder Kohlen-

stoff) wird geätzt (beispielsweise unter Verwendung von reaktivem Ionenätzen; im Allgemeinen kann jedes anisotrope Ätzverfahren in diesem Fall eingesetzt werden), derart, dass die Bereiche über den Bereichen, in denen die Source/Drain-Bereiche der Floating Gate-Speicherzellen ausgebildet werden sollen, entfernt werden mit einem Stopp auf oder über der ersten dielektrischen Schicht **904**.

[0184] Auf diese Weise werden Opferstrukturen **924** ausgebildet, welche über den Kanalbereichen der auszubildenden Floating Gate-Speicherzellen und der auszubildenden Auswähl-Gates angeordnet sind. Nachfolgend werden die Source/Drain-Bereiche **926** implantiert (selbstjustiertes Dotieren) mit einem vordefinierten Dotierprofil unter Verwendung der Opfer-Gate-Strukturen **924** als Maske. Dann werden die Source/Drain-Bereiche **926** erhitzt, womit die Dotieratome aktiviert werden. Bestimmte Liner und Seitenwandspacer (nicht gezeigt) können verwendet werden zum Beschränken der lateralen Ausdehnung der Bereiche auf eine bestimmte Länge unterhalb der Gate-Randbereiche. Die resultierende Struktur ist in [Fig. 9A](#) gezeigt.

[0185] Dann wird eine Isolations-Diffusionsbarrierenschicht **928** wie beispielsweise Siliziumnitrid (Si_3N_4) oder Siliziumoxinitrid (SiON) abgeschieden auf oder über der Struktur aus [Fig. 9A](#). Dann werden die Vertiefungen gefüllt und überfüllt mit Isolations-Füllmaterial **930**, wie beispielsweise mit einem hochdichten Plasmaoxid (High Density Plasma Oxide, HDP). Die resultierende Struktur ist in [Fig. 9B](#) gezeigt.

[0186] Die Struktur aus [Fig. 9B](#) wird dann planarisiert, beispielsweise unter Verwendung eines CMP-Prozesses. Die resultierende Struktur ist in [Fig. 9C](#) gezeigt.

[0187] Dann wird eine Hilfsmaskenschicht **918** selektiv entfernt. Dann wird eine elektrisch leitfähige Diffusionsbarrierenschicht **932** abgeschieden, beispielsweise mittels Atomlagen-Abscheidens von Ti, Ta, oder TaN. Die elektrisch leitfähige Diffusionsbarrierenschicht **932** kann enthalten eine Mehrzahl von Schichten wie beispielsweise eine Doppelschicht-Struktur, hergestellt aus beispielsweise Ti/TiN oder reinem Ta/TaN. Das reine TaN reagiert mit dem Polysilizium der Steuergate-Schicht **916** zu Tantal-Silizid (TaSi). Im Allgemeinen kann jede Art von geeignetem Diffusionsbarrierenmaterial des Gefüllt-Typs (stuffed) in einer alternativen Ausführungsform der Erfindung verwendet werden. Dann wird der Wortleitungs-Leiter, d.h. das Material der Wortleitung **934**, wie beispielsweise Cu, unter Verwendung eines Metallisierungsprozesses abgeschieden. In alternativen Ausführungsformen der Erfindung kann Al oder Ag oder Au für die Wortleitung **934** verwendet werden. Es ist anzumerken, dass bei einem Wortlei-

tungsmaterial, welches keine Diffusionsbarriere benötigt, die elektrisch leitfähige Diffusionsbarrierenschicht **932** auch weggelassen werden kann. Die Struktur wird dann planarisiert, beispielsweise unter Verwendung eines CMP-Prozesses. Die resultierende Struktur ist in [Fig. 9D](#) gezeigt.

[0188] Dann wird eine Isolations-Einkapselschicht **936**, hergestellt beispielsweise aus Siliziumnitrid, auf oder über der Struktur aus [Fig. 9D](#) abgeschieden. Dann wird ein Zwischen-Metall-Dielektrikum **938**, beispielsweise hergestellt aus Siliziumnitrid oder Siliziumoxid, abgeschieden zur Isolation von nachfolgenden Metallebenen. Die resultierende Struktur ist in [Fig. 9E](#) gezeigt.

[0189] Dann wird der Prozess in herkömmlicher Weise fortgeführt, um die Bitleitungs-Kontakte, die Sourceleitungs-Anschlüsse und die Bitleitung sowie die Metallverdrahtung herzustellen, wobei die Zwischen-Metall-Isolation und die Kontakt-Pad-Ausbildung das Bereitstellen der Passivierung enthalten. Diese Prozesse sind in den Figuren nicht gezeigt.

[0190] [Fig. 10](#) zeigt eine Querschnittsansicht entlang der Querschnittslinie B-B' aus [Fig. 7](#) des NAND-Array-Teils **700** in einem Zustand der vollständigen Herstellung gemäß einem anderen Ausführungsbeispiel der Erfindung.

[0191] In diesem alternativen Ausführungsbeispiel der Erfindung werden Teile der Isolations-Diffusionsbarrierenschicht **928** über der zweiten dielektrischen Schicht **908** und über der Steuergate-Schicht **916**, d.h. diejenigen Bereiche der Isolations-Diffusionsbarrierenschicht **928**, die auf den Seitenwänden der Hilfsmaskenschicht **918** liegen, während des Entfernens der Hilfsmaskenschicht **918** entfernt. Diese Ausführungsform der Erfindung kann verwendet werden in dem Fall der Verwendung gleicher Materialien für die Hilfsmaskenschicht **918** und die Isolations-Diffusionsbarrierenschicht **928**. Bis auf diese Alternative entsprechen die anderen Herstellungsprozesse den Ausführungsformen, wie sie unter Bezugnahme auf die [Fig. 9A](#) bis [Fig. 9E](#) beschrieben wurden.

[0192] [Fig. 11A](#) zeigt eine Charge Trapping-Speicherzelle **1100** gemäß einem anderen Ausführungsbeispiel der Erfindung.

[0193] Die Ansicht zeigt eine Querschnittsansicht der Zelle **1100**, welche gebildet wird aus einem ersten Source/Drain-Bereich **1102** und einem zweiten Source/Drain-Bereich **1104** und einem Kanalbereich **1106**, der innerhalb einer implantierten Wanne eines Bulk-Halbleiterssubstrats **1108** ausgebildet ist. In einem Ausführungsbeispiel der Erfindung weist die Charge Trapping-Speicherzelle **1100** eine n-Kanal-Einrichtung auf, in welchem Fall der erste Source/Drain-Bereich **1102** und der zweite Sour-

ce/Drain-Bereich **1104** implantierte n-Typ-Bereiche sind, welche sich beispielsweise in einem Bereich von 20 nm bis 40 nm unterhalb der Oberfläche des Bulk-Substrats **1108** erstrecken. Natürlich kann die Charge Trapping-Speicherzelle **1100** aus einer p-Kanal-Einrichtung bestehen, in welchem Fall der erste Source/Drain-Bereich **1102** und der zweite Source/Drain-Bereich **1104** implantierte p-Typ-Bereiche sind. Die Bereiche können mittels Implantationen geringfügig verändert werden, wie beispielsweise mittels Lightly Doped Drain (LDD) und Halo-Implantationen, welche bekannt dafür sind, dass sie das Kurzkanalverhalten verbessern.

[0194] In einem Ausführungsbeispiel der Erfindung werden der erste Source/Drain-Bereich **1102** und der zweite Source/Drain-Bereich **1104** implantiert vor dem Ausbilden der Wortleitung **1110**. Ferner können der erste Source/Drain-Bereich **1102** und der zweite Source/Drain-Bereich **1104** ein Dotierimplant eines vordefinierten Dotierprofils enthalten, wobei das Dotierprofil charakterisiert ist durch eine Diffusionstemperatur (beispielsweise 850 °C), oberhalb der das Dotierprofil zu diffundieren beginnt. Wie im Weiteren noch näher beschrieben wird, wird das Ausbilden der Wortleitungen **1110** bei Temperaturen durchgeführt, welche unterhalb dieser Diffusionstemperatur liegen, womit die Verwendung von hoch-leitfähigem Metall wie beispielsweise Cu, Al, Ag, Au, ermöglicht wird, welches einen Schmelzpunkt unterhalb der Diffusionstemperatur aufweist.

[0195] Der Kanalbereich **1106** weist optional ein Anreicherungs-Implant auf, wie beispielsweise ein Halo-Implant oder ein LDD-Implant (wie oben beschrieben), zum Anreichern der Kanal-Dotierkonzentration. Beispielsweise können die Endbereiche des Kanalbereichs **1106** einer n-Kanal-Einrichtung ein Halo-Implant aufweisen enthaltend eine p-Typ-Dotierung, welche geringfügig höher ist als diejenige der p-Wanne. In gleicher Weise kann ein n-Typ-Halo-Implant verwendet werden an den Endbereichen eines Kanalbereichs **1106** einer p-Kanal-Einrichtung, wobei das implantierte Halo eine geringfügig höhere Dotierkonzentration hat als die n-Wanne in dem Kanalbereich **1106**. Zusätzlich kann die erste Wanne der Speichereinrichtung **1100** (beispielsweise eine p-Wanne) ausgebildet werden innerhalb einer zweiten Wanne (beispielsweise einer n-Wanne), womit eine Dreifach-Wannenstruktur gebildet wird.

[0196] Ein Charge Trapping-Schichtstapel **1112** wird bereitgestellt auf oder über der Haupt-Prozessierungsoberfläche des Halbleitersubstrats **1108** zumindest über dem Kanalbereich **1106**. Der Charge Trapping-Schichtstapel **1112** weist mindestens eine dielektrische Schicht auf. In einer anderen Ausführungsform weist der Charge Trapping-Schichtstapel **1112** mindestens zwei dielektrische Schichten auf. In noch einer anderen Ausführungsform der Erfindung

weist der Charge Trapping-Schichtstapel **1112** drei dielektrische Schichten auf.

[0197] In einem Ausführungsbeispiel der Erfindung weist der Charge Trapping-Schichtstapel **1112** eine erste dielektrische Schicht **1114** und eine Charge Trapping-Schicht **1116** auf, welche mit dem Kanalbereich **1106** mittels der ersten dielektrischen Schicht **1114** gekoppelt ist. In einem Ausführungsbeispiel der Erfindung ist die erste dielektrische Schicht **1114** (Gate-Tunnel-Oxidschicht) ein thermisch gewachsenes Oxid, obwohl andere Abscheidetechniken und/oder Materialien in alternativen Ausführungsformen der Erfindung verwendet werden können. Ferner kann die Dicke der ersten dielektrischen Schicht in einem Bereich liegen von 3 nm bis 15 nm, wie im Folgenden näher erläutert wird.

[0198] Die Charge Trapping-Schicht **1116** kann eine Vielzahl von Materialien, wie beispielsweise Siliziumnitrid mit unterschiedlichen Dicken, beispielsweise 3 nm bis 10 nm, aufweisen und kann ausgebildet werden in entweder einem einzelnen kontinuierlichen Bereich oder in mehreren Bereichen. Ferner kann die Charge Trapping-Schicht **1116** eine im Wesentlichen homogene Verbindung, beispielsweise Siliziumreiches Siliziumnitrid enthalten oder eine Verbindung von Charge Trapping-Nanoanreicherungen, wie sie oben unter Bezugnahme auf die [Fig. 4A](#) und [Fig. 4B](#) beschrieben worden sind.

[0199] In einem Ausführungsbeispiel der Erfindung weist der Charge Trapping-Schichtstapel **1112** zusätzlich eine zweite dielektrische Schicht **1118** auf, welche beispielsweise aus einem kristallinen oder polykristallinen Material wie beispielsweise Siliziumoxid ausgebildet sein kann. Die zweite dielektrische Schicht **1118** wird gebildet über zumindest einem Teil der Charge Trapping-Schicht **1116**. In einer alternativen Ausführungsform ist die zweite dielektrische Schicht **1118** eine amorphe zweite dielektrische Schicht **1118**. Beispiele für die zweite dielektrische Schicht **1118** enthalten amorphe Al_2O_3 , Ta_2O_5 , HfO_2 , ZrO_2 , SiO_2 oder Kombinationen derselben und andere hoch-amorphe Materialien, die in dem verwendeten spezifischen Herstellungsprozess verfügbar sind. Der Ausdruck "hoch-amorph" ist für den Fachmann im Vergleich zu Materialien, die in Kristallinzustand vorliegen, evident, obwohl er quantitativ "hoch-amorph" verstanden werden kann als ein Material, in dem weniger als 15% des Volumenanteils in geordnetem Zustand (d.h. kristallin) vorliegen, wobei ein beispielhafter Bereich weniger als 10% beträgt, ein anderer beispielhafter Bereich weniger als 5% und noch ein anderer beispielhafter Bereich weniger als 2%. Die Hoch-Amorph-Eigenschaft der zweiten dielektrischen Schicht **1118** erzeugt eine hohe Rückkopplungsbarrieren-Höhe zwischen einer Gate-Kontaktschicht **1120**, welche im Folgenden auch als Steuergate-Schicht **1120** bezeichnet wird, und der

Charge Trapping-Schicht **1116**, welches den Transfer von Ladung zwischen der Charge Trapping-Schicht **1116** zu der Gate-Kontaktschicht **1120** hemmt. Wie oben beschrieben wurde, ist die hoch-amorphe zweite dielektrische Schicht **1118** charakterisiert durch eine Kristallisationstemperatur, oberhalb der die zweite dielektrische Schicht **1118** beginnt, im Wesentlichen nicht-amorph zu werden, oder in einer Ausführungsform einen Geordnet-Zustand in mehr als 15% seines Volumenanteils einnimmt. Der Temperaturbereich der Kristallisation hängt wesentlich von der Temperatur und der Dauer, während der die Temperatur angewendet wird, ab. Als ein Beispiel kann die Kristallisationstemperatur für Al_2O_3 in einem Bereich von 700 °C bis 1000 °C liegen. In der Praxis, wobei die Erhitzungs-Zeitdauer weniger als 10 Sekunden beträgt, wird eine signifikante Kristallisation von Al_2O_3 beobachtet oberhalb von 800 °C.

[0200] Die Gate-Kontaktschicht **1120** ist mit der Charge Trapping-Schicht **1116** mittels der zweiten dielektrischen Schicht **1118** gekoppelt. In einem Ausführungsbeispiel der Erfindung kann die Gate-Kontaktschicht **1120** entweder n-dotiertes Gate-Leitermaterial oder p-dotiertes Gate-Leitermaterial enthalten. Die Steuergate-Schicht **1120** kann eine Dicke aufweisen in einem Bereich von 10 nm bis 200 nm.

[0201] Eine U-förmige elektrisch leitfähige Diffusionsbarrierenschicht **1122** wird auf oder über der Steuergate-Schicht **1120** bereitgestellt. Die elektrisch leitfähige Diffusionsbarrierenschicht **1122** dient als Diffusionsbarriere für das für die Wortleitung **1110** verwendete Material. Abhängig von dem für die Wortleitung **1110** verwendeten Material kann die elektrisch leitfähige Diffusionsbarrierenschicht **1122** in alternativen Ausführungsformen der Erfindung weggelassen werden.

[0202] Ferner wird die Wortleitung **1110** auf oder über der elektrisch leitfähigen Diffusionsbarrierenschicht **1122** bereitgestellt. Die Wortleitung ist hergestellt aus einem Material mit einem niedrigen spezifischen Widerstand, beispielsweise mit einem spezifischen Widerstand von weniger als oder gleich 5 $\mu\text{Ohm}\cdot\text{cm}$. Das Material mit niedrigem spezifischen Widerstand kann ein Metall sein wie beispielsweise Cu, Al, Ag, oder Au.

[0203] Die Schichten des Charge Trapping-Schichtstapels **1112**, die Steuergate-Schicht **1120** und die elektrisch leitfähige Diffusionsbarrierenschicht **1122** (wenn vorhanden, wenn nicht vorhanden, die Wortleitung **1110**) werden mittels einer Isolations-Diffusionsbarrierenschicht **1124** an ihren vertikalen Seitenwänden-Oberflächen bedeckt.

[0204] Ferner wird eine Isolationsmaterialschicht **1126** auf der Isolations-Diffusionsbarrierenschicht **1124** bereitgestellt. Die Isolations-Diffusionsbarrie-

renschicht **1124** dient als eine Diffusionsbarriere für das Isolationsmaterial, welches für die Isolationsmaterialschicht **1126** verwendet wird.

[0205] [Fig. 11B](#) zeigt ein Verfahren zum Herstellen einer Charge Trapping-Speicherzelle gemäß einem Ausführungsbeispiel der Erfindung in einem Ablaufdiagramm **1150**.

[0206] In einem Schritt **1152** wird ein erster Teil eines Charge Trapping-Gate-Stapels ausgebildet. In einem Ausführungsbeispiel weist der Prozess **1152** ein Aufwachsen der ersten dielektrischen Schicht **1114** über dem Kanalbereich **1106** mit einer bestimmten Dicke (6 nm bis 15 nm) auf sowie ein nachfolgendes Ätzen herunter auf eine gewünschte Dicke (beispielsweise 1,5 nm bis 5 nm) für die Charge Trapping-Speicherzelle. Der Prozess **1152** kann ferner aufweisen ein Ausbilden einer Charge Trapping-Schicht **1116** über der ersten dielektrischen Schicht **1114**. Der Prozess **1152** weist ein Abscheiden von Siliziumnitrid als die Charge Trapping-Schicht **1116** auf. Ferner weist der Prozess **1152** ein Ausbilden der zweiten dielektrischen Schicht **1118** auf oder über der Charge Trapping-Schicht **1116** auf. In einem Ausführungsbeispiel der Erfindung wird die zweite dielektrische Schicht **1118** thermisch auf oder über der Charge Trapping-Schicht **1116** aufgewachsen, obwohl andere Abscheidetechniken und/oder Materialien in alternativen Ausführungsformen der Erfindung verwendet werden können.

[0207] In Schritt **1154** wird ein Opfer-Gate-Stapel-Teil auf oder über dem ersten Teil des Charge Trapping-Gate-Stapels ausgebildet. Ein Ausführungsbeispiel des Prozesses **1154** weist ein Abscheiden von Hilfsmasken-Material auf (beispielsweise eine Hartmaske wie beispielsweise Siliziumnitrid oder Kohlenstoff) auf oder über der zweiten dielektrischen Schicht **1118** mit einer gewünschten Dicke, beispielsweise mit einer Dicke von ungefähr 50 nm bis 500 nm. In einem alternativen Ausführungsbeispiel der Erfindung weist der Prozess **1154** ein Abscheiden einer Gate-Schicht **1120** auf oder über der zweiten dielektrischen Schicht **1118** auf und ein Abscheiden von Hilfsmasken-Material (beispielsweise einer Hartmaske wie beispielsweise Siliziumnitrid oder Kohlenstoff) auf oder über der Gate-Schicht **1120**.

[0208] In einem Schritt **1156** wird der Opfer-Gate-Stapel-Teil strukturiert, womit Teile der zweiten dielektrischen Schicht **1118** freigelegt werden. Die freigelegten Teile der zweiten dielektrischen Schicht **1118** befinden sich über Abschnitten der Hauptprozessierungsoberfläche des Substrats, in denen die Source/Drain-Bereiche der Floating-Gate-Speicherzelle ausgebildet werden sollen.

[0209] In einem Schritt **1158** wird ein Kanalbereich **1106** ausgebildet. Der Prozess des Ausbildens des Kanalbereichs **1106** kann ein Implantieren von Halo/Anreicherungs-Implantationen enthalten, wie oben beschrieben.

[0210] In einem Schritt **1160** werden ein erster Source/Drain-Bereich **1102** und ein zweiter Source/Drain-Bereich **1104** implantiert und vor dem Ausbilden der Wortleitung **1110** erhitzt.

[0211] In einem Schritt **1162** wird der strukturierte Opfer-Gate-Stapel-Teil zumindest teilweise entfernt.

[0212] In einem Schritt **1164** wird die Wortleitung **1110** ausgebildet, womit der Charge Trapping-Stapel vervollständigt wird. In anderen Worten enthalten die Prozesse **1162** und **1164** ein Austauschen des Materials zumindest eines Teils des strukturierten Opfer-Gate-Stapel-Teils mit dem Wortleitungsmaterial **1110**.

[0213] [Fig. 12A](#) bis [Fig. 12E](#) zeigen eine Querschnittsansicht entlang der Querschnittslinie B-B' von [Fig. 7](#) des NAND-Array-Teils **700** in unterschiedlichen Herstellungszuständen gemäß einem anderen Ausführungsbeispiel der Erfindung.

[0214] Zu Beginn werden aktive Bereiche der NAND-Strings **702** in dem Bulk-Halbleitersubstrat **1202** ausgebildet (beispielsweise Si, SiGe, GaAs und dergleichen), wobei die aktive Bereiche voneinander isoliert werden mittels Shallow Trench-Isolationsbarrieren (in den Figuren nicht gezeigt) unter Verwendung eines herkömmlichen Prozessablaufes enthaltend ein Abscheiden einer Siliziumnitrid-Hartmaskenschicht auf oder über dem Substrat **1202**, ein Strukturieren der Siliziumnitrid-Hartmaskenschicht, womit die Bereiche des Substrats **1202**, in denen die STI-Gräben ausgebildet werden sollen, freigelegt werden. Dann wird das Substratmaterial **1202** anisotrop geätzt, beispielsweise unter Verwendung von reaktivem Ionenätzen, womit Gräben in dem Substrat **1202** ausgebildet werden. Die Gräben werden gefüllt mit Oxid (optional kann ein Liner auf oder über den Seitenwänden der Gräben vor dem Abscheiden des Oxids bereitgestellt werden). Das die Gräben überfüllende Material wird entfernt unter Verwendung beispielsweise eines CMP-Prozesses mit Stopp auf oder über der Hauptprozessierungsoberfläche des Substrats **1202**.

[0215] Dann wird die erste dielektrische Schicht **1204** (Tunnel-Dielektrikum) ausgebildet (beispielsweise thermisch aufgewachsen) über den aktiven Bereichen. In einem Ausführungsbeispiel der Erfindung wird die erste dielektrische Schicht **1204** mit relativ großer Dicke aufgewachsen, die geeignet ist für die Zellen in dem NAND-String, welche geeignet sind für höhere Spannungen, beispielsweise für die Aus-

wähl-Gate-Zellen. Dann werden die gewünschten Wannan in dem Substrat **1202** ausgebildet, welche für die jeweiligen Transistoren in dem NAND-Array **700** benötigt werden.

[0216] Dann wird die Charge Trapping-Schicht **1206** ausgebildet mittels Abscheidens von Charge Trapping-Material wie beispielsweise Siliziumnitrid, auf oder über der ersten dielektrischen Schicht **1204**. Nachdem die Charge Trapping-Schicht **1206** ausgebildet worden ist, wird die zweite dielektrische Schicht **1208** auf oder über der Charge Trapping-Schicht **1206** abgeschieden. In einem Ausführungsbeispiel der Erfindung kann ein Oxid wie beispielsweise Siliziumoxid abgeschieden werden auf oder über der Charge Trapping-Schicht **1206** als die zweite dielektrische Schicht **1208**. Es ist anzumerken, dass die zweite dielektrische Schicht **1208** abgeschieden werden kann auch nur in den Bereichen des NAND-Arrays, in denen sie benötigt wird, beispielsweise in denen die Charge Trapping-Speicherzellen ausgebildet werden (in [Fig. 12A](#) bezeichnet mit **1210**). Beispielsweise wird die zweite dielektrische Schicht **1208** nicht oder nur teilweise abgeschieden in denjenigen Bereichen, in denen die Auswähl-Gates ausgebildet werden (in [Fig. 12A](#) bezeichnet mit **1212** und **1214**).

[0217] Dann wird die Gate-Schicht **1216** ausgebildet mittels Abscheidens von Gate-Schichtmaterial **1216** wie beispielsweise Polysilizium, auf oder über der zweiten dielektrischen Schicht **1208** (wo vorgesehen) und auf oder über der ersten dielektrischen Schicht **1204** (in denjenigen Bereichen, in denen keine Charge Trapping-Schicht **1206** bzw. keine zweite dielektrische Schicht **1208** bereitgestellt wird).

[0218] Dann wird eine Hilfsmaskenschicht **1218** wie beispielsweise einer Hartmaskenschicht, beispielsweise hergestellt aus Siliziumnitrid oder Kohlenstoff, abgeschieden auf oder über der Gate-Schicht **1216** abgeschieden. Ferner sind in [Fig. 12A](#) Kontaktbereiche **1220** und **1222** für die aktiven Bereiche dargestellt, welche bereitgestellt werden für die Bitleitungskontakte.

[0219] Ein Schichtstapel enthaltend die Gate-Schicht **1216** und die Hilfsmaskenschicht **1218** (beispielsweise eine Hartmaske hergestellt aus Siliziumnitrid oder Kohlenstoff) werden geätzt (beispielsweise unter Verwendung reaktiven Ionenätzens; im Allgemeinen kann jedes anisotrope Ätzen in diesem Fall verwendet werden), derart, dass die Bereiche oberhalb derjenigen Bereichen, in denen die Source/Drain-Bereiche der Charge Trapping-Speicherzellen ausgebildet werden sollen, entfernt werden, mit einem Ätzstopp auf oder über der ersten dielektrischen Schicht **1204** (in denjenigen Bereichen, in denen weder die Charge Trapping-Schicht **1206** noch die zweite dielektrische Schicht **1208** vorgesehen sind) oder mit einem Ätzstopp auf oder über der zwei-

ten dielektrischen Schicht **1208** (in denjenigen Bereichen, in denen die Charge Trapping-Schicht **1206** und die zweite dielektrische Schicht **1208** bereitgestellt werden).

[0220] Auf diese Weise werden Opferstrukturen **1224** ausgebildet, welche sich befinden über den Kanalbereichen der auszubildenden Charge Trapping-Speicherzellen und der auszubildenden Auswahl-Gates. Anschließend werden die Source/Drain-Bereiche **1226** implantiert (selbstjustiertes Dotieren) mit einem vordefinierten Dotierprofil unter Verwendung der Opfer-Gate-Strukturen **1224** als Maske. Dann werden die Source/Drain-Bereiche **1226** erhitzt, womit die Dotieratome aktiviert werden. Bestimmte Liner und Seitenwand-Spacer (nicht gezeigt) können verwendet werden zum Begrenzen der lateralen Erstreckung der Bereiche auf eine bestimmte Länge unterhalb der Gate-Randbereiche. Die resultierende Struktur ist in [Fig. 12A](#) gezeigt.

[0221] Dann wird eine Isolations-Diffusionsbarrierenschicht **1228** wie beispielsweise Siliziumnitrid (Si_3N_4) oder Siliziumoxinitrid (SiON) auf oder über der Struktur aus [Fig. 12A](#) abgeschieden. Dann werden die Vertiefungen gefüllt und überfüllt mit Isolations-Füllmaterial **1230** wie beispielsweise einem hochdichtem Plasmaoxid (High Density Plasma Oxide, HDP). Die resultierende Struktur ist in [Fig. 12B](#) gezeigt.

[0222] Die Struktur aus [Fig. 12B](#) wird dann planarisiert, beispielsweise unter Verwendung eines CMP-Prozesses. Die resultierende Struktur ist in [Fig. 12C](#) gezeigt.

[0223] Dann wird die Hilfsmaskenschicht **1218** selektiv entfernt. Dann wird eine elektrisch leitfähige Diffusionsbarrierenschicht **1232** abgeschieden, beispielsweise mittels Atomlagen-Abscheidens von Ti, Ta, oder TaN. Die elektrisch leitfähige Diffusionsbarrierenschicht **1232** kann enthalten eine Mehrzahl von Schichten wie beispielsweise eine Doppelschicht-Struktur hergestellt aus beispielsweise Ti/TiN oder reinem Ta/TaN. Das reine Ta reagiert mit dem Polysilizium der Gate-Schicht **1216** zu Tantal-Silizid (TaSi). Dann wird der Wortleitungs-Leiter, d.h. das Material der Wortleitung **1234**, wie beispielsweise Kupfer, abgeschieden unter Verwendung eines Metallisierungsprozesses. In alternativen Ausführungsformen der Erfindung kann Al, Ag oder Au für die Wortleitung **1234** verwendet werden. Es ist anzumerken, dass für ein Wortleitungsmaterial **1234**, für das keine Diffusionsbarriere benötigt wird, die elektrisch leitfähige Diffusionsbarriere **1232** auch weggelassen werden kann. Die Struktur wird dann planarisiert, beispielsweise unter Verwendung CMP-Prozesses. Die resultierende Struktur ist in [Fig. 12D](#) gezeigt.

[0224] Dann wird eine Isolations-Einkapselschicht

1236, hergestellt beispielsweise aus Siliziumnitrid, auf oder über der Struktur aus [Fig. 12D](#) abgeschieden. Dann wird ein Zwischen-Metall-Dielektrikum **1238**, beispielsweise hergestellt aus Siliziumnitrid oder Siliziumoxid, zur Isolation nachfolgender Metallisierungsebenen abgeschieden. Die resultierende Struktur ist in [Fig. 12E](#) gezeigt.

[0225] Dann wird der Prozess in herkömmlicher Weise fortgesetzt, so dass die Bitleitungskontakte, die Sourceleitungs-Verbindung und die Bitleitungen so wie die Metallverdrahtung hergestellt werden, wobei die Zwischen-Metall-Isolation und die Kontaktfad-Ausbildung das Vorsehen der Passivierung enthalten. Diese Prozesse sind in den Figuren nicht gezeigt.

[0226] [Fig. 13](#) zeigt eine Querschnittsansicht entlang der Querschnittslinie B-B' aus [Fig. 7](#) des NAND-Array-Teils **700** in dem Zustand der vollständigen Herstellung gemäß einem anderen Ausführungsbeispiel der Erfindung.

[0227] In diesem alternativen Ausführungsbeispiel der Erfindung werden Teile der Isolations-Diffusionsbarrierenschicht **1228** über der zweiten dielektrischen Schicht oder über der Steuergate-Schicht **1216**, d.h. diejenigen Teile der Isolations-Diffusionsbarrierenschicht **1228**, die sich an den Seitenwänden der Hilfsmaskenschicht **1218** befinden, während des Entfernens der Hilfsmaskenschicht **1218** entfernt. Dieses Ausführungsbeispiel der Erfindung kann verwendet werden in dem Fall der Verwendung gleicher Materialien für die Hilfsmaskenschicht **1218** und die Isolations-Diffusionsbarrierenschicht **1228**. Bis auf diese Alternative sind entsprechend den anderen Herstellungsprozessen der Ausführungsbeispiele, die unter Bezugnahme auf die [Fig. 12A](#) bis [Fig. 12E](#) erläutert wurden.

[0228] Wie für einen Fachmann ersichtlich, können die beschriebenen Prozesse implementiert werden in Hardware, Software, Firmware oder einer Kombination dieser Implementierungen, wie gewünscht. Zusätzlich können einige oder alle der beschriebenen Prozesse implementiert werden als computerlesbarer Instruktionscode, der auf einem computerlesbaren Speichermedium gespeichert ist (entfernbar Platte, flüchtiger oder nicht-flüchtiger Speicher, eingebettete Prozessoren, etc.), wobei der Instruktionscode eingerichtet ist zum Programmieren eines Computers oder anderer solcher programmierbaren Einrichtungen zum Ausführen der gewünschten Funktionen.

[0229] In einem Ausführungsbeispiel der Erfindung können die Speicherzellen planare Speicherzellen sein. In alternativen Ausführungsformen der Erfindung können die Speicherzellen Speicherzellen mit einem gekrümmten Kanal aufweisen. In noch einer

anderen Ausführungsform der Erfindung können die Speicherzellen Fin-Feldeffekttransistoren-Speicherzellen sein, allgemein Multi-Gate-Feldeffekttransistor-Speicherzellen mit drei oder sogar mehr Gates, welche die Leitfähigkeit des Kanals steuern.	326	Ausbilden erster dielektrischen Schicht über dem Kanal und Charge Trapping-Schicht über der ersten dielektrischen Schicht
	328	Ausbilden amorpher zweiter dielektrischen Schicht über zumindest einem Teil der Charge Trapping-Schicht
Bezugszeichenliste		
100	Speichersystem	
102	Speicher-Controller	
104	Speichereinrichtung	330
106	Speicherfeld	
108	Adressdecoder	
110	Zeilen-Zugriffsschaltkreis	
112	Spalten-Zugriffsschaltkreis	
114	Eingangs/Ausgangs-Schnittstelle	400
116	Datenverbindung	450
118	Steuer-Verbindung	
120	Adressverbindung	452
200	NAND-Speicherarray	500
202	Wortleitung	502₁, 502₂, ..., 502_{n-1}
204	Bitleitung	502_n
206	NAND-String	504a
208	Ladungsspeicher-Transistor	504b 506a
210	Source-Auswähl-Gate	506b
212	Drain-Auswähl-Gate	508
214	Source-Auswählleitung	510
216	Drain-Auswählleitung	512
218	gemeinsame Sourceleitung	
220	Steuergate	514
222	Drain-Kontakt	
224	Source	516
226	Drain	518
228	Ladungsspeicherbereich	522
230	Steuergate	
300	Charge Trapping-Speicherzelle	524
302	erster Source/Drain-Bereich	600 602
304	zweiter Source/Drain-Bereich	
306	Kanalbereich	604
308	Bulk-Halbleitersubstrat	
310	Gate-Struktur	
312	erste dielektrische Schicht	
314	Charge Trapping-Schicht	606
316	zweite dielektrische Schicht	
318	Gate-Kontaktschicht	
320	Ablaufdiagramm	
322	Ausbilden Kanal Speicherzelle	608
324	Ausbilden erster Source/Drain-Speicherzellenbereich und zweiter Source/Drain-Speicherzellenbereich	Ausbilden amorpher zweiter dielektrischer Schicht über zumindest einem Teil der Charge Trapping-Schicht für jede NAND-String-Zelle

610	Ausbilden Gate-Kontaktschicht, gekoppelt mit der Charge Trapping-Schicht mittels der amorphen zweiten dielektrischen Schicht für jede NAND-String-Zelle	810 812 814 816 818 820	Wortleitung erste dielektrische Schicht Floating Gate-Schicht zweite dielektrische Schicht Steuergate-Schicht elektrisch leitfähige Diffusionsbarrierenschicht
612	Ausbilden Auswähl-Gates) für jede NAND-String-Zelle	822	Isolations-Diffusionsbarrierenschicht
620	NAND-String		Isolationsmaterial-Schicht
622	Bulk-Halbleitersubstrat	824	Ablaufdiagramm
624	erste dielektrische Schicht	850	Ausbilden erster Teil des Floating-Gate-Stapels
626a	Gate-Kontaktschicht	852	Ausbilden Opfer-Gate-Stapel-Teil
626b	Gate-Kontaktschicht		Strukturieren erster Teil des Floating-Gate-Stapels und des Opfer-Gate-Stapel-Teils
628	Siliziumnitrid-Hartmaske	854	Ausbilden Speicherzellen-Kanal
630	Opfer-Gate-Struktur		Ausbilden erster Source/Drain-Speicherzellenbereich und zweiter Source/Drain-Speicherzellenbereich
632	Source/Drain-Bereich	856	Entfernen Opfer-Gate-Stapel-Teil
634	Oxid		Ausbilden Wortleitung zum Vervollständigen Gate-Stapel
636	erstes Bitleitungs-Kontaktloch		Bulk-Halbleitersubstrat
638	erstes Bitleitungs-Kontaktmaterial	858	erste dielektrische Schicht
640	erster Bitleitungs-Kontakt	860	Floating Gate-Schicht
642	Intermetall-Dielektrikums-Schicht		zweite dielektrische Schicht
644	zweites Bitleitungs-Kontaktloch		Bereich NAND-Array
646	zweites Bitleitungs-Kontaktmaterial	862	Bereich NAND-Array
648	zweiter Bitleitungs-Kontakt	864	Bereich NAND-Array
650	Bitleitung		Steuergate-Schicht
652	Bitleitungs-Kontaktloch		Hilfsmaskenschicht
654	Bitleitungs-Kontaktmaterial	902	Aktiv-Bereich-Kontaktbereich
656	erster Teil-Bitleitungs-Kontakt	904 906	Aktiv-Bereich-Kontaktbereich
658	zweiter Teil-Bitleitungs-Kontakt	908 910	Opferstruktur
660	Intermetall-Dielektrikums-Schicht	912 914	Source/Drain-Bereich
662	drittes Bitleitungs-Kontaktloch	916 918	Isolations-Diffusionsbarrierenschicht
664	drittes Bitleitungs-Kontaktmaterial	920	Isolations-Füllmaterial
666	zweiter Bitleitungs-Kontakt	922	elektrisch leitfähige Diffusionsbarrierenschicht
668	Bitleitung		Wortleitung
700	Layout NAND-Array	924	Isolations-Einkapselschicht
702	NAND-String	926	Zwischen-Metall-Dielektrikum
704	Bitleitungs-Kontakt	928	Charge Trapping-Speicherzelle
706	lokale Bitleitung		erster Source/Drain-Bereich
708	Drain-Auswählleitung	930	
710	Source-Auswählleitung	932	
712	gemeinsame Sourceleitung		
714	NAND-String-Wortleitung	934	
800	Floating Gate-Speicherzelle	936 938	
802	erster Source/Drain-Bereich	1100	
804	zweiter Source/Drain-Bereich	1102	
806	Kanalbereich		
808	Bulk-Halbleitersubstrat		

1104	zweiter Source/Drain-Bereich	1226	Source/Drain-Bereich
1106	Kanalbereich	1228	Isolations-Diffusionsbarrierenschicht
1108	Bulk-Halbleitersubstrat	1230	Isolations-Füllmaterial
1110	Wortleitung	1232	elektrisch leitfähige Diffusionsbarrierenschicht
1112	Charge Trapping-Schichtstapel	1234	Wortleitung
1114	erste dielektrische Schicht	1236	Isolations-Einkapselschicht
1116	Charge Trapping-Schicht	1238	Zwischen-Metall-Dielektrikum
1118	zweite dielektrische Schicht		
1120	Gate-Kontaktschicht		
1122	elektrisch leitfähige Diffusionsbarrierenschicht		
1124	Isolations-Diffusionsbarrierenschicht		
1126	Isolationsmaterialschicht		
1150	Ablaufdiagramm		
1152	Ausbilden erster Teil des Charge Trapping-Gate-Stapels		
1154	Ausbilden Opfer-Gate-Stapel-Teil		
1156	Strukturieren erster Teil des Charge Trapping-Gate-Stapels und des Opfer-Gate-Stapel-Teils		
1158	Ausbilden Speicherzellen-Kanal		
1160	Ausbilden erster Source/Drain-Speicherzellenbereich und zweiter Source/Drain-Speicherzellenbereich		
1162	Zumindest teilweise Entfernen des Opfer-Gate-Stapel-Teils		
1164	Ausbilden Wortleitung zum Vervollständigen Gate-Stapel		
1202	Bulk-Halbleitersubstrat		
1204	erste dielektrische Schicht		
1206	Charge Trapping-Schicht		
1208	zweite dielektrische Schicht		
1210	Bereich NAND-Array		
1212	Bereich NAND-Array		
1214	Bereich NAND-Array		
1216	Gate-Schicht		
1218	Hilfsmaskenschicht		
1220	Kontaktbereich		
1222	Kontaktbereich		
1224	Opferstruktur		

Patentansprüche

1. Verfahren zum Herstellen mindestens einer Halbleiterkomponente,

- bei dem eine Schichtstruktur auf oder über einem Halbleitersubstrat ausgebildet wird;
- bei dem die Schichtstruktur strukturiert wird, womit mindestens ein zu dotierender Bereich freigelegt wird;
- bei dem der freigelegte mindestens ein zu dotierender Bereich dotiert wird;
- bei dem der dotierte Bereich erhitzt wird;
- bei dem die strukturierte Schichtstruktur zumindest teilweise entfernt wird; und
- bei dem Austauschmaterial in dem Bereich, in dem die strukturierte Schichtstruktur entfernt worden ist, ausgebildet wird, womit die mindestens eine NAND-gekoppelte Halbleiterkomponente ausgebildet wird.

2. Verfahren gemäß Anspruch 1, wobei bei dem Ausbilden der Schichtstruktur auf oder über dem Halbleitersubstrat eine Gate-Isolationsschicht auf oder über dem Halbleitersubstrat ausgebildet wird.

3. Verfahren gemäß Anspruch 2, wobei bei dem Ausbilden der Schichtstruktur auf oder über dem Halbleitersubstrat eine Gate-Schicht auf oder über der Gate-Isolationsschicht ausgebildet wird.

4. Verfahren gemäß Anspruch 3, wobei bei dem Ausbilden der Schichtstruktur auf oder über dem Halbleitersubstrat eine Hilfsmaskenschicht auf oder über der Gate-Schicht ausgebildet wird.

5. Verfahren gemäß Anspruch 4, wobei bei dem Ausbilden der Hilfsmaskenschicht auf oder über der Gate-Schicht die Hilfsmaskenschicht auf oder über der Gate-Schicht ausgebildet wird unter Verwendung eines Materials für die Hilfsmaskenschicht, welches ausgewählt wird aus einer Gruppe von Materialien bestehend aus Siliziumoxid, Siliziumnitrid und Kohlenstoff.

6. Verfahren gemäß Anspruch 4 oder 5, wobei eine zusätzliche Maskenschicht auf oder über der Hilfsmaskenschicht ausgebildet wird.

7. Verfahren gemäß Anspruch 6, wobei bei dem

Ausbilden der zusätzlichen Maskenschicht auf oder über der Hilfsmaskenschicht eine Photore-sist-Schicht auf der Hilfsmaskenschicht ausgebildet wird.

8. Verfahren gemäß einem der Ansprüche 1 bis 7, wobei bei dem Strukturieren der Schichtstruktur zumindest zwei zu dotierende Bereiche freigelegt werden.

9. Verfahren gemäß Anspruch 8, wobei bei dem Dotieren der freigelegten zumindest zwei zu dotierenden Bereiche ein erster Source/Drain-Bereich und ein zweiter Source/Drain-Bereich ausgebildet werden.

10. Verfahren gemäß einem der Ansprüche 1 bis 9, wobei bei dem Erhitzen des dotierten Bereichs der dotierte Bereich aktiviert wird.

11. Verfahren gemäß einem der Ansprüche 1 bis 10, wobei bei dem Erhitzen des dotierten Bereichs der dotierte Bereich auf eine Temperatur von mindestens 800 °C erhitzt wird.

12. Verfahren gemäß einem der Ansprüche 1 bis 11, wobei eine Mehrzahl von NAND-gekoppelten Halbleiterkomponenten hergestellt wird.

13. Verfahren gemäß Anspruch 12,
 • wobei sich über den mindestens zwei dotierten Bereichen sich befindende Gräben in der strukturierten Schichtstruktur zumindest teilweise mit einem Füllmaterial gefüllt werden;
 • wobei die strukturierte Schichtstruktur zumindest teilweise entfernt wird unter Verwendung des Füllmaterials als Maske.

14. Verfahren gemäß Anspruch 13, wobei als Füllmaterial ein Oxid verwendet wird.

15. Verfahren gemäß Anspruch 13 oder 14, wobei bei dem zumindest teilweise Entfernen der strukturierten Schichtstruktur die Hilfsmaskenschicht entfernt wird.

16. Verfahren gemäß Anspruch 15, wobei bei dem zumindest teilweise Entfernen der strukturierten Schichtstruktur die Gate-Schicht entfernt wird.

17. Verfahren gemäß einem der Ansprüche 12 bis 16,
 • wobei das Substrat einen ersten Substratbereich und einen zweiten Substratbereich aufweist;
 • wobei der erste Substratbereich vorgesehen ist zum Herstellen von Auswahl-Halbleiterkomponenten;
 • wobei der zweite Substratbereich vorgesehen ist zum Herstellen von Speicher-Halbleiterkomponenten.

18. Verfahren gemäß Anspruch 17, wobei das zumindest teilweise Entfernen der strukturierten Schichtstruktur nur in dem zweiten Substratbereich ausgeführt wird.

19. Verfahren gemäß Anspruch 2 und 18, wobei bei dem Ausbilden des Austauschmaterials in dem Bereich, in dem die strukturierte Schichtstruktur entfernt worden ist, eine Ladungsspeicher-Schichtstruktur auf oder über der Gate-Isolationsschicht ausgebildet wird in dem Bereich, in dem die strukturierte Schichtstruktur entfernt worden ist.

20. Verfahren gemäß Anspruch 19, wobei bei dem Ausbilden der Ladungsspeicher-Schichtstruktur eine Floating Gate-Schicht ausgebildet wird.

21. Verfahren gemäß Anspruch 19, wobei bei dem Ausbilden der Ladungsspeicher-Schichtstruktur eine Charge Trapping-Schichtstruktur ausgebildet wird.

22. Verfahren gemäß Anspruch 21, wobei die Charge Trapping-Schichtstruktur aufweist eine dielektrische Schicht hergestellt aus einem Material, welches ausgewählt wird aus einer Gruppe von Materialien bestehend aus Si_3N_4 , Al_2O_3 , HfO_2 , ZrO_2 , Y_2O_3 , LaO_2 , amorphem Silizium, Ta_2O_5 , TiO_2 und einem Aluminat.

23. Verfahren gemäß Anspruch 21, wobei die Charge Trapping-Schichtstruktur eine Nitrid-Oxid-Schichtstruktur aufweist.

24. Verfahren gemäß einem der Ansprüche 2 bis 23, wobei bei dem Ausbilden einer Schichtstruktur auf oder über dem Substrat eine Gate-Schichtstruktur auf oder über der Gate-Isolationsschicht ausgebildet wird.

25. Verfahren gemäß Anspruch 24, wobei das Ausbilden der Gate-Schichtstruktur aufweist:
 • Ausbilden einer Floating Gate-Schicht auf oder über der Gate-Isolationsschicht;
 • Ausbilden einer dielektrischen Schicht auf oder über der Floating Gate-Schicht;
 • Ausbilden einer Steuergate-Schicht auf oder über der dielektrischen Schicht.

26. Verfahren gemäß Anspruch 24 oder 25, wobei bei dem Ausbilden der Schichtstruktur auf oder über dem Substrat eine Hilfsmaskenschicht auf oder über der Gate-Schichtstruktur ausgebildet wird.

27. Verfahren gemäß Anspruch 2, wobei bei dem Ausbilden der Schichtstruktur auf oder über dem Substrat eine Charge Trapping-Schichtstruktur auf oder über der Gate-Isolationsschicht ausgebildet wird.

28. Verfahren gemäß Anspruch 27, wobei die Charge Trapping-Schichtstruktur eine dielektrische Schicht aufweist, hergestellt aus einem Material, welches ausgewählt wird aus einer Gruppe von Materialien bestehend aus Si_3N_4 , Al_2O_3 , HfO_2 , ZrO_2 ,

29. Verfahren gemäß Anspruch 27, wobei die Charge Trapping-Schichtstruktur eine Nitrid-Oxid-Schichtstruktur aufweist.

30. Verfahren gemäß Anspruch 27, wobei bei dem Ausbilden der Schichtstruktur auf oder über dem Substrat eine Steuergate-Schicht auf oder über der Charge Trapping-Schichtstruktur ausgebildet wird.

31. Verfahren gemäß Anspruch 30, wobei bei dem Ausbilden der Schichtstruktur auf oder über dem Substrat eine Hilfsmaskenschicht auf oder über der Charge Trapping-Schichtstruktur ausgebildet wird.

32. Verfahren gemäß Anspruch 13,
 • wobei eine Diffusionsbarrierenschicht in den Gräben in der strukturierten Schichtstruktur über den zumindest zwei dotierten Bereichen ausgebildet wird;
 • wobei die Gräben zumindest teilweise mit einem Füllmaterial auf oder über der Diffusionsbarrierenschicht gefüllt werden.

33. Verfahren gemäß Anspruch 32, wobei die Diffusionsbarrierenschicht Siliziumnitrid oder Siliziumoxinitrid aufweist.

34. Verfahren gemäß Anspruch 26 oder 31, wobei bei dem zumindest teilweise Entfernen der strukturierten Schichtstruktur die Hilfsmaskenschicht entfernt wird.

35. Verfahren gemäß Anspruch 34, wobei bei dem Ausbilden des leitfähigen Materials eine leitfähige Diffusionsbarrierenschicht ausgebildet wird.

36. Verfahren gemäß Anspruch 34 oder 35, wobei bei dem Ausbilden des leitfähigen Materials ein Wortleitungs-Leitermaterial ausgebildet wird.

37. Verfahren gemäß Anspruch 36, wobei bei dem Ausbilden des Wortleitungs-Leitermaterials ein Wortleitungsmetall ausgebildet wird.

38. Verfahren gemäß Anspruch 37, wobei das Wortleitungsmetall einen spezifischen Widerstand von weniger als $10 \mu\text{Ohmcm}$ aufweist.

39. Verfahren gemäß Anspruch 38, wobei das Wortleitungsmetall einen spezifischen Widerstand von weniger als oder gleich $6 \mu\text{Ohmcm}$ aufweist.

40. Verfahren gemäß Anspruch 39, wobei das Wortleitungsmetall einen spezifischen Widerstand von weniger als oder gleich $5 \mu\text{Ohmcm}$ aufweist.

41. Verfahren gemäß Anspruch 37, wobei das Wortleitungsmetall ausgewählt wird aus einer Gruppe von Metallen bestehend aus Cu, Al, Ag, Au.

42. Verfahren zum Herstellen einer Speicheranordnung,

- wobei eine Gate-Isolationsschicht auf oder über einem Substrat ausgebildet wird;
- wobei eine Gate-Schichtstruktur auf oder über der Gate-Isolationsschicht ausgebildet wird;
- wobei eine Hilfsmaskenschicht auf oder über der Gate-Schichtstruktur ausgebildet wird;
- wobei die Hilfsmaskenschicht und die Gate-Schichtstruktur strukturiert werden;
- wobei freigelegte zu dotierende Bereiche dotiert werden;
- wobei die dotierten Bereiche erhitzt werden;
- wobei die strukturierte Hilfsmaskenschicht entfernt wird;
- wobei Wortleitungs-Leitermaterial in den Bereichen, in denen die strukturierte Hilfsmaskenschicht entfernt worden ist, ausgebildet wird, womit eine NAND-gekoppelte Speicheranordnung ausgebildet wird.

43. Verfahren gemäß Anspruch 42, wobei die Speicheranordnung eine Charge Trapping-Speicheranordnung ist.

44. Verfahren zum Herstellen einer Charge Trapping-Speicherzelle,

- wobei ein erster Source/Drain-Bereich und ein zweiter Source/Drain-Bereich ausgebildet werden, wobei der erste Source/Drain-Bereich und der zweite Source/Drain-Bereich jeweils ein implantiertes Dotierprofil aufweisen, welches gekennzeichnet ist durch eine Diffusionstemperatur, oberhalb der das implantierte Dotierprofil zu diffundieren beginnt;
- wobei ein Gate-Bereich zwischen dem ersten Source/Drain-Bereich und dem zweiten Source/Drain-Bereich gekoppelt wird, wobei
- ein Gate-Bereich ausgebildet wird, der zwischen den ersten Source/Drain-Bereich und den zweiten Source/Drain-Bereich gekoppelt wird;
- eine Charge Trapping-Schicht ausgebildet wird, die mit dem Gate-Bereich mittels einer ersten dielektrischen Schicht gekoppelt wird;
- eine zweite dielektrische Schicht über zumindest einem Teil der Charge Trapping-Schicht ausgebildet wird, wobei die zweite dielektrische Schicht ein hoch-amorphes Material aufweist und gekennzeichnet ist durch eine Kristallisationstemperatur, oberhalb der die zweite dielektrische Schicht im Wesentlichen nicht-amorph wird, wobei die Kristallisationstemperatur niedriger ist als die Diffusionstemperatur; und
- eine Gate-Kontaktschicht ausgebildet wird, welche mit der Charge Trapping-Schicht mittels der zweiten dielektrischen Schicht gekoppelt ist.

45. Charge Trapping-Speicherzelle,
 • mit einem ersten Source/Drain-Bereich und einem

zweiten Source/Drain-Bereich;

- mit einem Kanalbereich zwischen dem ersten Source/Drain-Bereich und dem zweiten Source/Drain-Bereich;
- mit einer Charge Trapping-Schichtanordnung über dem Kanalbereich, wobei die Charge Trapping-Schichtanordnung aufweist:
 - eine erste dielektrische Schicht;
 - eine Charge Trapping-Schicht über der ersten dielektrischen Schicht;
 - eine zweite dielektrische Schicht über der Charge Trapping-Schicht, wobei die zweite dielektrische Schicht ein hoch-amorphes Material aufweist mit einer Kristallisationstemperatur, oberhalb der die zweite dielektrische Schicht im Wesentlichen nicht-amorph wird, wobei die Kristallisationstemperatur niedriger ist als die Aktivierungstemperatur des ersten Source/Drain-Bereichs und des zweiten Source/Drain-Bereichs.

46. Charge Trapping-Speicherzelle gemäß Anspruch 45, wobei die zweite dielektrische Schicht ein Material aufweist, welches ausgewählt ist aus einer Gruppe von Materialien bestehend aus amorphem Al_2O_3 , amorphem HfO_2 , und amorphem ZrO_2 .

47. Charge Trapping-Speicherzelle gemäß Anspruch 45, wobei die Charge Trapping-Schicht Charge Trapping-Nanoanreicherungen aufweist.

48. Charge Trapping-Speicherzelle gemäß Anspruch 47, wobei die Nanoanreicherungen ein Implant aufweisen, welches ausgewählt ist aus einer Gruppe von Materialien bestehend aus Ge, Si, B, C, Al, Ga, Ti, Zr, Nb, Hf, Y, In, La, Ta, oder W.

49. Nicht-flüchtige Speicherzelle,

- mit einem ersten Source/Drain-Bereich und einem zweiten Source/Drain-Bereich;
- mit einem Kanalbereich zwischen dem ersten Source/Drain-Bereich und dem zweiten Source/Drain-Bereich;
- mit einer Gate-Schichtanordnung über dem Kanalbereich;
- mit einer Wortleitung, die mit der Gate-Schichtanordnung gekoppelt ist, wobei die Wortleitung Wortleitungsmetall aufweist, wobei das Wortleitungsmetall einen spezifischen Widerstand von weniger als 10 μOhmcm aufweist.

50. Nicht-flüchtige Speicherzelle gemäß Anspruch 49, wobei das Wortleitungsmetall einen spezifischen Widerstand von weniger als oder gleich 6 μOhmcm aufweist.

51. Nicht-flüchtige Speicherzelle gemäß Anspruch 49, wobei das Wortleitungsmetall einen spezifischen Widerstand von weniger als oder gleich 5 μOhmcm aufweist.

52. Nicht-flüchtige Speicherzelle gemäß Anspruch 49, wobei das Wortleitungsmetall ein Metall aufweist, welches ausgewählt ist aus einer Gruppe von Metallen bestehend aus Cu, Al, Ag, Au.

53. Nicht-flüchtige Speicherzelle gemäß einem der Ansprüche 49 bis 52, wobei die Gate-Schichtanordnung aufweist

- eine Floating Gate-Schicht;
- eine dielektrische Schicht über der Floating Gate-Schicht;
- eine Steuergate-Schicht über der dielektrischen Schicht.

54. Nicht-flüchtige Speicherzelle gemäß einem der Ansprüche 49 bis 52, wobei die Gate-Schichtanordnung eine Charge Trapping-Schichtanordnung aufweist.

55. Nicht-flüchtige Speicherzelle gemäß Anspruch 54, wobei die Charge Trapping-Speicheranordnung aufweist:

- eine erste dielektrische Schicht;
- eine Charge Trapping-Schicht über der ersten dielektrischen Schicht;
- eine zweite dielektrische Schicht über der Charge Trapping-Schicht.

Es folgen 27 Blatt Zeichnungen

Anhängende Zeichnungen

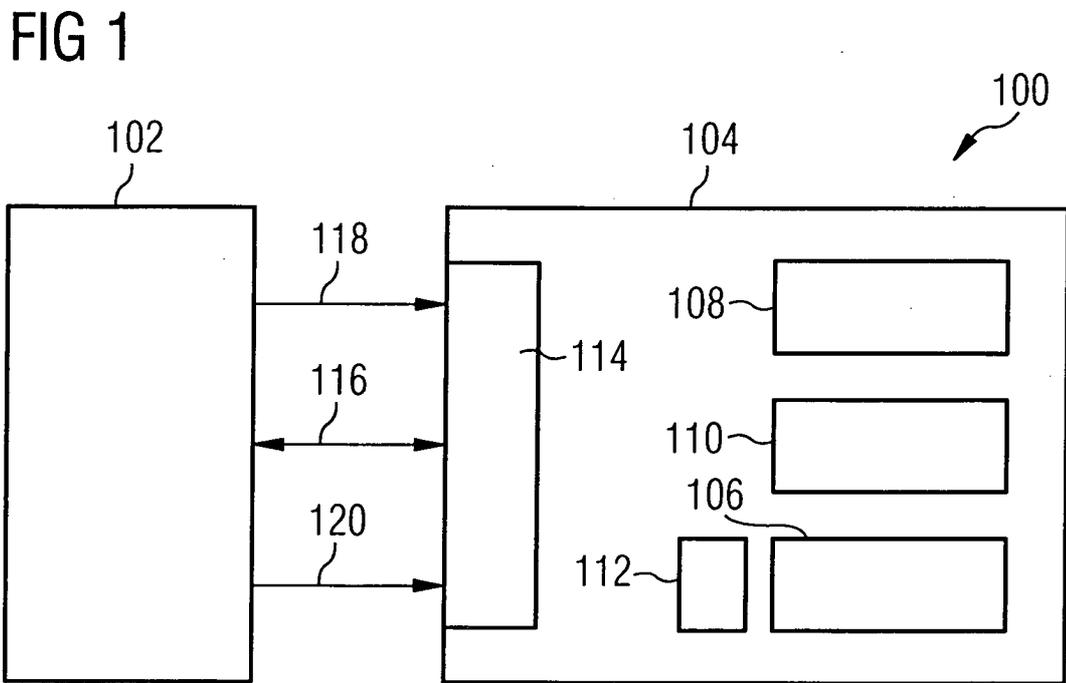


FIG 2

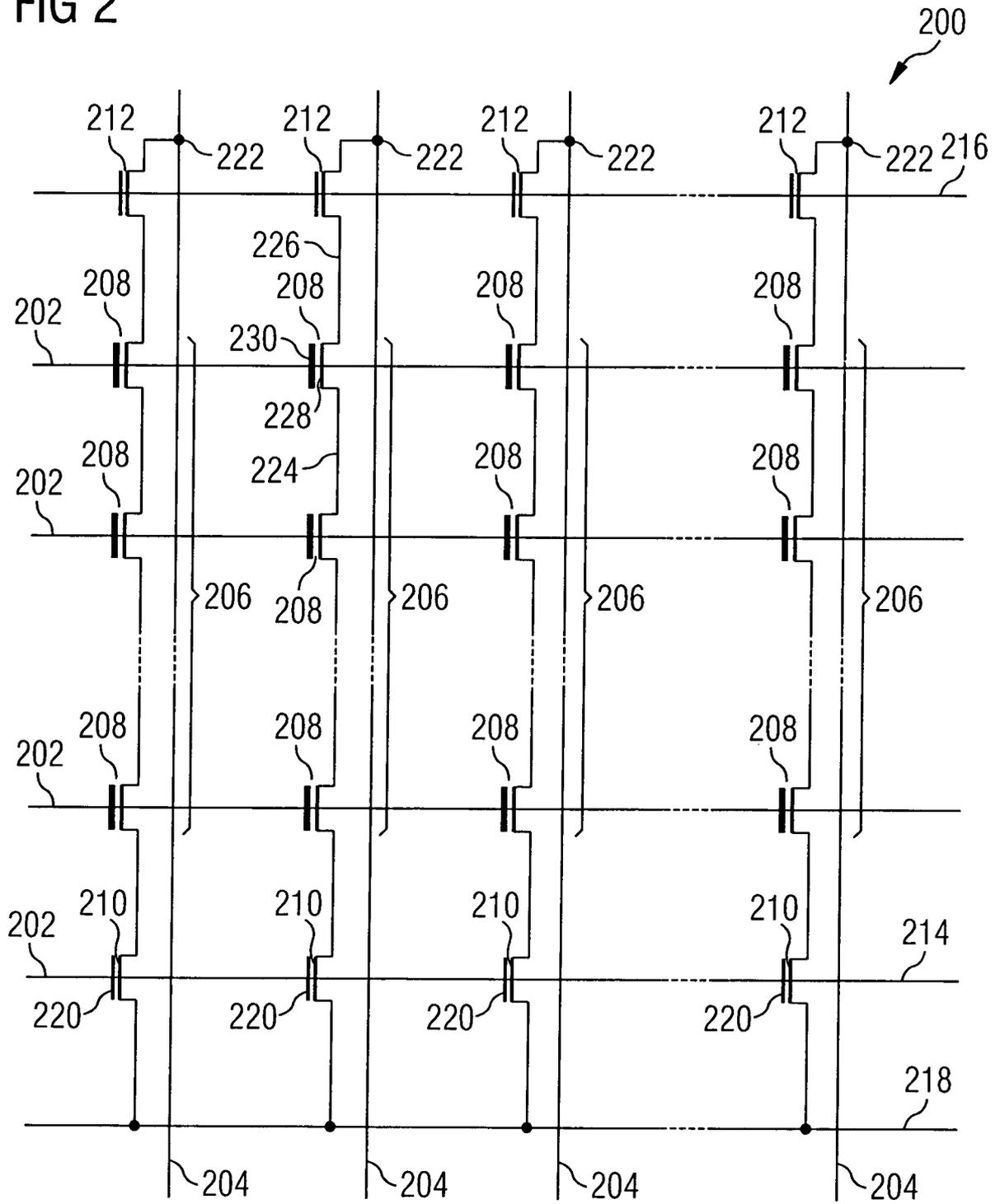


FIG 3A

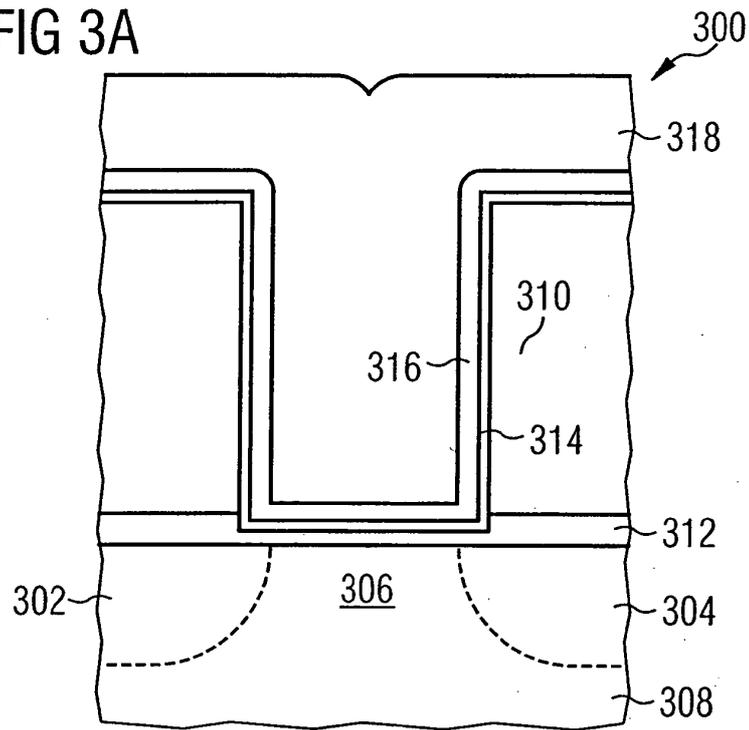


FIG 3B

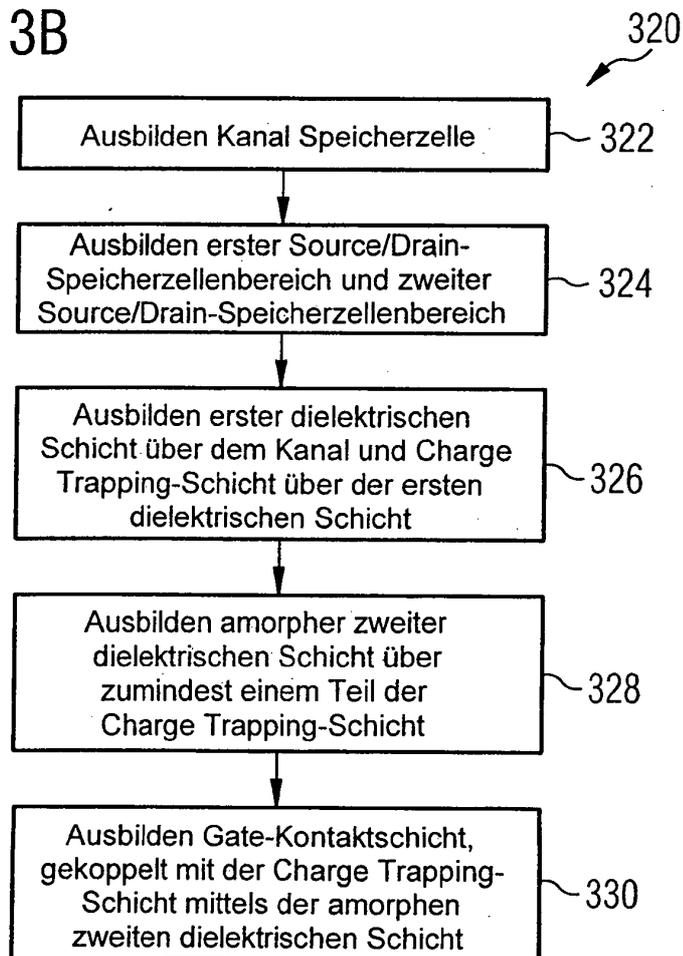


FIG 4A

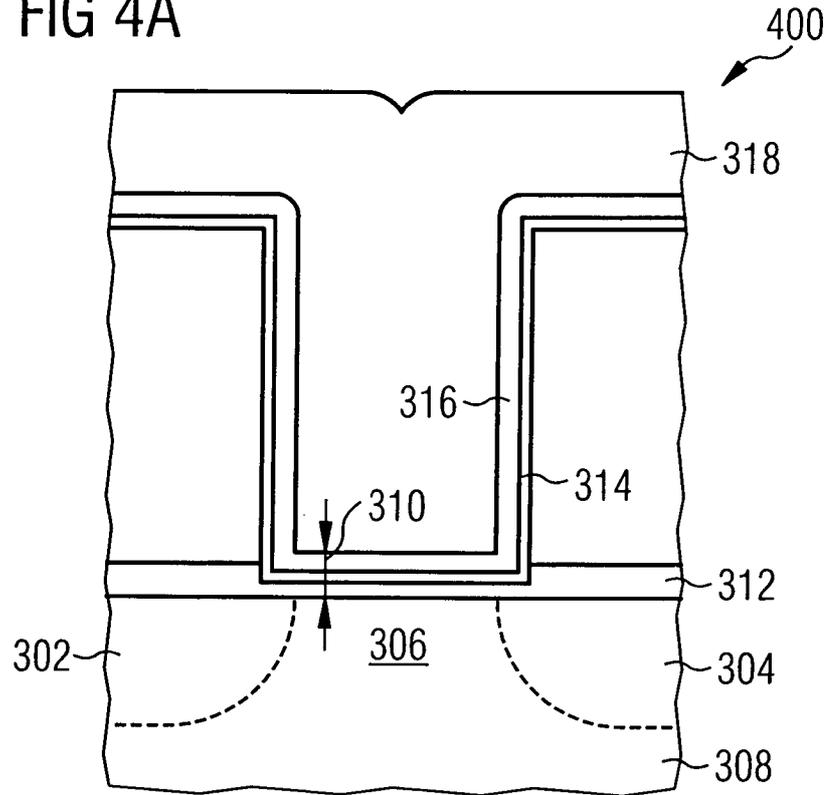
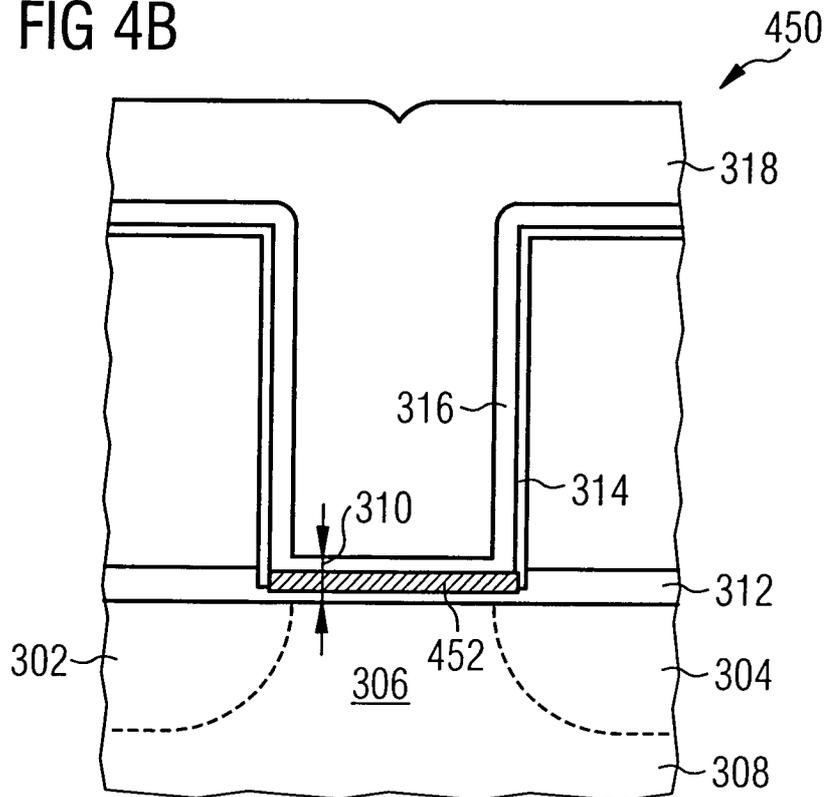


FIG 4B



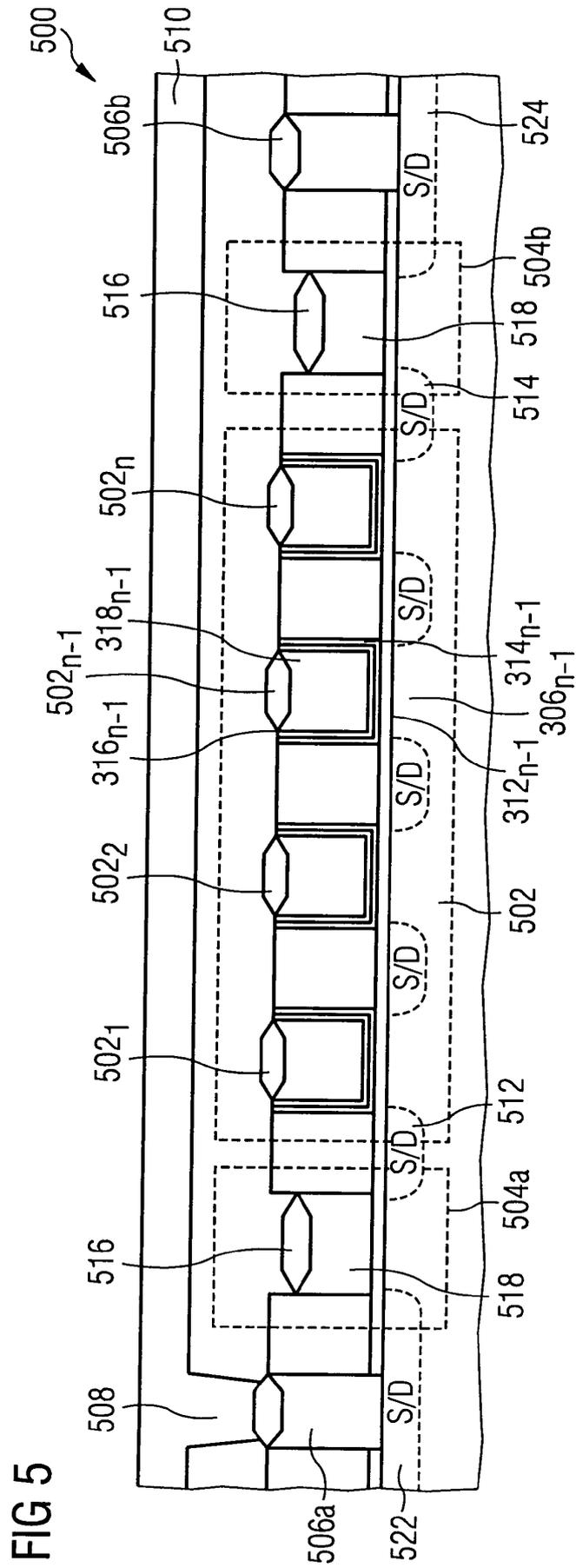


FIG 6A

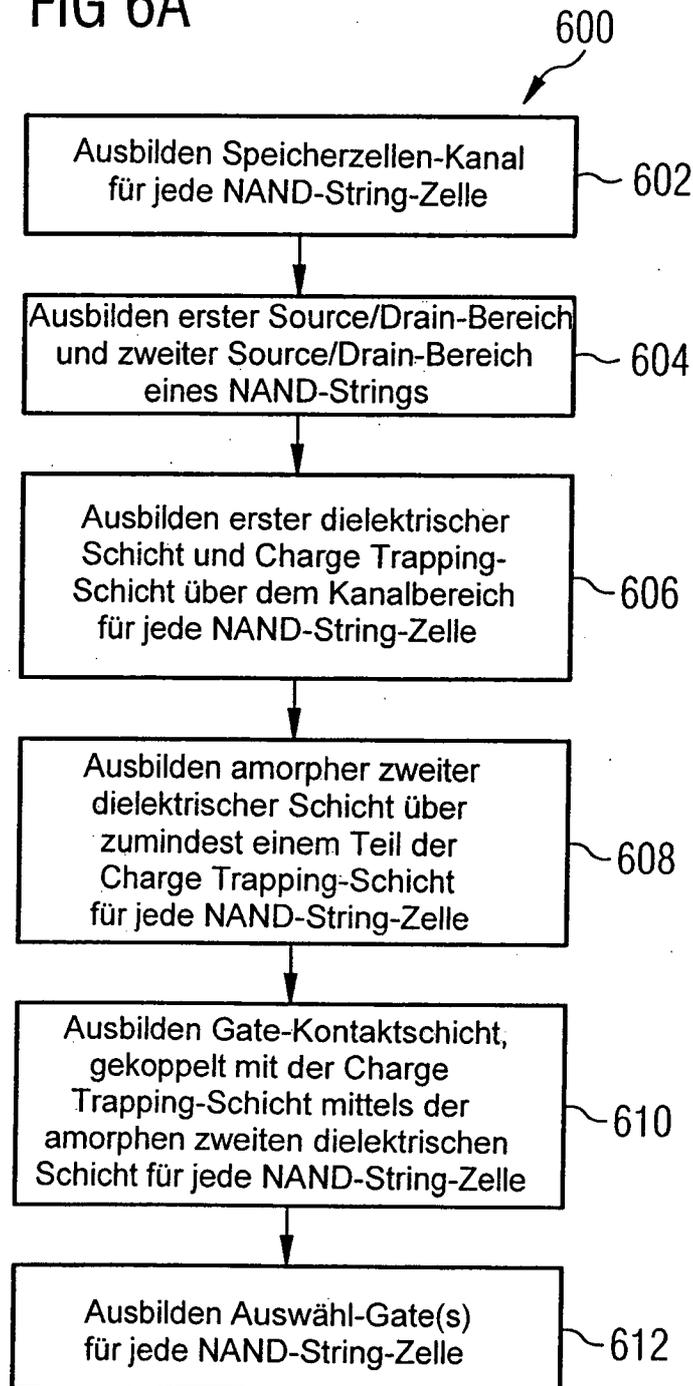


FIG 6B

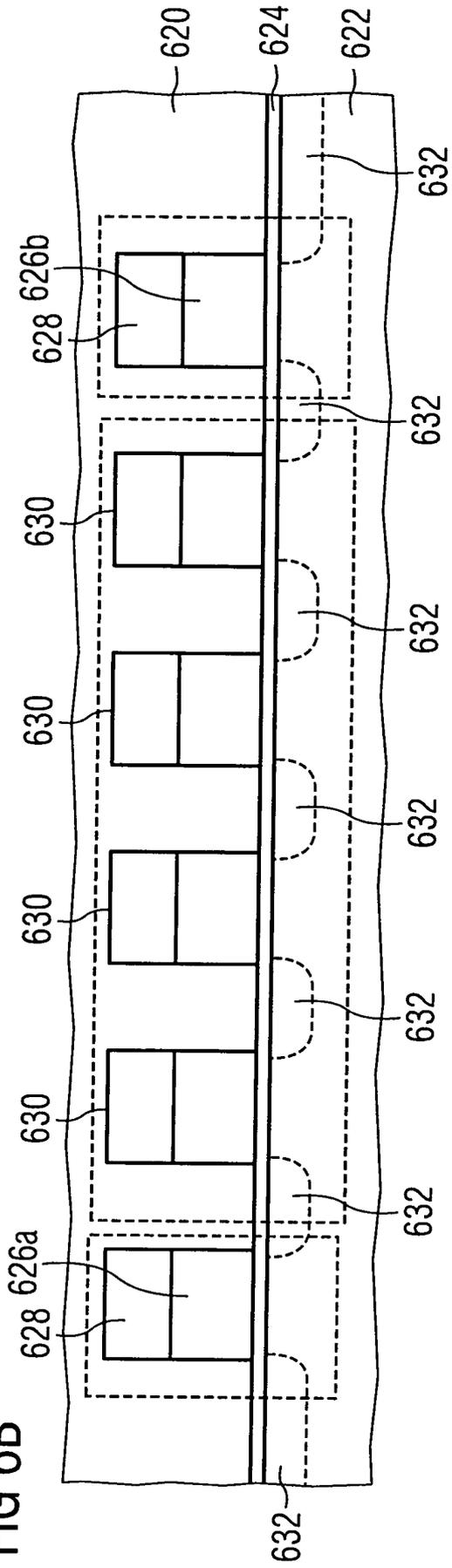


FIG 6C

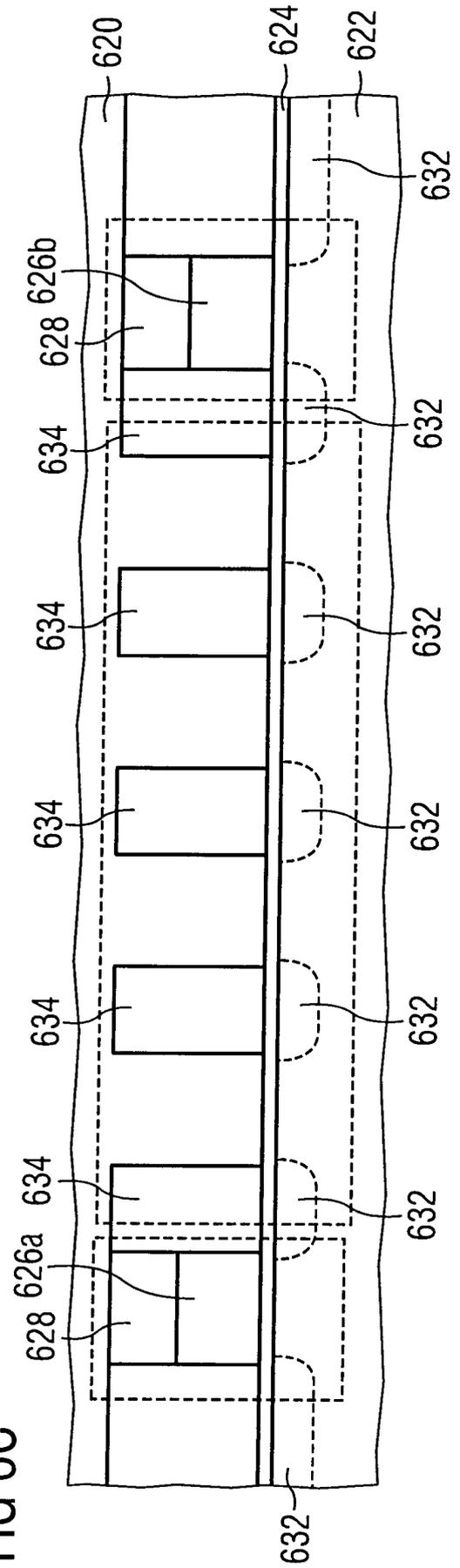


FIG 6D

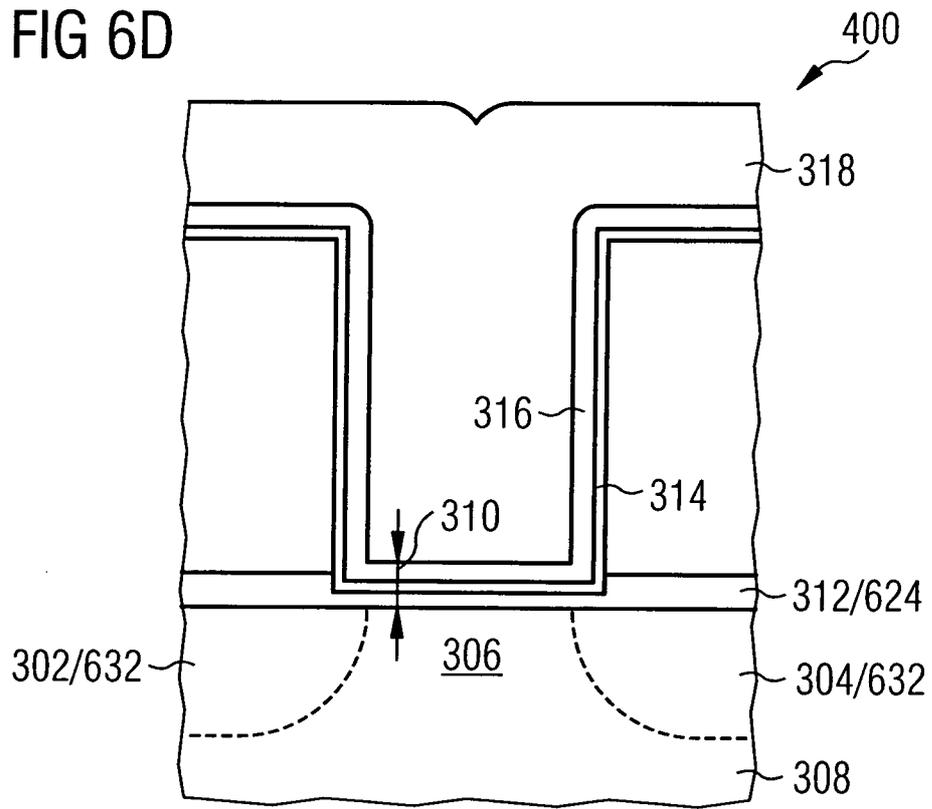


FIG 6E

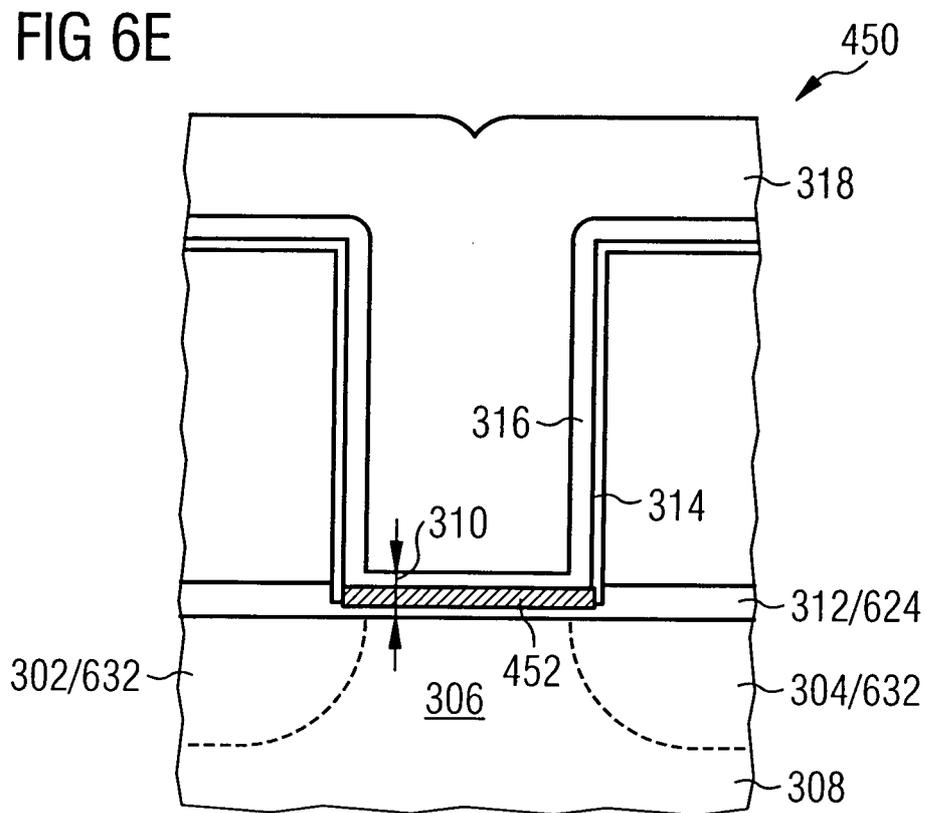


FIG 6F

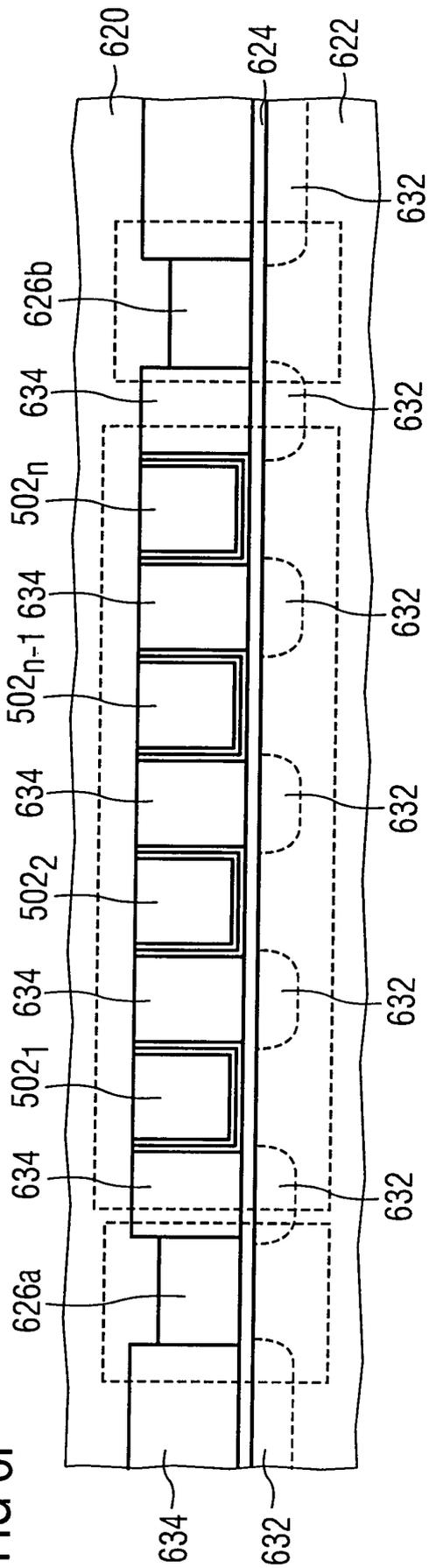


FIG 6G

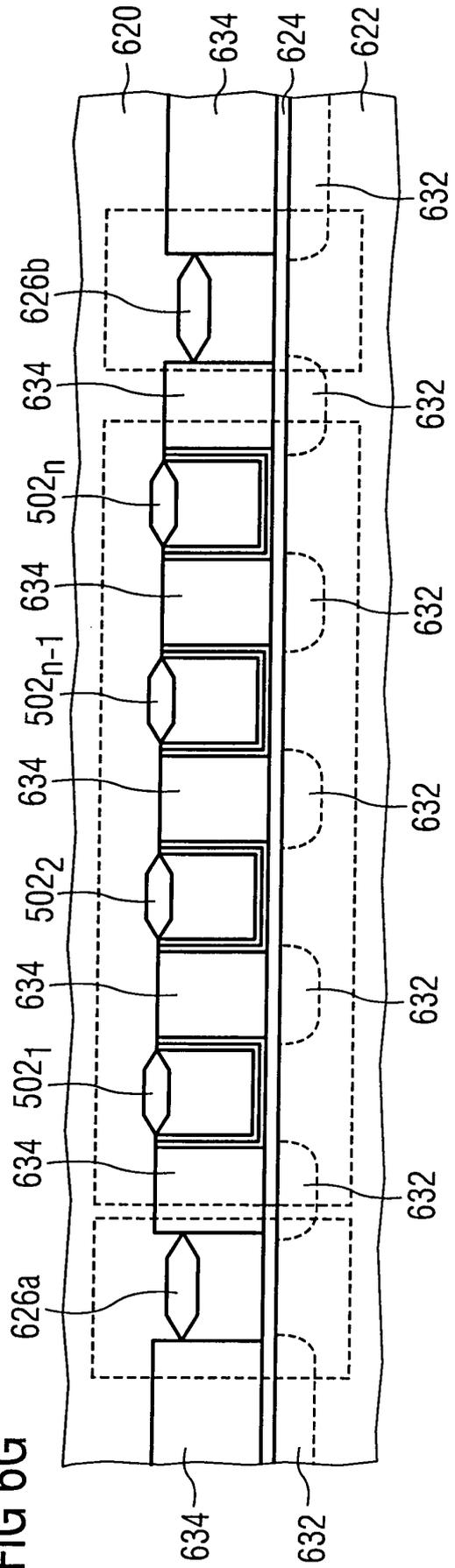


FIG 6H

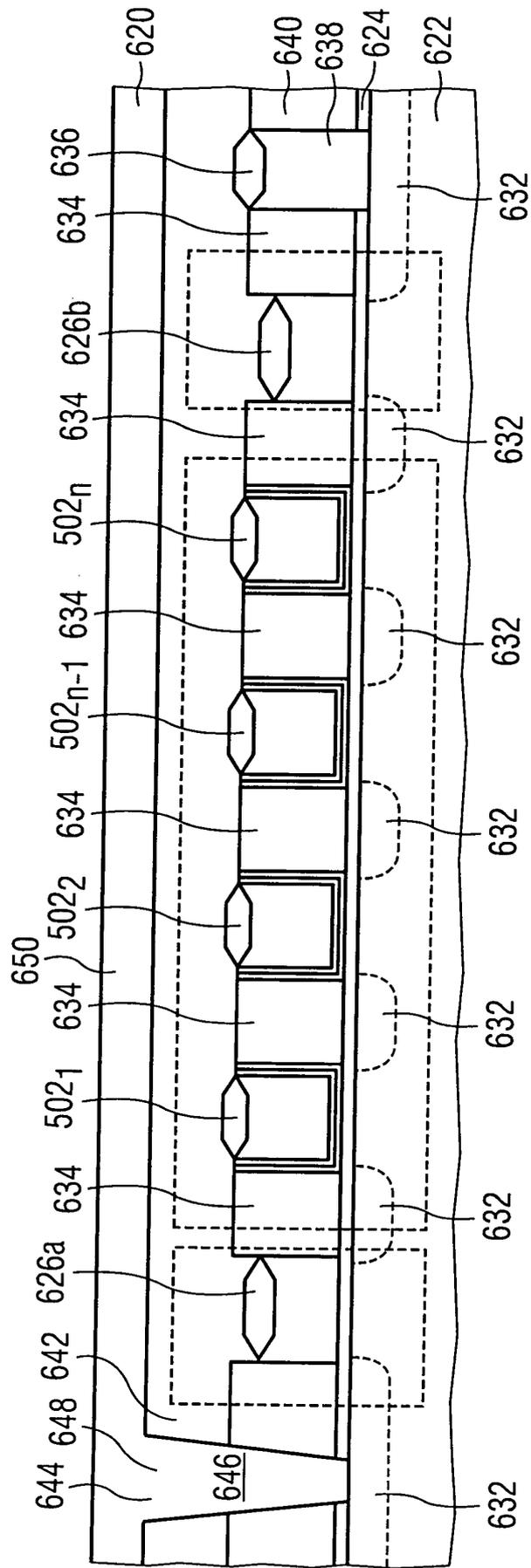


FIG 6K

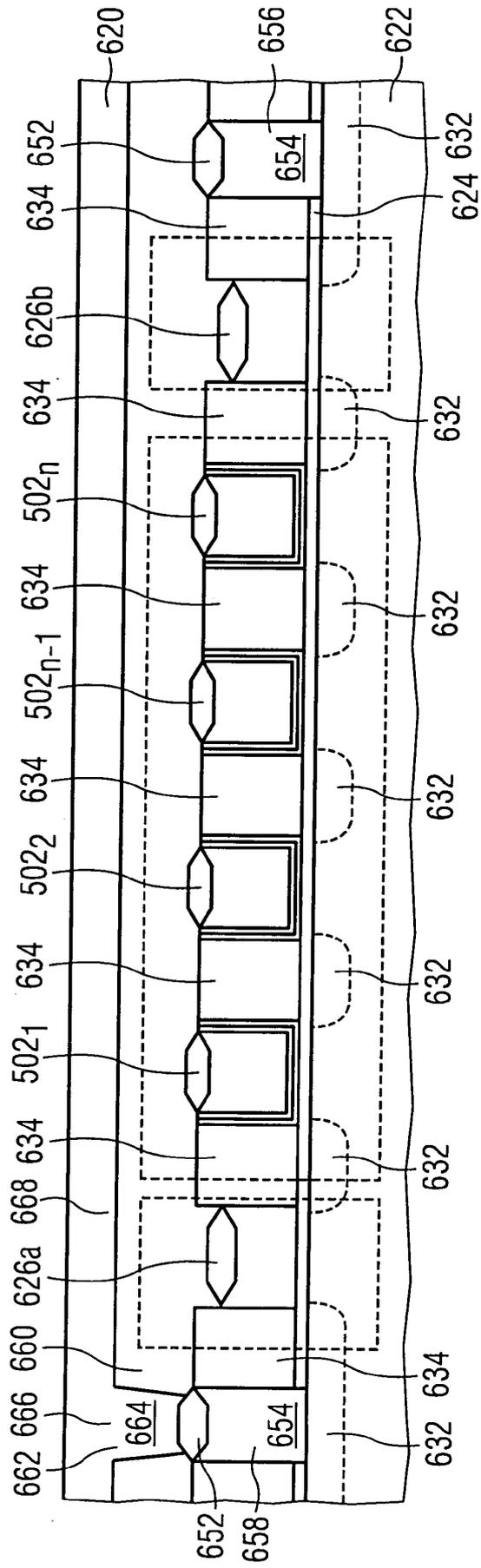


FIG 7

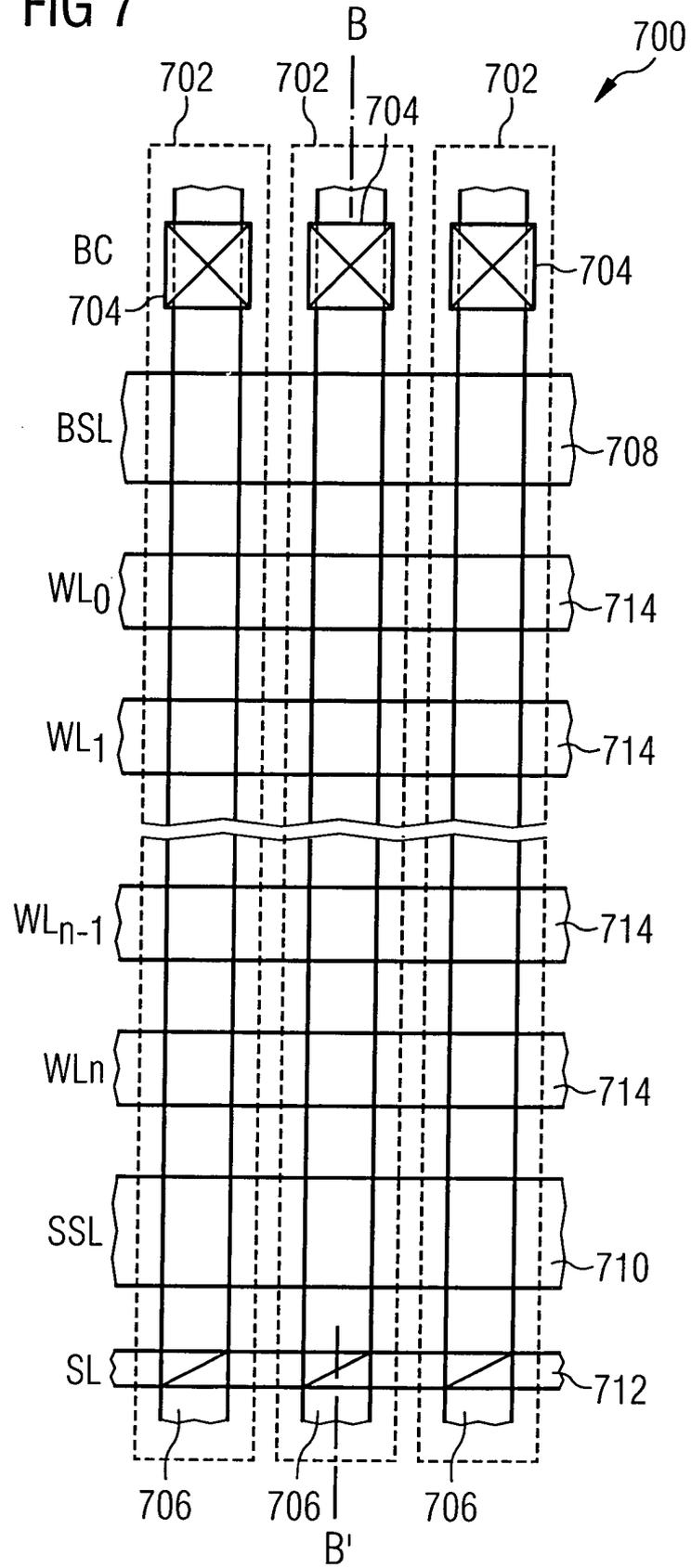


FIG 8A

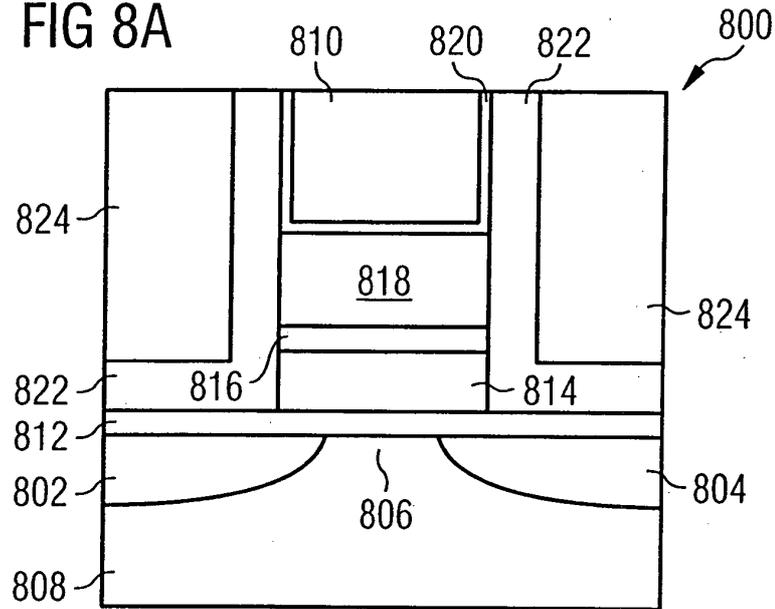


FIG 8B

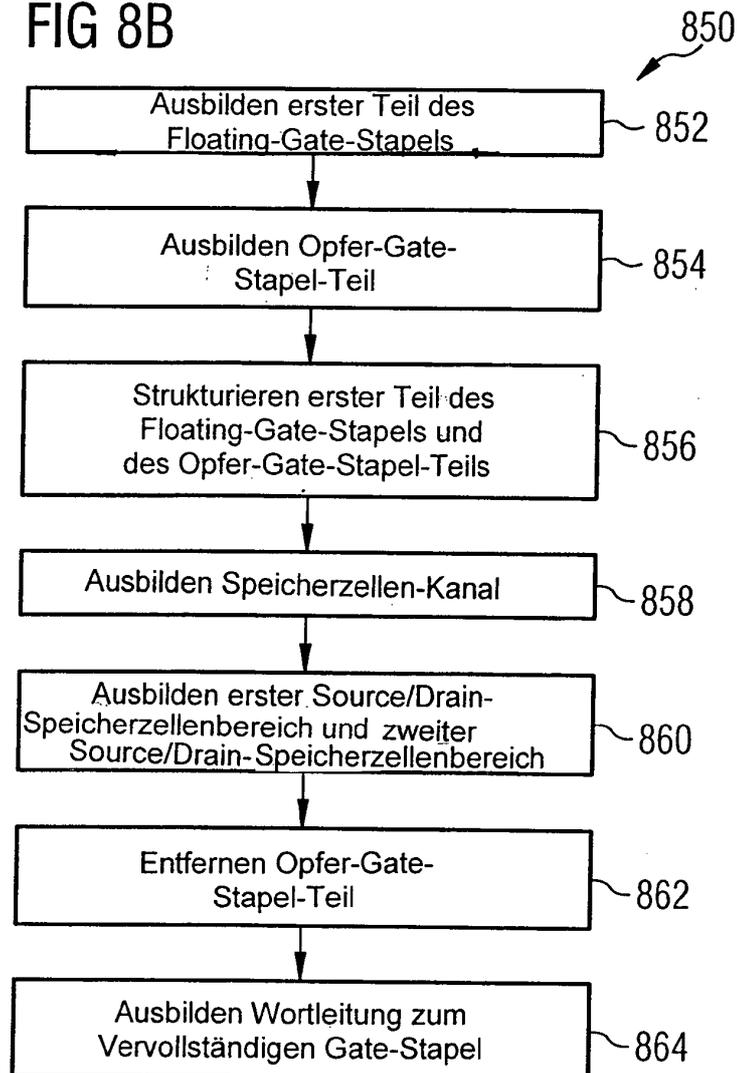


FIG 9A

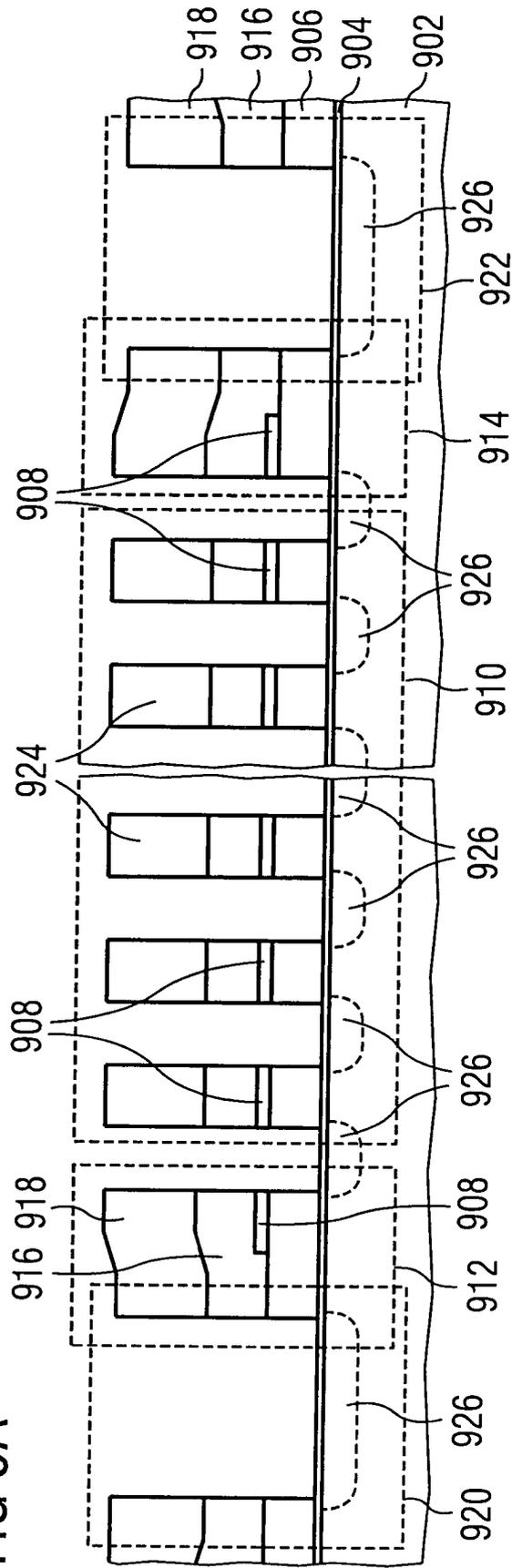


FIG 9B

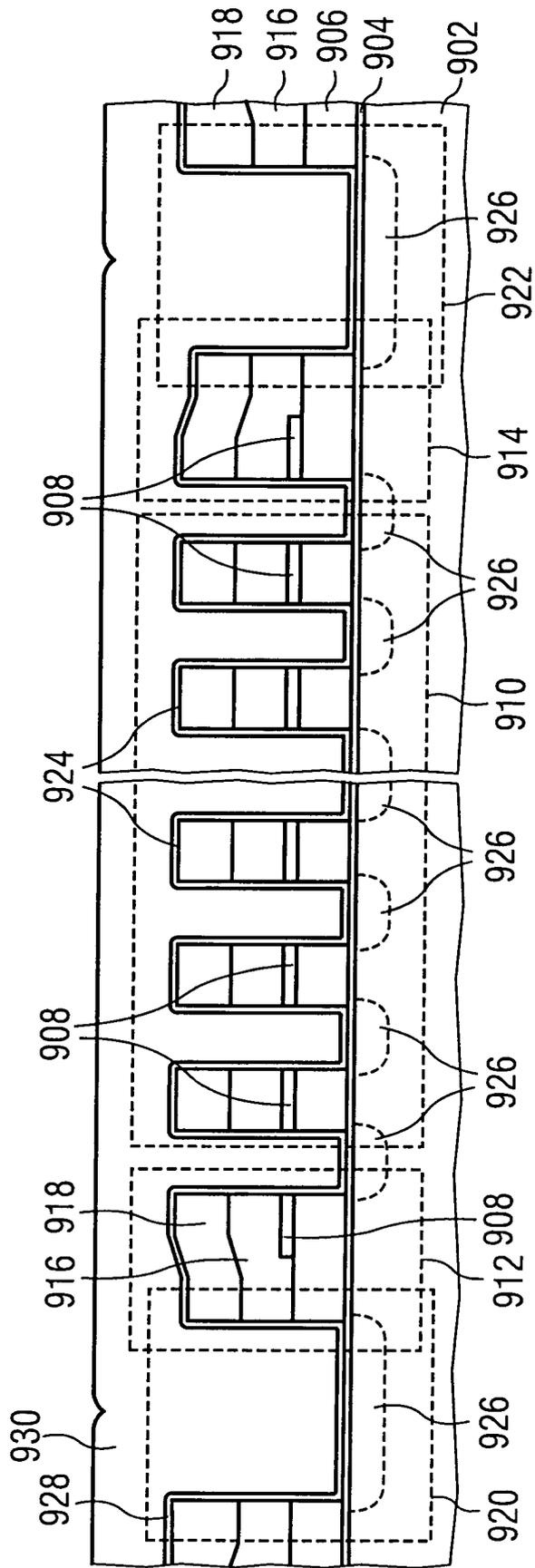


FIG 9C

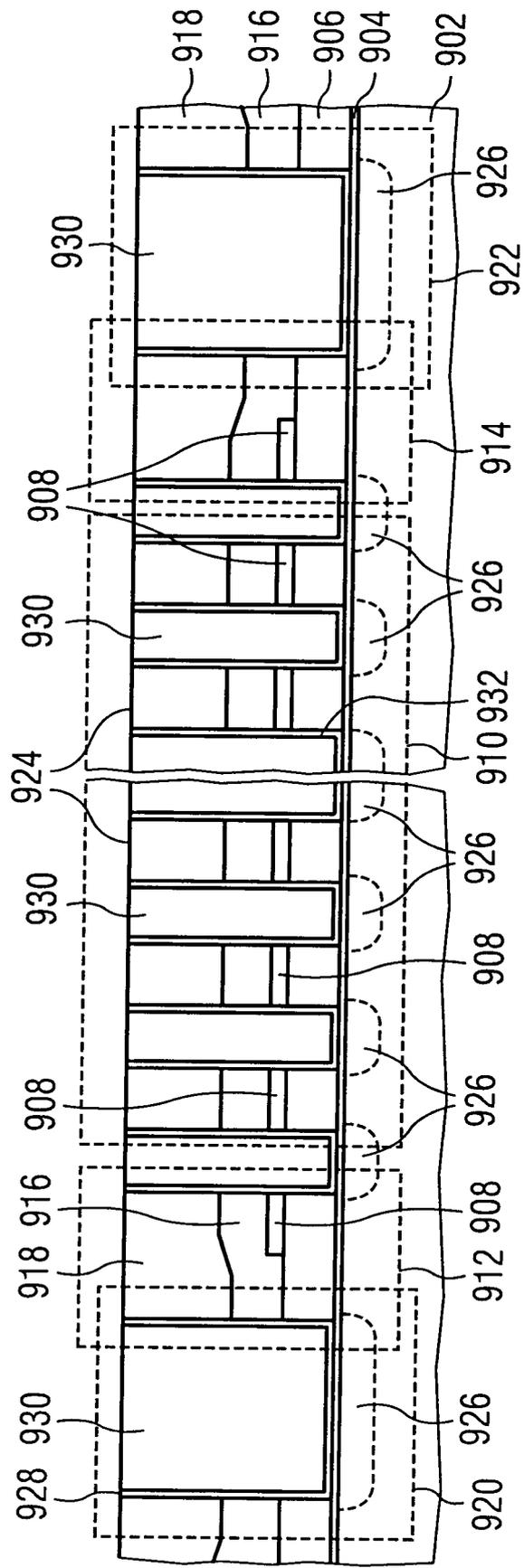


FIG 9D

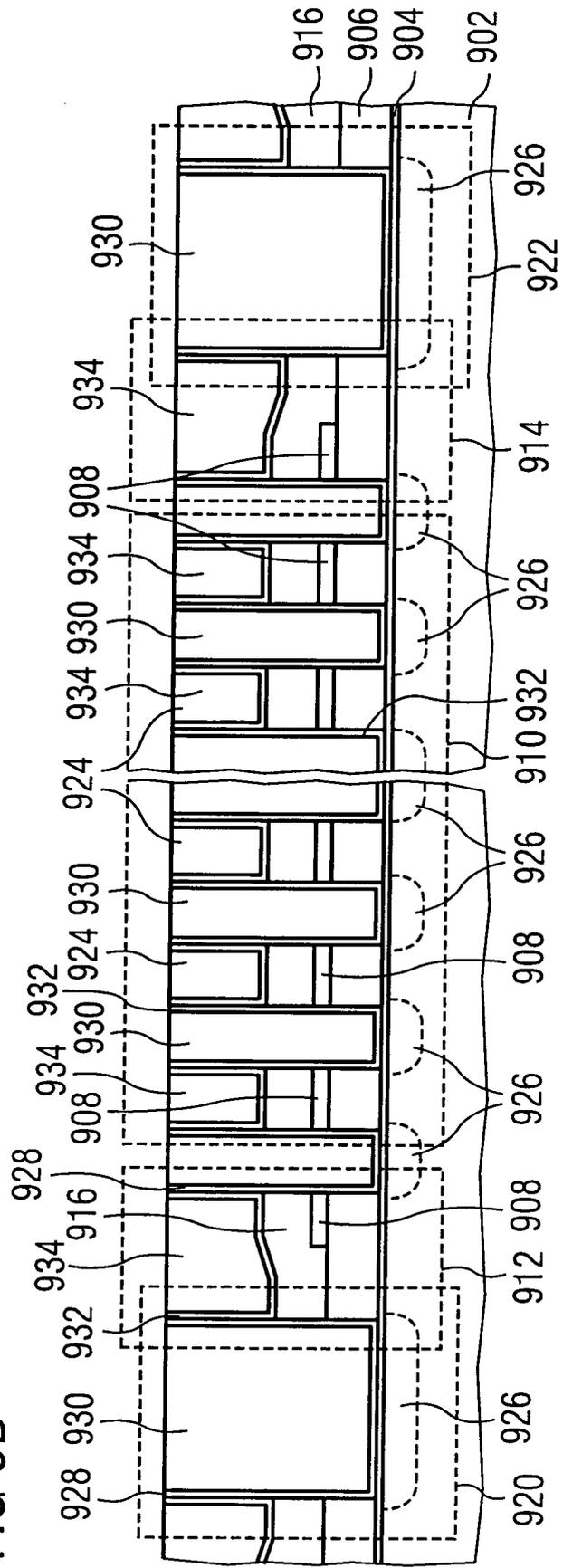


FIG 9E

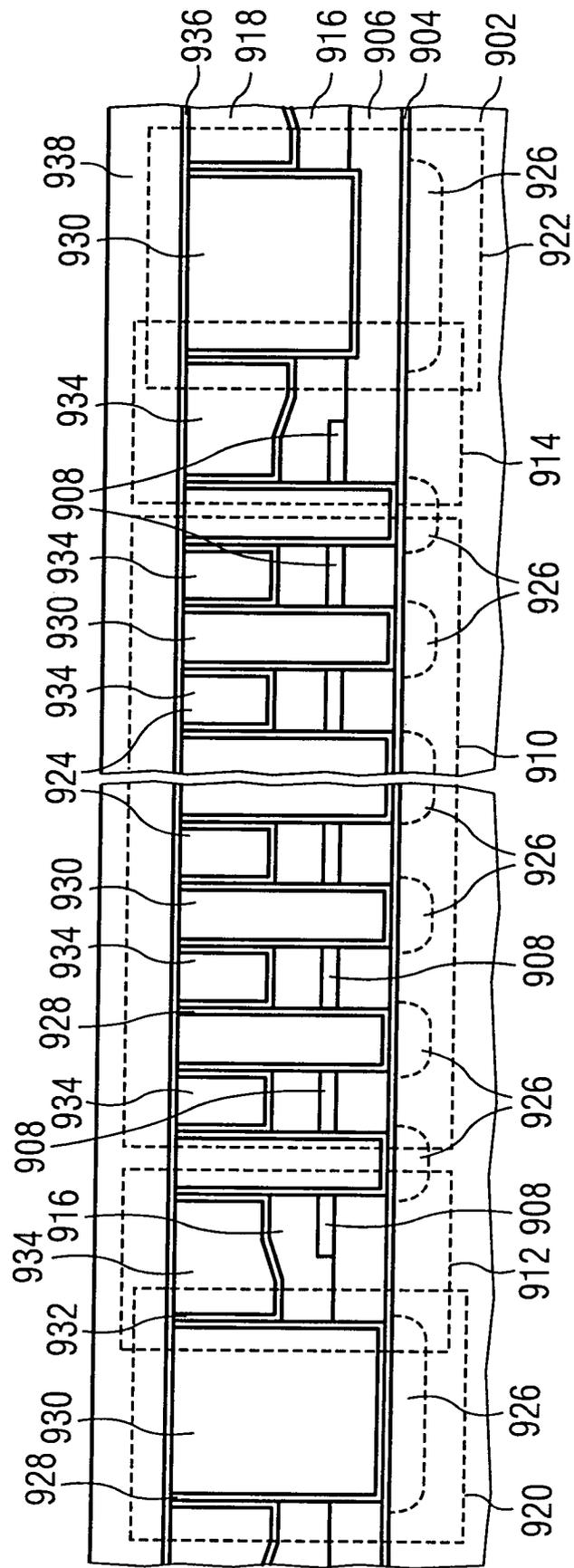


FIG 10

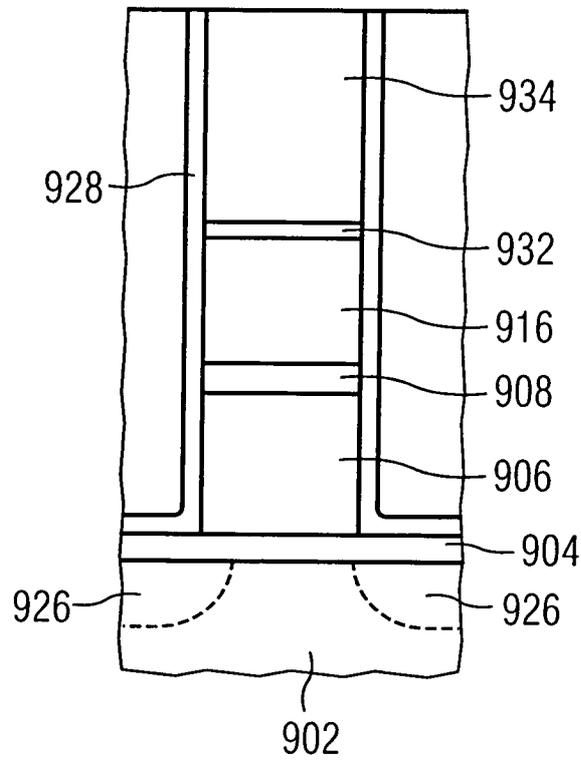


FIG 11A

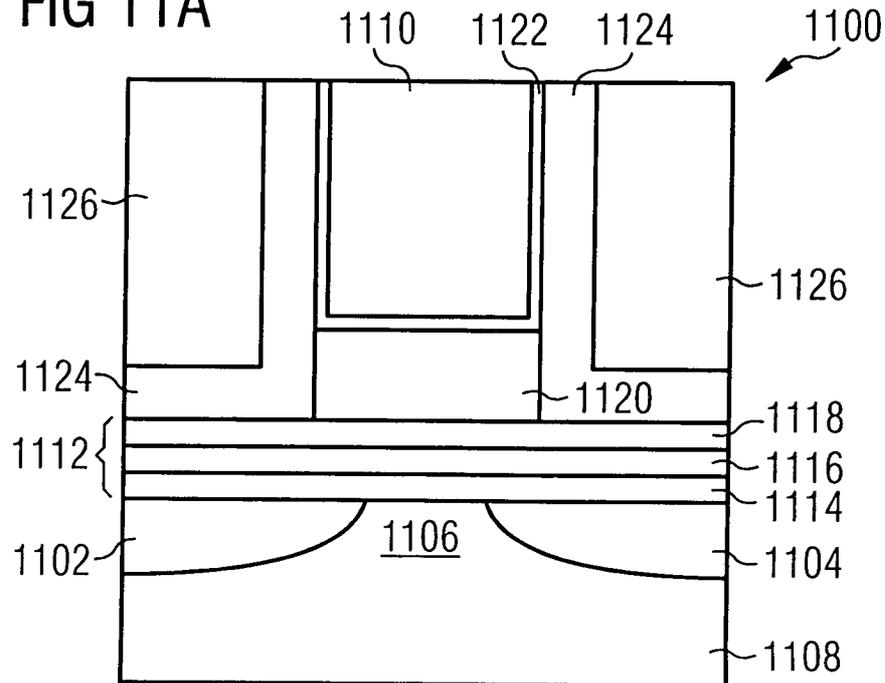


FIG 11B

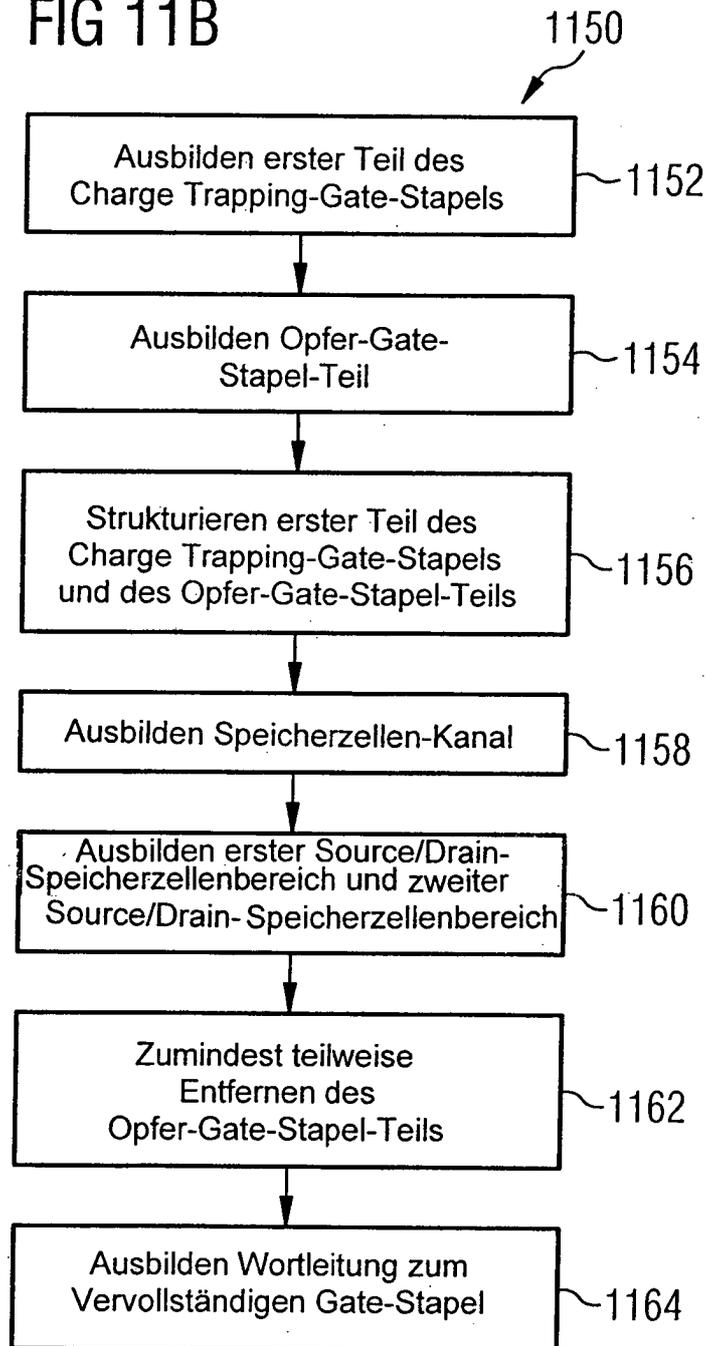


FIG 12A

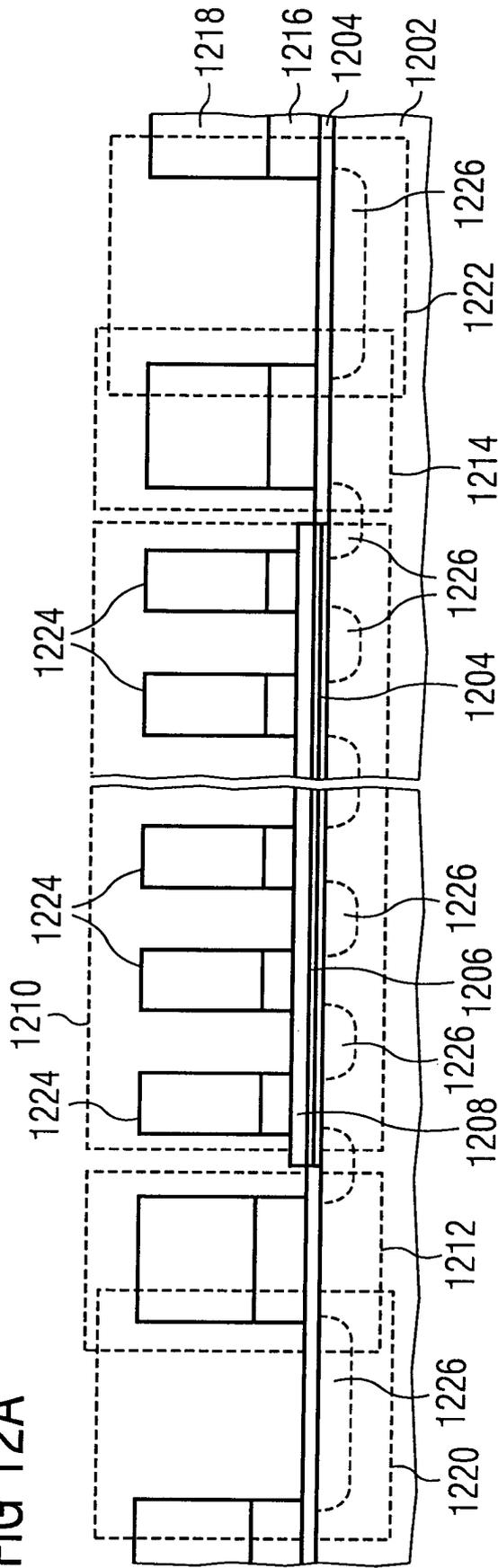


FIG 12B

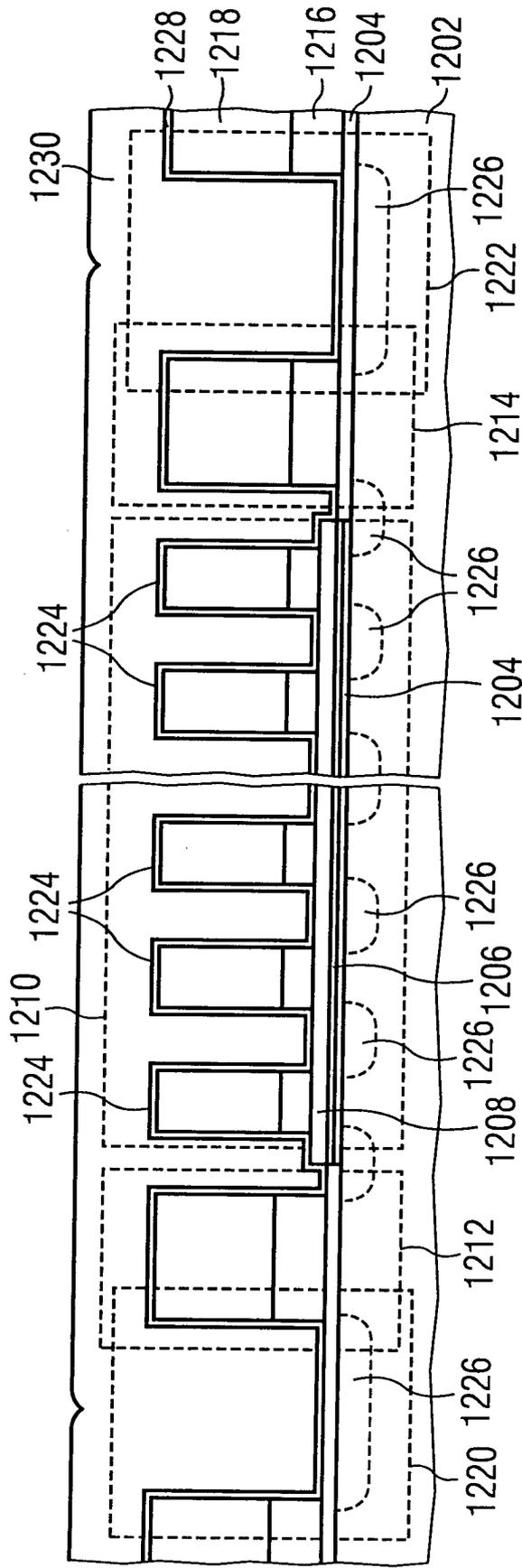


FIG 12C

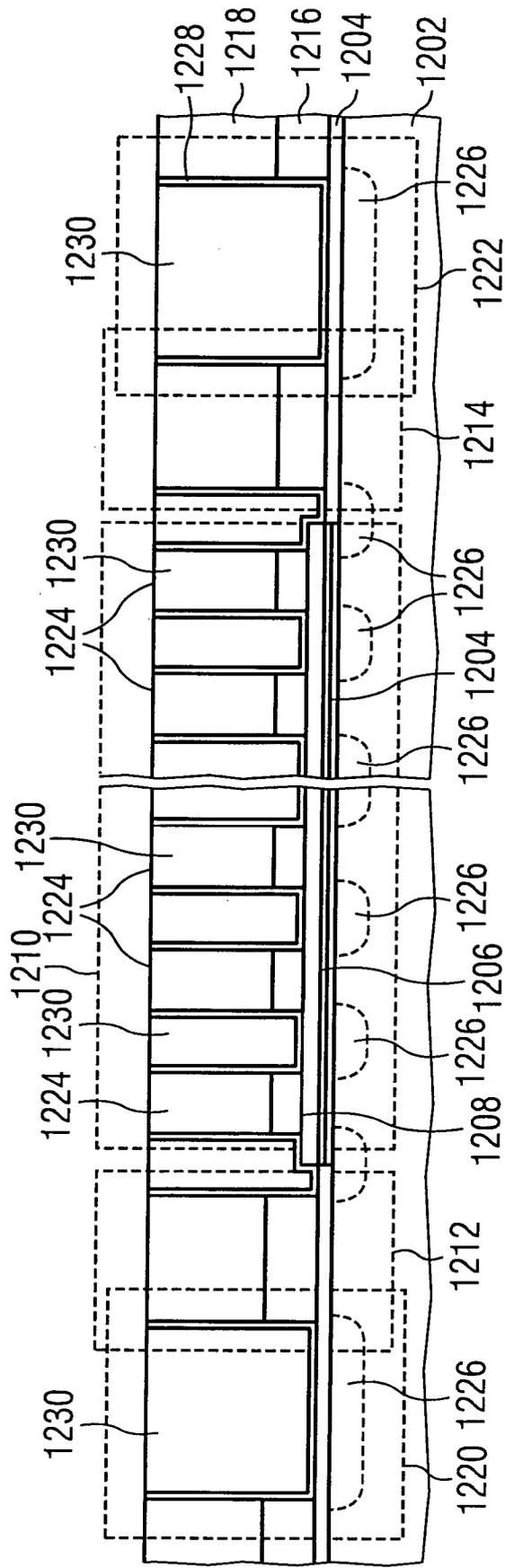


FIG 12D

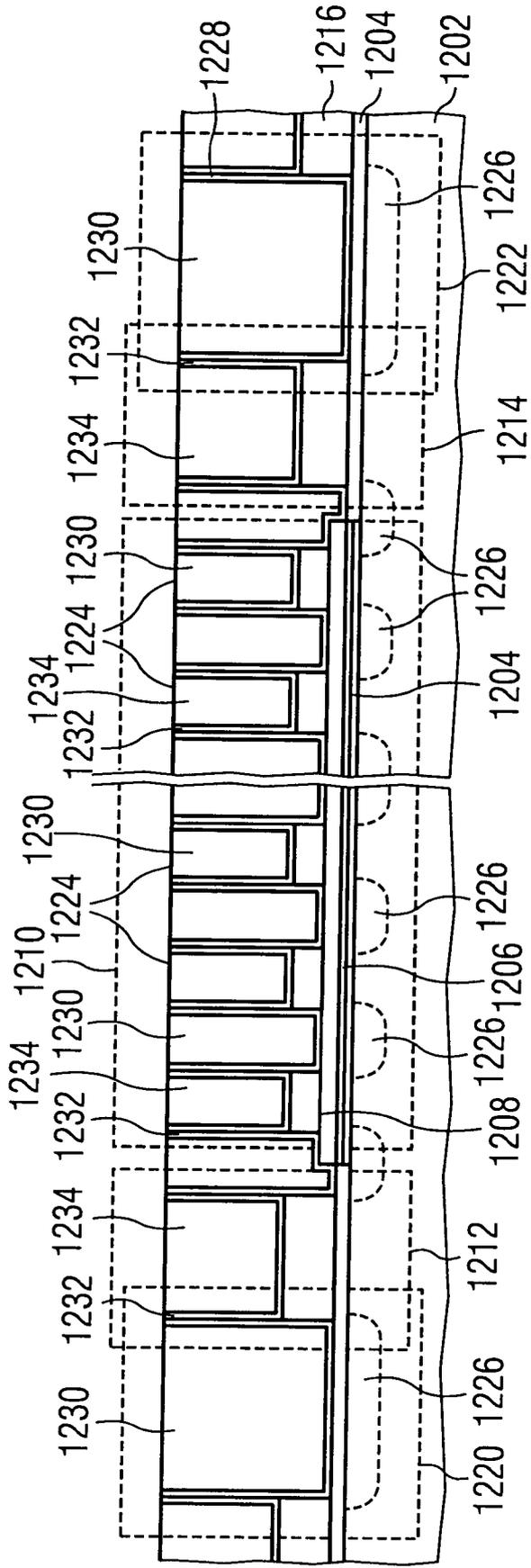


FIG 12E

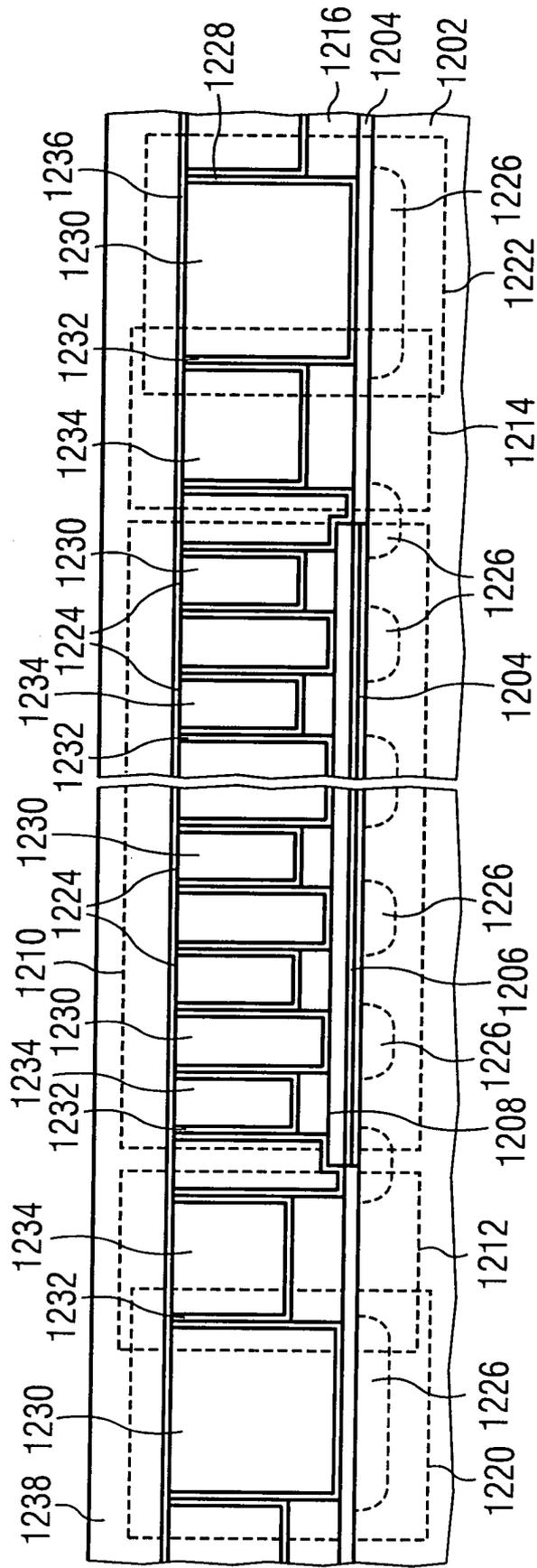


FIG 13

