



(10) **DE 10 2012 112 345 A1** 2013.10.24

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2012 112 345.4**

(22) Anmeldetag: **14.12.2012**

(43) Offenlegungstag: **24.10.2013**

(51) Int Cl.: **G09G 3/36 (2013.01)**

(30) Unionspriorität:
10-2012-0042658 24.04.2012 KR

(71) Anmelder:
LG Display Co., Ltd., Seoul, KR

(74) Vertreter:
**TER MEER STEINMEISTER & PARTNER
PATENTANWÄLTE, 81679, München, DE**

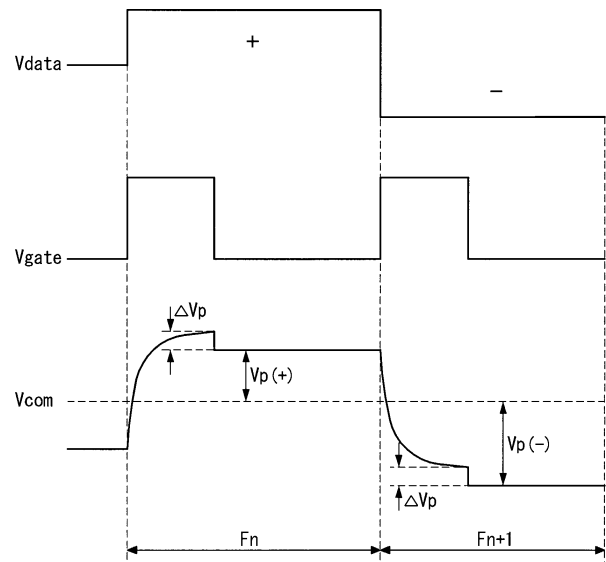
(72) Erfinder:
**Moon, Myungkook, Goyang, Kyonggi, KR; Kim,
Jangwoo, Paju, Kyonggi, KR**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Flüssigkristallanzeigevorrichtung und Rahmenraten-Steuerverfahren derselben**

(57) Zusammenfassung: Eine Flüssigkristallanzeigevorrichtung umfasst eine Rahmenraten-Steuer(frame rate control, FRC)-Vorrichtung, die einen FRC-Kompensationswert zu digitalen Videodaten unter Verwendung mehrerer FRC-Muster, die Unterpixel definieren, in die der FRC-Kompensationswert geschrieben wird, hinzufügt, und eine Datentreiberschaltung (110), die die digitalen Videodaten, die von der FRC-Vorrichtung empfangen werden, in eine Datenspannung wandelt und eine Polarität der Datenspannung basierend auf einem vorab bestimmten Inversionsverfahren invertiert. Die FRC-Vorrichtung zählt Rahmenperioden und erhöht einen Rahmenzählwert jedes Mal, wenn sich die Rahmenperiode ändert. Die FRC-Vorrichtung wechselt zu einem nächsten FRC-Muster in einer vorbestimmten Reihenfolge als Antwort auf den Rahmenzählwert, und hält oder überspringt den Rahmenzählwert, wenn die Rahmenperiode eine vorbestimmte Zeit erreicht.



Beschreibung

[0001] Diese Anmeldung beansprucht den Nutzen der am 24. April 2012 eingereichten koreanischen Patentanmeldung Nr. 10-2012-0042658, deren gesamter Inhalt hier durch Bezugnahme für alle Zwecke enthalten ist, als wie wenn er vollständig aufgeführt wäre.

HINTERGRUND DER ERFINDUNG

Gebiet der Erfindung

[0002] Ausführungsformen der Erfindung betreffen eine Flüssigkristallanzeigevorrichtung und ein Rahmenraten-Steuerverfahren derselben.

Diskussion des Stands der Technik

[0003] Wie in [Fig. 1](#) gezeigt, reproduziert eine Flüssigkristallanzeigevorrichtung mit Aktivmatrix ein Eingangsbild auf Pixeln, die jeweils einen Dünnschichttransistor (TFT) als Schaltelement umfassen. Der TFT gibt eine Datenspannung V_{data} , die durch eine Datenleitung zugeführt wird, als Antwort auf einen Gatepuls (oder einen Abtastpuls), der durch eine Gateleitung zugeführt wird, an eine Pixelelektrode einer Flüssigkristallzelle Clc aus. Jedes Pixel der Flüssigkristallanzeigevorrichtung mit Aktivmatrix umfasst rote (R), grüne (G) und blaue (B) Unterpixel für eine Farbdarstellung, und jedes rote (R), grüne (G) und blaue (B) Unterpixel umfasst die Flüssigkristallzelle Clc, den TFT, einen Speicherkondensator Cst, usw. Die Flüssigkristallzelle Clc umfasst die Pixelelektrode, an die die Datenspannung V_{data} angelegt wird, eine Elektrode für ein gemeinsames Potential, an die eine gemeinsame Spannung V_{com} angelegt wird, und eine Flüssigkristallschicht, die zwischen der Pixelelektrode und der Elektrode für ein gemeinsames Potential ausgebildet ist. Flüssigkristallmoleküle der Flüssigkristallschicht bewegen sich basierend auf einem elektrischen Feld, das zwischen der Pixelelektrode und der Elektrode für ein gemeinsames Potential angelegt wird, und stellen eine Lichtmenge, die durch eine an eine obere Platte einer Flüssigkristallanzeigetafel angehaftete Polarisationsplatte hindurchtritt, ein.

[0004] In den [Fig. 1](#) und [Fig. 2](#) ist " V_{data} " eine positive und negative Datenspannung, die von einem Quelltreiber-IC (source driver integrated circuit) ausgegeben wird, und " V_{gate} " ist eine Gate-Hoch- oder Niedrigspannung, die von einem Gatetreiber-IC ausgegeben wird. Der Gatepuls wird mit der Gate-Hochspannung erzeugt, die so eingestellt ist, dass sie gleich oder größer als eine Schwellspannung des TFTs ist, und schaltet den TFT an. "Cst" ist ein Speicherkondensator zum Halten einer Spannung der Flüssigkristallzelle Clc, und "Cgs" ist eine parasitäre Kapazität zwischen einer Gateelektrode und einer

Sourceelektrode des TFT. " $V_{p(+)}$ " ist die positive Datenspannung, die in eine Flüssigkristallzelle Clc geladen wird, und " $V_{p(-)}$ " ist die negative Datenspannung, die in die Flüssigkristallzelle Clc geladen wird.

[0005] Wie in [Fig. 2](#) gezeigt, invertiert die Flüssigkristallanzeigevorrichtung mit Aktivmatrix periodisch eine Polarität der Datenspannung, um eine Verschlechterung von Flüssigkristallen und Einbrenneffekte (image sticking) zu reduzieren. Ein Rahmeninversionsverfahren, ein Spalteninversionsverfahren, ein Zeileninversionsverfahren, ein Punktinversionsverfahren, usw. sind als Verfahren zum Ansteuern der Flüssigkristallanzeigevorrichtung mit Aktivmatrix bekannt.

[0006] Wie in den [Fig. 1](#) und [Fig. 2](#) gezeigt, wird die positive Datenspannung an die Flüssigkristallzelle Clc für eine Abtastzeit einer n-ten Rahmenperiode F_n (wobei n eine positive ganze Zahl ist) angelegt, und dann wird die negative Datenspannung für eine Abtastzeit einer (n + 1)-ten Rahmenperiode ($F_n + 1$) an die Flüssigkristallzelle Clc angelegt. Für die Abtastzeit der n-ten Rahmenperiode F_n wird die Flüssigkristallzelle Clc zur positiven Datenspannung geladen und bei der positiven Spannung $V_{p(+)}$ gehalten, die um ΔV_p durch die parasitäre Kapazität C_{gs} des TFTs reduziert ist. Für die Abtastzeit der (n + 1)-ten Rahmenperiode ($F_n + 1$) wird die Flüssigkristallzelle Clc zur negativen Datenspannung geladen und bei der negativen Spannung $V_{p(-)}$ gehalten, die um ΔV_p durch die parasitäre Kapazität C_{gs} des TFT reduziert ist. Auch wenn somit die positive Datenspannung und die negative Datenspannung, die auf dieselbe Graustufe eingestellt sind, an die Flüssigkristallzelle Clc angelegt werden, kann sich eine Helligkeit der Flüssigkristallzelle Clc in Abhängigkeit der Polarität der Datenspannung ändern. Wenn eine Rahmenperiode eine kurze Dauer aufweist oder die Flüssigkristallzelle Clc bei der Datenspannung mit derselben Polarität für eine kurze Zeitperiode gehalten wird, kann ein Nutzer einen Helligkeitsunterschied nicht erkennen. Auf der anderen Seite, wenn die Dauer einer Rahmenperiode ansteigt oder eine Haltezeit der Flüssigkristallzelle Clc bei der Datenspannung mit derselben Polarität ansteigt, kann der Benutzer den Helligkeitsunterschied erkennen.

[0007] ΔV_p ändert sich in Abhängigkeit von der parasitären Kapazität C_{gs} des TFT, wie durch die folgende Gleichung (1) angegeben ist.

$$\Delta V_p = \frac{C_{gs}}{C_{lc} + C_{st} + C_{gs}} \times \Delta V_g \quad (1)$$

[0008] In der obigen Gleichung (1) ist ΔV_p eine Differenz zwischen der Gate-Hochspannung und der Gate-Niedrigspannung.

[0009] In letzter Zeit verwenden die meisten Flüssigkristallanzeigevorrichtungen ein Rahmenraten-Steu-

er(frame rate control, FRC)-Verfahren, das die Anzahl von Datenbits reduziert und die Anzahl von Datenübertragungsleitungen reduziert, um so eine Reduzierung einer Bildqualität zu kompensieren. Das FRC-Verfahren erhöht die Anzahl von anzeigbaren Graustufen unter Verwendung eines in den [Fig. 3](#) und [Fig. 4](#) gezeigten Kompensationsverfahrens, während die Anzahl von Bits von digitalen Videodaten, die in den Quelltreiber IC eingegeben werden, reduziert wird, wodurch ein Verlust der Bildqualität kompensiert wird.

[0010] Ein Prinzip der Rahmenraten-Steuerung ist unter Bezugnahme auf die [Fig. 3](#) und [Fig. 4](#) beschrieben.

[0011] [Fig. 3](#) zeigt ein Beispiel, bei dem ein FRC-Kompensationswert hinsichtlich der Zeit verteilt ist, um eine Helligkeit bei einer Graustufe auf geringer als 1-Graustufe fein einzustellen. Wie in [Fig. 3\(a\)](#) gezeigt, kann ein Zuschauer eine Graustufe der Unterpixel bei einer 1/4-Graustufe (also eine Helligkeit von 25%) während der vier Rahmenperioden erkennen, wenn der FRC-Kompensationswert "1" in die Unterpixel einer Pixelanordnung nur während einer Rahmenperiode von vier Rahmenperioden geschrieben wird. Wie in [Fig. 3\(b\)](#) gezeigt, kann der Zuschauer eine Graustufe der Unterpixel bei einer 1/2-Graustufe (also die Helligkeit von 50%) während der vier Rahmenperioden erkennen, wenn der FRC-Kompensationswert "1" nur während zwei Rahmenperioden der vier Rahmenperioden in die Unterpixel der Pixelanordnung geschrieben wird. Wie in [Fig. 3\(c\)](#) gezeigt, kann der Zuschauer eine Graustufe der Unterpixel bei einer 3/4-Graustufe (also eine Helligkeit von 75%) während der vier Rahmenperioden erkennen, wenn der FRC-Kompensationswert "1" in die Unterpixel der Pixelanordnung nur während drei Rahmenperioden der vier Rahmenperioden geschrieben wird.

[0012] [Fig. 4](#) zeigt ein Beispiel eines Ditheringverfahrens für eine räumliche Verteilung eines FRC-Kompensationswerts, um eine Helligkeit bei einer Graustufe auf geringer als 1-Graustufe fein einzustellen. Das Ditheringverfahren legt die Anzahl von Unterpixeln, in die der FRC-Kompensationswert geschrieben wird, in einer Ditheringmaske mit einer vorbestimmten Größe, umfassend mehrere Unterpixel D1–D4, fest, und verteilt die FRC-Kompensationswerte räumlich, um die Helligkeit bei der Graustufe auf kleiner als 1-Graustufe fein einzustellen. Wie in [Fig. 4\(a\)](#) gezeigt, wenn eine Ditheringmaske mit beispielsweise 2×2 Unterpixeln verwendet wird, wenn der FRC-Kompensationswert "1" in ein Unterpixel D1 in der Ditheringmaske geschrieben wird, kann der Zuschauer eine Graustufe der Ditheringmaske bei einer 1/4-Graustufe (also die Helligkeit von 25%) erkennen. Wie in [Fig. 4\(b\)](#) gezeigt, wenn der FRC-Kompensationswert "1" in zwei Unterpixel D2 und D3 in der Ditheringmaske geschrieben wird, kann der Zuschauer

eine Graustufe der Rastermaske bei einer 1/2-Graustufe (also die Helligkeit von 50%) erkennen. Wie in [Fig. 4\(c\)](#) gezeigt, wenn der FRC-Kompensationswert "1" in drei Unterpixel D2, D3 und D4 in der Ditheringmaske geschrieben wird, kann der Zuschauer eine Graustufe der Ditheringmaske bei einer 3/4-Graustufe (also die Helligkeit von 75%) erkennen.

[0013] Die bei der Flüssigkristallanzeigevorrichtung angewendete FRC verwendet im Allgemeinen sowohl das Zeitverteilungsverfahren der [Fig. 3](#) als auch das räumliche Verteilungsverfahren der [Fig. 4](#), um ein in [Fig. 5](#) gezeigtes Verfahren zu realisieren. Der FRC-Kompensationswert kann sukzessive in dieselben Unterpixel geschrieben werden. In diesem Beispiel ist eine Helligkeit der Unterpixel, in die der FRC-Kompensationswert aufeinanderfolgend geschrieben wird, größer als eine Helligkeit von anderen Unterpixeln. Deshalb ist eine Helligkeitsgleichheit der Flüssigkristallanzeigevorrichtung und eine Farbdarstellungscharakteristik vermindert. Beispielsweise kann eine spezifische Farbe herausragender dargestellt sein als andere Farben. Um das obige Problem zu lösen, legt die FRC vorab FRC-Muster, die eine Position der Unterpixel definieren, in die der FRC-Kompensationswert geschrieben wird, auf verschiedene Formen fest, zirkuliert die FRC-Muster in jeder Rahmenperiode und ändert die Position der Unterpixel, in die der FRC-Kompensationswert geschrieben wird, in jeder Rahmenperiode. Wie beispielsweise in [Fig. 5](#) gezeigt, wechselt eine Position der Unterpixel, in die der FRC-Kompensationswert in den in ungeraden nummerierten Rahmenperioden N und N + 2 verwendeten FRC-Mustern P1 und P3 geschrieben wird, mit einer Position der Unterpixel ab, in die der FRC-Kompensationswert in den in geraden nummerierten Rahmenperioden N + 1 und N + 3 verwendeten FRC-Mustern P2 und P4 geschrieben wird.

[0014] Wie oben beschrieben, wird die Polarität der Datenspannung, die an die Pixelanordnung der Flüssigkristallanzeigevorrichtung ausgegeben wird, zeitlich und räumlich basierend auf einem Polaritätsinversionsverfahren invertiert. Wie in [Fig. 5](#) gezeigt, kann in der Pixelanordnung, die basierend auf dem Polaritätsinversionsverfahren angesteuert wird, der FRC-Kompensationswert in Unterpixel geschrieben werden, die für eine lange Zeitperiode mit derselben Polarität angesteuert werden. Hier dominiert eine Polarität die Polaritäten der Unterpixel, in die der FRC-Kompensationswert geschrieben wird. Beispielsweise wird in [Fig. 5](#) der FRC-Kompensationswert in die Unterpixel geschrieben, die mit der positiven Datenspannung geladen sind. Da somit der FRC-Kompensationswert aufeinanderfolgend in Pixel geschrieben wird, die für eine lange Zeitperiode mit der Datenspannung derselben Polarität geladen sind, kann ein Bildeinbrenneffekt (image sticking) aufgrund der DC-Ansteuerung der Unterpixel auftreten.

ZUSAMMENFASSUNG DER ERFINDUNG

[0015] Ausführungsformen der Erfindung geben eine Flüssigkristallanzeigevorrichtung und ein Rahmenraten-Steuerverfahren dafür an, die einen Bild-einbrenneffekt reduzieren können.

[0016] Gemäß einem Aspekt ist eine Flüssigkristallanzeigevorrichtung angegeben, umfassend: eine Rahmenraten-Steuer(frame rate control, FRC)-Vorrichtung, die eingerichtet ist, um zu digitalen Videodaten unter Verwendung mehrerer FRC-Muster, die Unterpixel definieren, in die der FRC-Kompensationswert geschrieben wird, einen FRC-Kompensationswert hinzuzufügen; eine Datentreiberschaltung, die eingerichtet ist, um die von der FRC-Vorrichtung empfangenen digitalen Videodaten in eine Daten-spannung zu wandeln und eine Polarität der Daten-spannung basierend auf einem vorher bestimmten Inversionsverfahren zu invertieren; und eine Flüssigkristallanzeigetafel mit einer Pixelanordnung, die mit der von der Datentreiberschaltung empfangenen Daten-spannung geladen wird.

[0017] Die FRC-Vorrichtung zählt Rahmenperioden und erhöht einen Rahmencählwert jedes Mal dann, wenn sich die Rahmenperiode ändert. Die FRC-Vorrichtung wechselt zu einem nächsten FRC-Muster in einer vorab bestimmten Reihenfolge als Antwort auf den Rahmencählwert und hält den Rahmencählwert oder überspringt ihn, wenn die Rahmenperiode eine vorab bestimmte Zeit erreicht.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0018] Die angehängten Zeichnungen, die enthalten sind, um ein weiteres Verständnis der Erfindung zu bieten und eingefügt sind und einen Teil dieser Beschreibung bilden, zeigen Ausführungsformen der Erfindung und dienen zusammen mit der Beschreibung der Erläuterung der Prinzipien der Erfindung. In den Zeichnungen:

[0019] [Fig. 1](#) ist ein äquivalentes Schaltungsdiagramm, das schematisch ein Pixel einer Flüssigkristallanzeigetafel zeigt;

[0020] [Fig. 2](#) ist ein Wellenformdiagramm, das Signale und eine Flüssigkristallzellenspannung zeigt, die an ein in [Fig. 1](#) gezeigtes Unterpixel angelegt werden;

[0021] [Fig. 3](#) und [Fig. 4](#) zeigen ein Betriebsprinzip einer Rahmenraten-Steuerung (FRC);

[0022] [Fig. 5](#) zeigt ein Beispiel von mit derselben Polarität angesteuerten Unterpixeln, an die ein FRC-Kompensationswert geschrieben wird, wenn FRC bei einem Punktinversionsverfahren angewendet wird;

[0023] [Fig. 6](#) zeigt ein Beispiel eines FRC-Verfahrens gemäß einer beispielhaften Ausführungsform der Erfindung;

[0024] [Fig. 7](#) zeigt ein anderes Beispiel eines FRC-Verfahrens gemäß einer beispielhaften Ausführungsform der Erfindung;

[0025] [Fig. 8](#) ist ein Wellenformdiagramm, das FRC-Halte-/Sprung-Synchronisationssignale und FRC-Muster zeigt, die bei dem in [Fig. 6](#) gezeigten FRC-Verfahren angewendet werden;

[0026] [Fig. 9](#) ist ein Wellenformdiagramm, das FRC-Halte-/Sprung-Synchronisationssignale und FRC-Muster zeigt, die bei dem in [Fig. 7](#) gezeigten FRC-Verfahren angewendet werden;

[0027] [Fig. 10](#) ist ein Wellenformdiagramm, das ein Beispiel des Haltens oder Überspringens eines FRC-Musters während mehrerer Rahmenperioden zeigt;

[0028] [Fig. 11](#) ist ein Wellenformdiagramm, das ein Beispiel zeigt, wo sich eine Pulsperiode eines FRC-Halte-/Sprung-Synchronisationssignals ändert;

[0029] [Fig. 12](#) ist ein Blockdiagramm, das einen Aufbau einer FRC-Vorrichtung gemäß einer beispielhaften Ausführungsform der Erfindung zeigt;

[0030] [Fig. 13](#) ist ein Blockdiagramm, das einen anderen Aufbau einer FRC-Vorrichtung gemäß einer beispielhaften Ausführungsform der Erfindung zeigt; und

[0031] [Fig. 14](#) ist ein Blockdiagramm einer Flüssigkristallanzeigevorrichtung gemäß einer beispielhaften Ausführungsform der Erfindung.

DETAILLIERTE BESCHREIBUNG DER AUSFÜHRUNGSFORMEN

[0032] Es wird nun im Detail auf Ausführungsformen der Erfindung Bezug genommen, von denen Beispiele in den angehängten Zeichnungen gezeigt sind. Wo immer es möglich ist, werden in den Zeichnungen dieselben Bezugszeichen verwendet, um auf dieselben oder ähnliche Teile Bezug zu nehmen. Es wird darauf hingewiesen, dass eine detaillierte Beschreibung von bekannten Gegenständen weggelassen wird, wenn diese Gegenstände die Ausführungsformen der Erfindung in eine falsche Richtung führen würden.

[0033] Ein Rahmenraten-Steuer(FRC)-Verfahren gemäß einer beispielhaften Ausführungsform der Erfindung zählt Rahmenperioden, erhöht einen Rahmencählwert jedes Mal dann, wenn sich die Rahmenperiode ändert, und wählt ein nächstes FRC-Muster in vorbestimmter Reihenfolge als Antwort

auf den Rahmenzählwert aus. Insbesondere behält das FRC-Verfahren den Rahmenzählwert oder überspringt (verwirft) ihn, wenn die Rahmenperiode eine vorab bestimmte Zeit erreicht, und wählt wiederholt dasselbe FRC-Muster während einer oder mehreren Rahmenperioden aus, oder wählt ein übernächstes FRC-Muster. Das FRC-Verfahren addiert einen FRC-Kompensationswert zu Unterpixeln, die durch das ausgewählte FRC-Muster in Pixeln einer Pixelanordnung definiert sind, und deren Polarität basierend auf einem vorab bestimmten Inversionsverfahren invertiert wird, und überträgt den Additionswert an eine Datentreiberschaltung.

[0034] Wie in den [Fig. 6](#) und [Fig. 7](#) gezeigt, wird eine Pixelanordnung einer Flüssigkristallanzeigevorrichtung gemäß einer beispielhaften Ausführungsform der Erfindung mit einer Datenspannung geladen, deren Polarität basierend auf einem Punktinversionsverfahren invertiert wird.

[0035] Im Punktinversionsverfahren werden Polaritäten von Unterpixeln der Pixelanordnung alle N Punkte räumlich invertiert und alle N Rahmenperioden zeitlich invertiert, wobei N eine positive ganze Zahl ist. Wie in den [Fig. 6](#) und [Fig. 7](#) gezeigt, können ein vertikales 1-Punktinversionsverfahren und ein horizontales 2-Punktinversionsverfahren als Punktinversionsverfahren ausgewählt werden. Das Punktinversionsverfahren ist jedoch nicht hierauf begrenzt. Beispielsweise kann das Punktinversionsverfahren ein vertikales 1-Punktinversionsverfahren, ein horizontales 1-Punktinversionsverfahren, ein vertikales 2-Punktinversionsverfahren oder ein horizontales 2-Punktinversionsverfahren sein. Im vertikalen 1-Punkt- und horizontalen 2-Punktinversionsverfahren werden Polaritäten von Unterpixeln, die entlang einer Zeilenrichtung (oder einer horizontalen Richtung) angeordnet sind, alle zwei Punkte invertiert, und Polaritäten von Unterpixeln, die entlang einer Spaltenrichtung (oder einer vertikalen Richtung) angeordnet sind, werden bei jedem Punkt invertiert. Im vertikalen 1-Punkt- und horizontalen 2-Punktinversionsverfahren können Polaritäten von Unterpixeln in jeder Rahmenperiode invertiert werden.

[0036] Das FRC-Verfahren gemäß der Ausführungsform der Erfindung addiert einen FRC-Kompensationswert "1" zu Videodaten, die in die Unterpixel geschrieben werden, die durch mehrere FRC-Muster P1 bis P4 definiert sind, die Positionen der Unterpixel definieren, in die der FRC-Kompensationswert geschrieben wird. Die FRC-Muster P1 bis P4 definieren Unterpixel, in die der FRC-Kompensationswert geschrieben wird, und definieren Positionen der Unterpixel unterschiedlich. Die FRC-Muster P1 bis P4 sind nicht auf die in den [Fig. 6](#) und [Fig. 7](#) gezeigten Muster begrenzt. In jedem der FRC-Muster P1 bis P4 können sich eine Anzahl und die Positionen der Unterpixel, in die der FRC-Kompensationswert ge-

schrieben wird, in Abhängigkeit eines FRC-Kompensationsgrauwertes ändern. In den [Fig. 6](#) und [Fig. 7](#) ist die Anzahl von zirkulierten FRC-Mustern 4, aber die Ausführungsform der Erfindung ist nicht hierauf begrenzt.

[0037] Das FRC-Verfahren gemäß der Ausführungsform der Erfindung zählt Rahmenperioden und wählt die FRC-Muster P1 bis P4 basierend auf einem Rahmenzählwert aus. Insbesondere wählt das FRC-Verfahren gemäß der Ausführungsform der Erfindung das erste FRC-Muster P1 in einer N -ten Rahmenperiode aus, und wählt dann das zweite FRC-Muster P2 in einer $(n + 1)$ -ten Rahmenperiode aus. Anschließend wählt das FRC-Verfahren gemäß der Ausführungsform der Erfindung das dritte FRC-Muster P3 in einer $(N + 2)$ -ten Rahmenperiode aus, und wählt dann das vierte FRC-Muster P4 in einer $(N + 3)$ -ten Rahmenperiode. In anderen Worten wählt das FRC-Verfahren gemäß der Ausführungsform der Erfindung sequentiell die ersten bis vierten FRC-Muster P1 bis P4 in der besagten Reihenfolge jedes Mal dann aus, wenn sich der Rahmenzählwert erhöht, wodurch der FRC-Kompensationswert in die Unterpixel der Pixelanordnung geschrieben wird.

[0038] Anschließend behält das FRC-Verfahren gemäß der Ausführungsform der Erfindung den Rahmenzählwert oder überspringt ihn, wenn eine vorab bestimmte Zeit erreicht ist. Im Ergebnis, wie in [Fig. 6](#) gezeigt, wenn die Rahmenperiode die vorab bestimmte Zeit erreicht, behält das FRC-Verfahren gemäß der Ausführungsform der Erfindung das FRC-Muster ohne es zu ändern.

[0039] Alternativ, wie in [Fig. 7](#) gezeigt, wenn die Rahmenperiode die vorab bestimmte Zeit erreicht, wählt das FRC-Verfahren gemäß der Ausführungsform der Erfindung kein nächstes FRC-Muster, sondern ein übernächstes FRC-Muster. Dementsprechend kann das FRC-Verfahren gemäß der Ausführungsform der Erfindung verhindern oder reduzieren, dass die Unterpixel, in die der FRC-Kompensationswert geschrieben wird, von einer Polarität dominiert werden.

[0040] Wie in [Fig. 6\(a\)](#) gezeigt, wählt das FRC-Verfahren gemäß der Ausführungsform der Erfindung sequentiell die ersten bis vierten FRC-Muster P1 bis P4 in der besagten Reihenfolge während der N -ten bis $(N + 3)$ -ten Rahmenperioden. Somit werden die ersten bis vierten FRC-Muster P1 bis P4 zirkuliert und für eine vorbestimmte Zeitperiode ausgewählt. In [Fig. 6\(a\)](#) sind die Unterpixel, in die der FRC-Kompensationswert geschrieben wird, Unterpixel, die mit einer positiven Datenspannung angesteuert werden. Anschließend, wie in [Fig. 6\(b\)](#) gezeigt, wenn die Rahmenperiode die vorab bestimmte Zeit erreicht, beispielsweise eine $(N + 4)$ -te Rahmenperiode, behält das FRC-Verfahren gemäß der Ausführungsform der

Erfindung das FRC-Muster in einem vorherigen Zustand (also das vierte FRC-Muster P4 in der (N + 3)-ten Rahmenperiode), und wählt dann sequentiell die ersten bis vierten FRC-Muster P1 bis P4 in der besagten Reihenfolge. In **Fig. 6(b)** sind die Unterpixel, in die der FRC-Kompensationswert geschrieben wird, Unterpixel, die mit einer negativen Datenspannung angesteuert werden. Die Polaritäten der Unterpixel werden in jeder Rahmenperiode invertiert. Deshalb, auch wenn dasselbe vierte FRC-Muster P4 in der (N + 3)-ten und (N + 4)-ten Rahmenperiode verwendet wird, werden die Unterpixel, in die der FRC-Kompensationswert in der (N + 3)-ten Rahmenperiode geschrieben wird, mit der positiven Datenspannung geladen. Auf der anderen Seite werden die Unterpixel, in die der FRC-Kompensationswert in der (N + 4)-ten Rahmenperiode geschrieben wird, mit der negativen Datenspannung geladen. Im Ergebnis sind die Unterpixel, in die der FRC-Kompensationswert während der N-ten bis (N + 3)-ten Rahmenperioden geschrieben wird, Unterpixel, die mit der positiven Datenspannung geladen werden, und die Unterpixel, in die der FRC-Kompensationswert während den (N + 4)-ten bis (N + 7)-ten Rahmenperioden geschrieben wird, sind Unterpixel, die mit der negativen Datenspannung geladen werden. Somit sind die Polaritäten der Unterpixel ausgeglichen, da sich die Polaritäten der Unterpixel nach Ablauf einer vorbestimmten Zeitperiode ändern.

[0041] Wie in **Fig. 7(a)** gezeigt, wählt das FRC-Verfahren gemäß der Ausführungsform der Erfindung während der N-ten bis (N + 3)-ten Rahmenperioden sequentiell die ersten bis vierten FRC-Muster P1 bis P4 in besagter Reihenfolge. Somit werden die ersten bis vierten FRC-Muster P1 bis P4 zirkuliert und für eine vorbestimmte Zeitperiode ausgewählt. In **Fig. 7(a)** sind Unterpixel, in die der FRC-Kompensationswert geschrieben wird, Unterpixel, die mit einer positiven Datenspannung angesteuert werden. Anschließend, wie in **Fig. 7(b)** gezeigt, wenn die Rahmenperiode die vorab bestimmte Zeit erreicht, beispielsweise die (N + 4)-te Rahmenperiode, wechselt das FRC-Verfahren gemäß der Ausführungsform der Erfindung vom vierten FRC-Muster P4 zum zweiten FRC-Muster P2, und wählt dann sequentiell das dritte FRC-Muster P3, das vierte FRC-Muster P4 und das erste FRC-Muster P1 in besagter Reihenfolge. In **Fig. 7(b)** sind die Unterpixel, in die der FRC-Kompensationswert geschrieben wird, Unterpixel, die mit der negativen Datenspannung angesteuert werden. Die Polaritäten der Unterpixel werden in jeder Rahmenperiode invertiert. Deshalb werden die Unterpixel, in die der FRC-Kompensationswert in der (N + 3)-ten Rahmenperiode geschrieben wird, mit der positiven Datenspannung geladen, auch wenn das vierte FRC-Muster P4 und das zweite FRC-Muster P2, das im Wesentlichen dasselbe wie das vierte FRC-Muster P4 ist, in der (N + 3)-ten Rahmenperiode und der (N + 4)-ten Rahmenperiode angewendet werden. Auf der anderen Seite werden die Unterpixel, in die der FRC-

Kompensationswert in der (N + 4)-ten Rahmenperiode geschrieben wird, mit der negativen Datenspannung geladen. Im Ergebnis sind die Unterpixel, in die der FRC-Kompensationswert während den N-ten bis (N + 3)-ten Rahmenperioden geschrieben wird, Unterpixel, die mit der positiven Datenspannung geladen werden, und Unterpixel, in die der FRC-Kompensationswert während den (N + 4)-ten bis (N + 7)-ten Rahmenperioden geschrieben wird, Unterpixel, die mit der negativen Datenspannung geladen werden. Somit sind die Polaritäten der Unterpixel ausgeglichen, da sich die Polaritäten der Unterpixel nach Ablauf einer vorbestimmten Zeitperiode zu einer anderen Polarität ändern.

[0042] Das FRC-Verfahren gemäß der Ausführungsform der Erfindung zählt Rahmenperioden, wählt jedes Mal, wenn sich der Rahmenzählwert erhöht, ein nächstes Muster aus, und behält den Rahmenzählwert oder überspringt ihn, um die Polaritäten der Unterpixel zu invertieren, in die der FRC-Kompensationswert geschrieben wird, nachdem eine vorbestimmte Zeitperiode abgelaufen ist. Hierzu verwendet das FRC-Verfahren gemäß der Ausführungsform der Erfindung ein FRC-Halte-/Sprung-Synchronisationssignal FRCSYNC, um ein Halte-Timing oder ein Sprung-Timing des Rahmenzählwerts zu steuern. Wie in den **Fig. 6** bis **Fig. 11** gezeigt, werden Pulse des FRC-Halte-/Sprung-Synchronisationssignals FRCSYNC zu einer Zeit erzeugt, wenn der Rahmenzählwert gehalten oder übersprungen wird.

[0043] Das beim FRC-Verfahren der **Fig. 6** verwendete FRC-Halte-/Sprung-Synchronisationssignal FRCSYNC ist in **Fig. 8** gezeigt, und das FRC-Halte-/Sprung-Synchronisationssignal FRCSYNC, das beim in **Fig. 7** gezeigten FRC-Verfahren verwendet wird, ist in **Fig. 9** gezeigt. Eine Pulsperiode T des FRC-Halte-/Sprung-Synchronisationssignals FRCSYNC kann auf einige Zehntel Rahmenperioden festgelegt sein. Die Pulsperiode T des FRC-Halte-/Sprung-Synchronisationssignals FRCSYNC kann bei einer vorbestimmten Zeit festgelegt sein oder kann sich, wie in den **Fig. 10** und **Fig. 11** gezeigt, ändern.

[0044] **Fig. 10** ist ein Wellenformdiagramm, das ein Beispiel eines Haltens oder Überspringens des FRC-Musters während mehrerer Rahmenperioden zeigt.

[0045] Wie in **Fig. 10** gezeigt, wählt das FRC-Verfahren gemäß der Ausführungsform der Erfindung sequentiell die FRC-Muster basierend auf einer vorbestimmten Zirkulationsregel aus, und legt dann das FRC-Muster ohne eine Änderung desselben während mehrerer aufeinanderfolgenden Rahmenperioden fest, die einer vorab bestimmten Zeit folgen, wenn die vorab bestimmte Zeit erreicht wird.

[0046] **Fig. 11** ist ein Wellenformdiagramm, das ein Beispiel zeigt, bei dem sich die Pulsperiode

T des FRC-Halte-/Sprung-Synchronisationssignals FRCSYNC ändert.

[0047] Wie in [Fig. 11](#) gezeigt, ändert das FRC-Verfahren gemäß der Ausführungsform der Erfindung die Pulsperiode T des FRC-Halte-/Sprung-Synchronisationssignals FRCSYNC, wodurch eine Haltezeit und eine Sprungzeit des FRC-Musters eingestellt wird. Beispielsweise kann das FRC-Verfahren gemäß der Ausführungsform der Erfindung einen Zyklus des Halte-Timings und einen Zyklus des Sprung-Timings des FRC-Musters auf 64 Rahmenperioden oder 40 Rahmenperioden festlegen. Alternativ kann das FRC-Verfahren gemäß der Ausführungsform der Erfindung den Zyklus des Halte-Timings und den Zyklus des Sprung-Timings des FRC-Musters auf 64 Rahmenperioden für eine vorbestimmte Zeitperiode festlegen, und kann sie dann auf 40 Rahmenperioden reduzieren.

[0048] [Fig. 12](#) ist ein Blockdiagramm einer FRC-Vorrichtung gemäß einer Ausführungsform der Erfindung.

[0049] Wie in [Fig. 12](#) gezeigt, umfasst die FRC-Vorrichtung gemäß der Ausführungsform der Erfindung eine Datensynchronisationseinheit **12**, einen Rahmenzähler **16**, eine FRC-Halte-/Sprung-Steuerung **20**, eine FRC-Muster-Auswahleinheit **22** und eine FRC-Kompensationseinheit **24**.

[0050] Die Datensynchronisationseinheit **12** empfängt digitale Videodaten RGB eines Eingangsbildes und externe Zeitsignale. Die externen Zeitsignale umfassen ein vertikales Synchronisationssignal Vsync, ein horizontales Synchronisationssignal Hsync, eine Datenfreigabe DE, einen Haupttakt CLK, usw. Die Datensynchronisationseinheit **20** tastet die digitalen Videodaten RGB des Eingangsbildes zu einem Timing des Haupttaktes CLK ab und synchronisiert die digitale Videodaten RGB und das externe Zeitsignal.

[0051] Der Rahmenzähler **16** zählt Rahmenperioden unter Verwendung des vertikalen Synchronisationssignals Vsync, des horizontalen Synchronisationssignals Hsync oder der Datenfreigabe DE. Beispielsweise erhöht der Rahmenzähler **16** einen Rahmenzählwert bei jeder Periode des vertikalen Synchronisationssignals Vsync um eins, um den Rahmenzählwert bei Ablauf einer jeden Rahmenperiode aufzuaddieren, wodurch die Rahmenperioden gezählt werden. Weiter zählt der Rahmenzähler **16** das horizontale Synchronisationssignal Hsync und die Datenfreigabe DE. Wenn sich ein Zählwert entsprechend der Anzahl der Zeilen der Anzeigetafel aufsummiert hat, erhöht der Rahmenzähler **16** den Rahmenzählwert um eins, wodurch die Rahmenperioden gezählt werden. Der Rahmenzähler **16** hält den Rahmenzählwert oder überspringt ihn als Antwort auf ein von der FRC-Halte-/Sprung-Steuerung

20 empfangenes FRC-Halte-/Sprung-Synchronisationssignal FRCSYNC. Wenn beispielsweise ein Rahmenzählwert "5" ist, fixiert der Rahmenzähler **16** den Rahmenzählwert auf "5" oder ändert den Rahmenzählwert auf "7", auch wenn die Rahmenperiode vorüber ist, aufgrund des Eingangs des Pulses des FRC-Halte-/Sprung-Synchronisationssignals FRCSYNC.

[0052] Die FRC-Halte-/Sprung-Steuerung **20** empfängt Rahmen-Halte-/Sprung-Daten FHS. Die Halte-/Sprung-Daten FHS sind digitale Daten mit Rahmen-Halte-/Sprung-Zyklusinformation. Die Hersteller oder Benutzer der Flüssigkristallanzeigevorrichtung können die Rahmen-Halte-/Sprung-Daten FHS in die FRC-Halte-/Sprung-Steuerung **20** eingeben und können die Pulsperiode T des FRC-Halte-/Sprung-Synchronisationssignals FRCSYNC steuern. Die FRC-Halte-/Sprung-Steuerung **20** erzeugt das FRC-Halte-/Sprung-Synchronisationssignal FRCSYNC, das in den [Fig. 6](#) bis [Fig. 11](#) gezeigt ist als Antwort auf die Rahmen-Halte-/Sprung-Daten FHS.

[0053] Die FRC-Musterauswahleinheit **22** wählt die FRC-Muster P1 bis P4 basierend auf dem vom Rahmenzähler **16** empfangenen Rahmenzählwert durch die in [Fig. 6](#) bis [Fig. 11](#) gezeigten Verfahren aus. Wenn beispielsweise die vier FRC-Muster P1 bis P4 festgelegt sind, teilt die FRC-Musterauswahleinheit **22** den Rahmenzählwert durch 4. Deshalb wählt die FRC-Musterauswahleinheit **22** das erste FRC-Muster P1, wenn ein Rest "1" ist. Wenn ein Rest "2" ist, wählt die FRC-Musterauswahleinheit **22** das zweite Muster P2. Wenn ein Rest "3" ist, wählt die FRC-Musterauswahleinheit **22** das dritte FRC-Muster P3. Wenn ein Rest "0" ist, wählt die FRC-Musterauswahleinheit **22** das vierte FRC-Muster P4. Die FRC-Musterauswahleinheit **22** gibt FRC-Musterdaten mit Positionsinformation der Pixel, in die der FRC-Kompensationswert im ausgewählten FRC-Muster geschrieben werden soll, an die FRC-Kompensationseinheit **24** aus.

[0054] Die FRC-Kompensationseinheit **24** entfernt niedrigwertigste Bits (least significant bit, LSB) von I-Bit digitalen Videodaten und wandelt die I-Bit digitalen Videodaten in J-Bit digitale Videodaten, wobei I eine positive ganze Zahl gleich oder größer 6 ist, und J eine positive ganze Zahl kleiner als I ist. Die FRC-Kompensationseinheit **24** addiert den FRC-Kompensationswert zu digitalen Videodaten, die in die durch das FRC-Muster definierte Unterpixel geschrieben werden, und die aus den J-Bit digitalen Videodaten als Antwort auf die von der FRC-Musterauswahleinheit **22** empfangenen FRC-Musterdaten ausgewählt werden.

[0055] Der Bildeinbrenneffekt kann in Abhängigkeit des Eingangsbildes beim FRC-Verfahren im Stand der Technik kaum auftreten. Wenn dies berücksichtigt wird, kann die FRC-Vorrichtung gemäß der Ausführungsform der Erfindung weiter einen anderen

Rahmenzähler und einen Multiplexer umfassen, um selektiv die Halte- und Sprung-Funktionen des Rahmenzählers anzuwenden.

[0056] Wie in [Fig. 13](#) gezeigt, umfasst die FRC-Vorrichtung gemäß der Ausführungsform der Erfindung weiter einen ersten Rahmenzähler **14**, einen zweiten Rahmenzähler **16** und einen Multiplexer **18**.

[0057] Der erste Rahmenzähler **14** zählt das vertikale Synchronisationssignal Vsync, das horizontale Synchronisationssignal Hsync oder die Datenfreigabe DE und erhöht einen Rahmenzählwert jedes Mal um eins, wenn sich eine Rahmenperiode ändert. Das FRC-Halte-/Sprung-Synchronisationssignal FRCSYNC wird nicht in den ersten Rahmenzähler **14** eingegeben. So addiert der erste Rahmenzähler **14** den Rahmenzählwert auf normale Weise, ungeachtet der Pulsperiode T des FRC-Halte-/Sprung-Synchronisationssignals FRCSYNC.

[0058] Der zweite Rahmenzähler **16** weist im Wesentlichen denselben Aufbau wie der in [Fig. 12](#) gezeigte Rahmenzähler auf. Somit erhöht der zweite Rahmenzähler **16** den Rahmenzählwert jedes Mal dann, wenn sich eine Rahmenperiode ändert, und hält den Rahmenzählwert oder überspringt ihn auch als Antwort auf das FRC-Halte-/Sprung-Signal FRCSYNC.

[0059] Der Multiplexer **18** wählt einen Ausgang des ersten Rahmenzählers **14** oder einen Ausgang des zweiten Rahmenzählers **16** als Antwort auf ein Modusauswahlsignal MS, das von außen empfangen wird, und überträgt den ausgewählten Ausgang an eine FRC-Musterauswahleinheit **22**. Das Modusauswahlsignal MS kann durch Hersteller oder Benutzer der Flüssigkristallanzeigevorrichtung eingegeben werden, oder kann auf einen spezifischen logischen Wert festgelegt sein. Weiter kann sich der logische Wert des Modusauswahlsignals MS basierend auf dem Ergebnis einer Analyse des Eingangsbildes adaptiv ändern.

[0060] Konfigurationen einer Datensynchronisationseinheit **12**, einer FRC-Halte-/Sprung-Steuerung **20**, der FRC-Musterauswahleinheit **22** und einer FRC-Kompensationseinheit **24** in [Fig. 3](#) sind im Wesentlichen dieselben wie derjenigen in [Fig. 12](#).

[0061] Die in den [Fig. 12](#) und [Fig. 13](#) gezeigte FRC-Vorrichtung kann in einer Zeitsteuerung der [Fig. 14](#) eingebettet sein. Hier ist die FRC-Vorrichtung mit einer Datenschnittstellenübertragungsvorrichtung **16** und einer Zeitsteuersignalerzeugungsvorrichtung **28** verbunden. Die Datenschnittstellenübertragungsvorrichtung **16** gibt die von der FRC-Kompensationseinheit **24** ausgegebenen digitalen Videodaten RGB an eine Datentreiberschaltung **110** (siehe [Fig. 14](#)) der Flüssigkristallanzeigevorrichtung durch eine Stan-

dardschnittstelle aus, wie eine mini LVDS(low voltage differential signaling)-Schnittstelle aus. Die Datenschnittstellenübertragungsvorrichtung **26** kann die digitalen Videodaten RGB basierend auf einem Schnittstellenprotokoll übertragen, das in der koreanischen Patentanmeldung Nr. 10-2008-0127458 (15. Dezember 2008), US-Patentanmeldung Nr. 12/543,996 (19. August 2009), koreanische Patentanmeldung Nr. 10-2008-0127456 (15. Dezember 2008), US-Patentanmeldung Nr. 12/461,652 (19. August 2009), koreanische Patentanmeldung Nr. 10-2008-0132466 (23. Dezember 2008), und US-Patentanmeldung Nr. 12/537,341 (07. August 2009) des gegenwärtigen Anmelders offenbart ist, und die hier durch Bezugnahme in ihrer Gesamtheit enthalten sind.

[0062] Die Zeitsteuersignalerzeugungsvorrichtung **28** zählt Zeitsignale, wie das vertikale Synchronisationssignal Vsync, das horizontale Synchronisationssignal Hsync, die Datenfreigabe DE und den Haupttakt CLK und erzeugt Zeitsteuersignale SDC und GDC zum Steuern eines Betriebs-Timings der Datentreiberschaltung **110** und einer Gatetreiberschaltung **120** (siehe [Fig. 14](#)) der Flüssigkristallanzeigevorrichtung.

[0063] [Fig. 14](#) ist ein Blockdiagramm einer Flüssigkristallanzeigevorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung.

[0064] Wie in [Fig. 14](#) gezeigt, umfasst die Flüssigkristallanzeigevorrichtung gemäß der Ausführungsform der Erfindung eine Flüssigkristallanzeigetafel **100**, eine Zeitsteuerung **200**, die Datentreiberschaltung **110**, die Gatetreiberschaltung **120**, usw.

[0065] Die Flüssigkristallanzeigetafel **100** umfasst eine Flüssigkristallschicht zwischen zwei Glassubstraten. Die Flüssigkristallanzeigetafel **100** umfasst eine Pixelanordnung, die in einer durch eine Kreuzungsstruktur von Datenleitungen **102** und Gateleitungen **104** definierten Matrixform angeordnet ist. Die Pixelanordnung wird mit der Datenspannung geladen, deren Polarität basierend auf einem vorab bestimmten Punktinversionsverfahren, wie in den [Fig. 6](#) und [Fig. 7](#) gezeigt, invertiert wird.

[0066] Die Datenleitungen **102**, die Datenleitungen **102** kreuzende Gateleitungen **104**, an den Kreuzungen der Datenleitungen **102** und der Gateleitungen **104** ausgebildete Dünnschichttransistoren (TFTs), mit den TFTs verbundene Pixelelektroden **1** der Flüssigkristallzellen Clc, mit den Pixelelektroden **1** verbundene Speicherkondensatoren, usw., sind auf einem TFT-Array-Substrat der Flüssigkristallanzeigetafel **100** ausgebildet. Schwarzmatrizen, Farbfilter, usw. sind auf einem Farbfilter-Array-Substrat der Flüssigkristallanzeigetafel **100** ausgebildet.

[0067] Jede Flüssigkristallzelle Clc wird mit der Videodaten-Spannung geladen, die durch den TFT be-

reitgestellt wird, und wird durch ein elektrisches Feld zwischen der Pixelelektrode **1** und einer Elektrode **2** für ein gemeinsames Potential angesteuert. Eine gemeinsame Spannung V_{com} wird an die Elektrode **2** für ein gemeinsames Potential angelegt. Polarisationsplatten sind jeweils an das TFT-Array-Substrat und das Farbfilter-Array-Substrat der Flüssigkristallanzeigetafel **100** befestigt. Auf den Oberflächen des TFT-Array-Substrat und des Farbfilter-Array-Substrats der Flüssigkristallanzeigetafel **100**, die die Flüssigkristallschicht kontaktieren, sind jeweils Ausrichtungsschichten zum Festlegen eines Vorkippwinkels von Flüssigkristallmolekülen ausgebildet.

[0068] Die Flüssigkristallanzeigetafel **100** kann mit einer Ansteuerung durch ein vertikales elektrisches Feld ausgeführt sein, wie einem TN(twisted nematic)-Modus und einem VA(vertical alignment)-Modus, oder kann mit einer Ansteuerung durch ein horizontales elektrisches Feld ausgeführt sein, wie einem IPS(in-plane switching)-Modus und einem FFS(fringe field switching)-Modus. Die Flüssigkristallanzeigevorrichtung gemäß der Ausführungsform der Erfindung kann als jede Art von Flüssigkristallanzeigevorrichtung ausgeführt sein, umfassend eine durchlässige Flüssigkristallanzeigevorrichtung, eine transflektive Flüssigkristallanzeigevorrichtung und eine reflektierende Flüssigkristallanzeigevorrichtung. Die durchlässige Flüssigkristallanzeige und die reflektierende Flüssigkristallanzeigevorrichtung erfordern eine Hintergrundbeleuchtungseinheit, die in den Zeichnungen weggelassen ist. Die Hintergrundbeleuchtungseinheit kann als Hintergrundbeleuchtungseinheit des direkten Typs oder als Hintergrundbeleuchtungseinheit des Randtyps ausgebildet sein.

[0069] Die in den [Fig. 12](#) und [Fig. 13](#) gezeigte FRC-Vorrichtung kann in der Zeitsteuerung **200** eingebettet sein. Die Zeitsteuerung **200** wandelt I-Bit digitale Videodaten RGB, die von einem Host-System **300** empfangen werden, in J-Bit digitale Videodaten und fügt den FRC-Kompensationswert zu den J-Bit digitalen Videodaten hinzu. Die Zeitsteuerung **200** gibt diese dann an die Datentreiberschaltung **110** aus. Die Zeitsteuerung **200** empfängt Zeitsignale, wie ein vertikales Synchronisationssignal V_{sync} , ein horizontales Synchronisationssignal H_{sync} , eine Datenfreigabe DE und einen Punkttakt DCLK vom Host-System **300**. Die Zeitsteuerung **200** erzeugt Zeitsteuersignale zum Steuern eines Betriebs-Timings der Datentreiberschaltung **110** und eines Betriebs-Timings der Gatetreiberschaltung **120** unter Verwendung der Zeitsignale. Die Zeitsteuersignale umfassen ein Gate-Timing-Steuersignal GDC zum Steuern des Betriebs-Timings der Gatetreiberschaltung **120** und ein Daten-Timing-Steuersignal SDC zum Steuern des Betriebs-Timings der Datentreiberschaltung **110** und der Polarität der Datenspannung.

[0070] Das Gate-Timing-Steuersignal GDC umfasst einen Gatestartpuls GSP, einen Gateverschiebetakt GSC, eine Gateausgangsfreigabe GOE, und ähnliches. Der Gatestartpuls GSP steuert ein Betriebsstart-Timing der Gatetreiberschaltung **120**. Der Gateverschiebetakt GSC ist im Takt zum Verschieben des Gatestartpulses GSP. Die Gateausgangsfreigabe GOE steuert ein Ausgabe-Timing der Gatetreiberschaltung **120**.

[0071] Das Daten-Timing-Steuersignal SDC umfasst einen Quellstartpuls SSP, einen Quellabtasttakt SSC, ein Polaritätssteuersignal POL, eine Quellausgangsfreigabe SOE, und ähnliches. Der Quellstartpuls SSP steuert ein Datenabtast-Starttiming der Datentreiberschaltung **110**. Der Quellabtasttakt SSC ist ein Takt, der ein Abtast-Timing der digitalen Videodaten in der Datentreiberschaltung **110** steuert. Die Quellausgangsfreigabe SOE steuert ein Ausgabe-Timing und ein Ladungsteilungs-Timing der Datentreiberschaltung **110**. Das Polaritätssteuersignal POL steuert ein Polarisationsinversions-Timing der von der Datentreiberschaltung **110** ausgegebenen Datenspannung.

[0072] Die Datentreiberschaltung **110** speichert die J-Bit digitalen Videodaten, die von der Zeitsteuerung **200** als Antwort auf das Daten-Timing-Steuersignal SDC empfangen werden, zwischen. Die Datentreiberschaltung **110** wandelt die digitalen Videodaten RGB in positive und negative analoge Gamma-Kompensationsspannungen und erzeugt positive und negative analoge Datenspannungen. Die Datentreiberschaltung **110** wählt eine Polarität der Datenspannung, die an die Datenleitungen **110** ausgegeben wird, als Antwort auf das Polaritätssteuersignal POL. Die Zeitsteuerung **200** kann die Polaritätsinversion der Pixelanordnung unter Verwendung des Polaritätssteuersignals POL steuern.

[0073] Die Gatetreiberschaltung **120** legt sequentiell den mit der Datenspannung synchronisierten Gatepuls an die Gateleitungen **104** als Antwort auf das Gate-Timing-Steuersignal GDC an.

[0074] Das Host-System **300** kann ein TV-System, ein Heimkino-System, ein PC, eine Set-Top-Box für Übertragungsempfang, ein Navigationssystem, ein DVD-Player, ein Blu-Ray-Player oder ein Telefonsystem sein. Das Host-System **300** erzeugt die digitalen Videodaten RGB und die Zeitsignale V_{sync} , H_{sync} , DE und DCLK und gibt diese an die Zeitsteuerung **200** aus.

[0075] Wenn die Rahmenperiode die vorab bestimmte Rahmenperiode erreicht, wählt die Ausführungsform der Erfindung, wie oben beschrieben, wiederholt dasselbe FRC-Muster während einer oder mehrerer Rahmenperioden aus, oder wählt das übernächste FRC-Muster aus, wodurch die FRC-Kom-

pensation durchgeführt wird. So kann die Ausführungsform der Erfindung periodisch verhindern oder reduzieren, dass die Unterpixel der Pixelanordnung von einer Polarität dominiert werden, wenn das FRC-Verfahren bei der Flüssigkristallanzeigevorrichtung angewendet wird. Im Ergebnis kann die Ausführungsform der Erfindung eine DC-Ansteuerung der Pixel verhindern und kann so verhindern, dass das Bildeinbrennen aus dem FRC-Verfahren resultiert.

[0076] Obwohl Ausführungsformen unter Bezugnahme auf eine Anzahl von illustrativen Ausführungsformen beschrieben wurden, ist zu verstehen, dass zahlreiche andere Modifikationen und Ausführungsformen vom Fachmann erdacht werden können, die in den Schutzzumfang der Prinzipien der Offenbarung fallen. Insbesondere sind verschiedene Variationen und Modifikationen in den Komponententeilen und/oder Anordnungen der gegenständlichen Kombinationsanordnung im Schutzzumfang der Offenbarung, der Zeichnungen und der angehängten Ansprüche. Zusätzlich zu den Variationen und Modifikationen in den Komponententeilen und/oder Anordnungen werden dem Fachmann alternative Anwendungsmöglichkeiten offensichtlich sein.

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- KR 10-2012-0042658 [\[0001\]](#)
- KR 10-2008-0127458 [\[0061\]](#)
- KR 10-2008-0127456 [\[0061\]](#)
- KR 10-2008-0132466 [\[0061\]](#)

Patentansprüche

1. Flüssigkristallanzeigevorrichtung, umfassend:
 eine Rahmenraten-Steuer(frame rate control, FRC)-Vorrichtung, die eingerichtet ist, um einen FRC-Kompensationswert zu digitalen Videodaten unter Verwendung mehrerer FRC-Muster, die Unterpixel definieren, in die FRC-Kompensationswerte geschrieben werden, hinzuzufügen;
 eine Datentreiberschaltung (**110**), die eingerichtet ist, um die von der FRC-Vorrichtung empfangenen digitalen Videodaten in eine Datenspannung zu wandeln und eine Polarität der Datenspannung basierend auf einem vorab bestimmten Inversionsverfahren zu invertieren; und
 eine Flüssigkristallanzeigetafel (**100**) mit einer Pixelanordnung, die mit der Datenspannung geladen wird, die von der Datentreiberschaltung (**110**) empfangen wird,
 wobei die FRC-Vorrichtung Rahmenperioden zählt und einen Rahmencählwert bei jeder Änderung der Rahmenperiode erhöht,
 wobei die FRC-Vorrichtung als Antwort auf den Rahmencählwert zu einem nächsten FRC-Muster in einer vorab bestimmten Reihenfolge wechselt und den Rahmencählwert hält oder ihn überspringt, wenn die Rahmenperiode eine vorab bestimmte Zeit erreicht.

2. Flüssigkristallanzeigevorrichtung nach Anspruch 1, wobei, wenn die Rahmenperiode die vorab bestimmte Zeit erreicht, die FRC-Vorrichtung wiederholt dasselbe FRC-Muster auswählt.

3. Flüssigkristallanzeigevorrichtung nach Anspruch 1 oder 2, wobei, wenn die Rahmenperiode die vorab bestimmte Zeit erreicht, die FRC-Vorrichtung ein übernächstes FRC-Muster auswählt.

4. Flüssigkristallanzeigevorrichtung nach einem der vorstehenden Ansprüche, wobei die FRC-Vorrichtung niedrigwertigste Bits (least significant bits, LSBs) der I-Bit digitalen Videodaten entfernt und die I-Bit digitalen Videodaten in J-Bit digitale Videodaten wandelt, wobei I eine positive ganze Zahl gleich oder größer als 6 ist, und J eine positive ganze Zahl kleiner als I ist, wobei die FRC-Vorrichtung den FRC-Kompensationswert zu den digitalen Videodaten hinzufügt, die in die durch das ausgewählte FRC-Muster definierten Unterpixel geschrieben werden, und die aus den J-Bit digitalen Videodaten ausgewählt sind.

5. Flüssigkristallanzeigevorrichtung nach Anspruch 4, wobei die FRC-Vorrichtung umfasst:
 einen Rahmencähler (**16**), der eingerichtet ist, um den Rahmencählwert jedes Mal um eins zu erhöhen, wenn eine Rahmenperiode vorüber ist;
 eine FRC-Halte-/Sprung-Steuerung, die eingerichtet ist, um Rahmen-Halte-/Sprung-Daten zu empfangen, die ein Halte-Timing oder ein Sprung-Timing des

Rahmencählers (**16**) anzeigen, und um ein FRC-Halte-/Sprung-Synchronisationssignal zu erzeugen;
 eine FRC-Musterauswahleinheit (**22**), die eingerichtet ist, um die FRC-Muster basierend auf dem Rahmencählwert, der vom Rahmencähler (**16**) empfangen wird, auszuwählen; und
 eine FRC-Kompensationseinheit (**24**), die eingerichtet ist, um den FRC-Kompensationswert zu den digitalen Videodaten hinzuzufügen, die in die durch das ausgewählte FRC-Muster definierten Unterpixel geschrieben werden, und die aus den J-Bit digitalen Videodaten ausgewählt sind,
 wobei der Rahmencähler (**16**) als Antwort auf das FRC-Halte-/Sprung-Synchronisationssignal den Rahmencählwert hält oder zu einem übernächsten Rahmencählwert springt.

6. Flüssigkristallanzeigevorrichtung nach Anspruch 4, wobei die FRC-Vorrichtung umfasst:
 einen ersten Rahmencähler (**14**), der eingerichtet ist, um den Rahmencählwert jedes Mal um eins zu erhöhen, wenn eine Rahmenperiode vorüber ist;
 einen zweiten Rahmencähler (**16**), der eingerichtet ist, um den Rahmencählwert jedes Mal um eins zu erhöhen, wenn eine Rahmenperiode vorüber ist, und um als Antwort auf das FRC-Halte-/Sprung-Synchronisationssignal den Rahmencählwert zu halten oder zu einem übernächsten Rahmencählwert zu springen;
 einen Multiplexer, der eingerichtet ist, um einen Rahmencählwert, der vom ersten Rahmencähler (**14**) ausgegeben wird, und einen Rahmencählwert, der vom zweiten Rahmencähler (**16**) ausgegeben wird, als Antwort auf ein Modusauswahlsignal auszuwählen;
 eine FRC-Halte-/Sprung-Steuerung, die eingerichtet ist, um Rahmen-Halte-/Sprung-Daten zu empfangen, die ein Halte-Timing oder ein Sprung-Timing des zweiten Rahmencählers (**16**) angeben, und um das FRC-Halte-/Sprung-Synchronisationssignal zu erzeugen;
 eine FRC-Musterauswahleinheit (**22**), die eingerichtet ist, um die FRC-Muster basierend auf dem vom Multiplexer ausgewählten Rahmencählwert auszuwählen; und
 eine FRC-Kompensationseinheit (**24**), die eingerichtet ist, um den FRC-Kompensationswert zu den digitalen Videodaten hinzuzufügen, die in die durch das ausgewählte FRC-Muster definierten Unterpixel geschrieben werden, und die aus den J-Bit digitalen Videodaten ausgewählt sind.

7. Verfahren für eine Rahmenraten-Steuerung (frame rate control, FRC) einer Flüssigkristallanzeigevorrichtung, umfassend:
 Auswählen von mehreren FRC-Mustern, die Unterpixel definieren, in die ein FRC-Kompensationswert geschrieben wird, als Unterpixel verschiedener Positionen, und Hinzufügen eines vorbestimmten FRC-

Kompensationswerts zu digitalen Videodaten basierend auf dem ausgewählten FRC-Muster; und Wandeln der digitalen Videodaten, zu denen der FRC-Kompensationswert hinzugefügt wird, in eine Datenspannung und Invertieren einer Polarität der Datenspannung basierend auf einem vorab bestimmten Inversionsverfahren, um die Datenspannung an eine Pixelanordnung einer Flüssigkristallanzeigetafel (**100**) auszugeben;

wobei das Hinzufügen des vorbestimmten FRC-Kompensationswerts zu den digitalen Videodaten umfasst:

Zählen von Rahmenperioden und Erhöhen eines Rahmenzählwerts jedes Mal dann, wenn sich die Rahmenperiode ändert; und

Wechseln zu einem nächsten FRC-Muster in einer vorbestimmten Reihenfolge als Antwort auf den Rahmenzählwert und Halten oder Überspringen des Rahmenzählwerts, wenn die Rahmenperiode eine vorab bestimmte Zeit erreicht.

Es folgen 10 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1

(Stand der Technik)

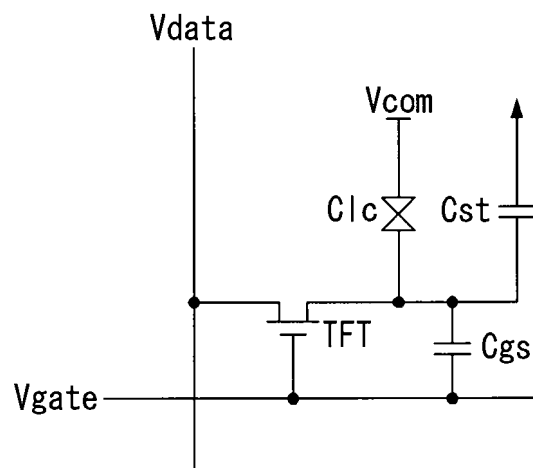


FIG. 2
(Stand der Technik)

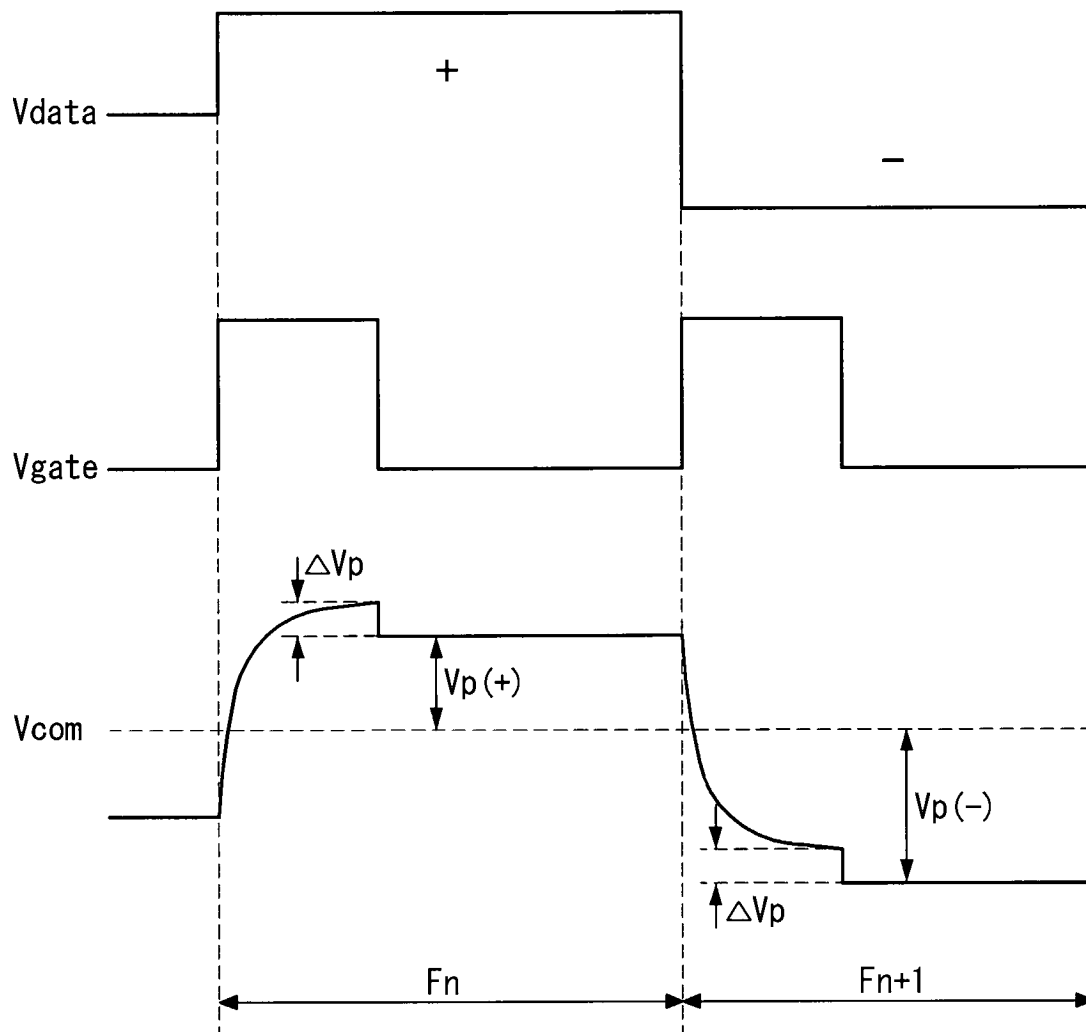


FIG. 3
(Stand der Technik)

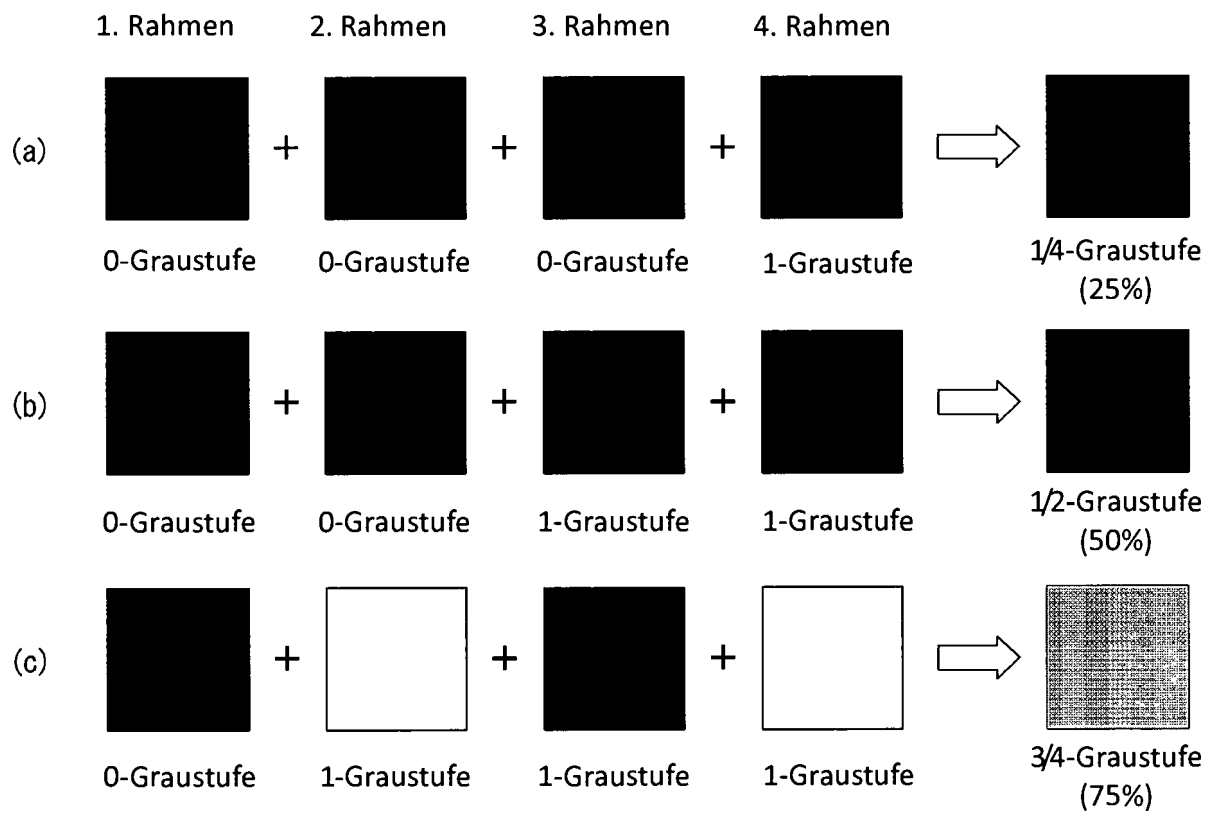


FIG. 4
(Stand der Technik)

D1	D2
D3	D4

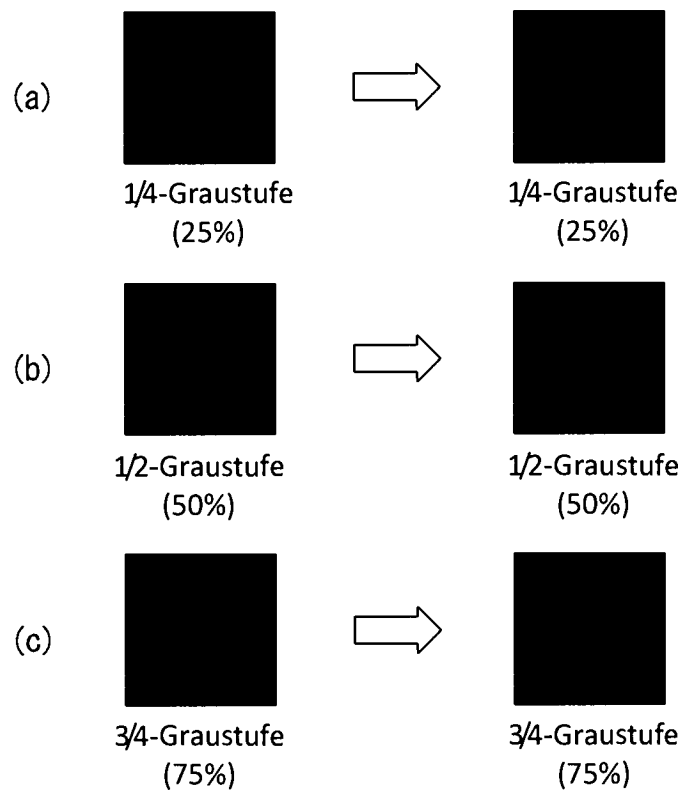
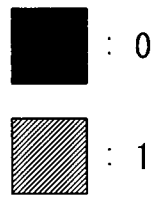


FIG. 5
(Stand der Technik)

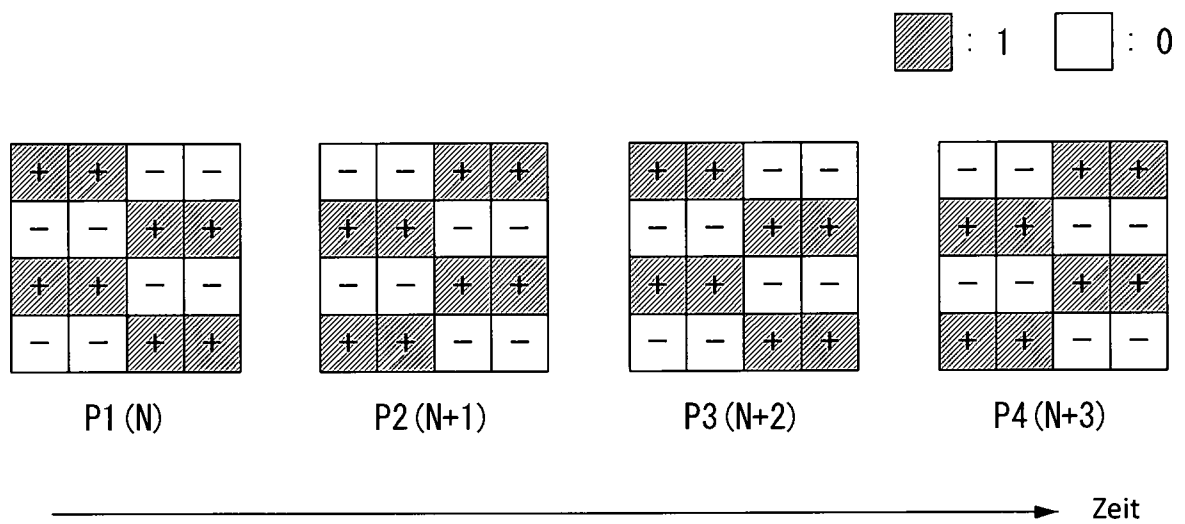


FIG. 6

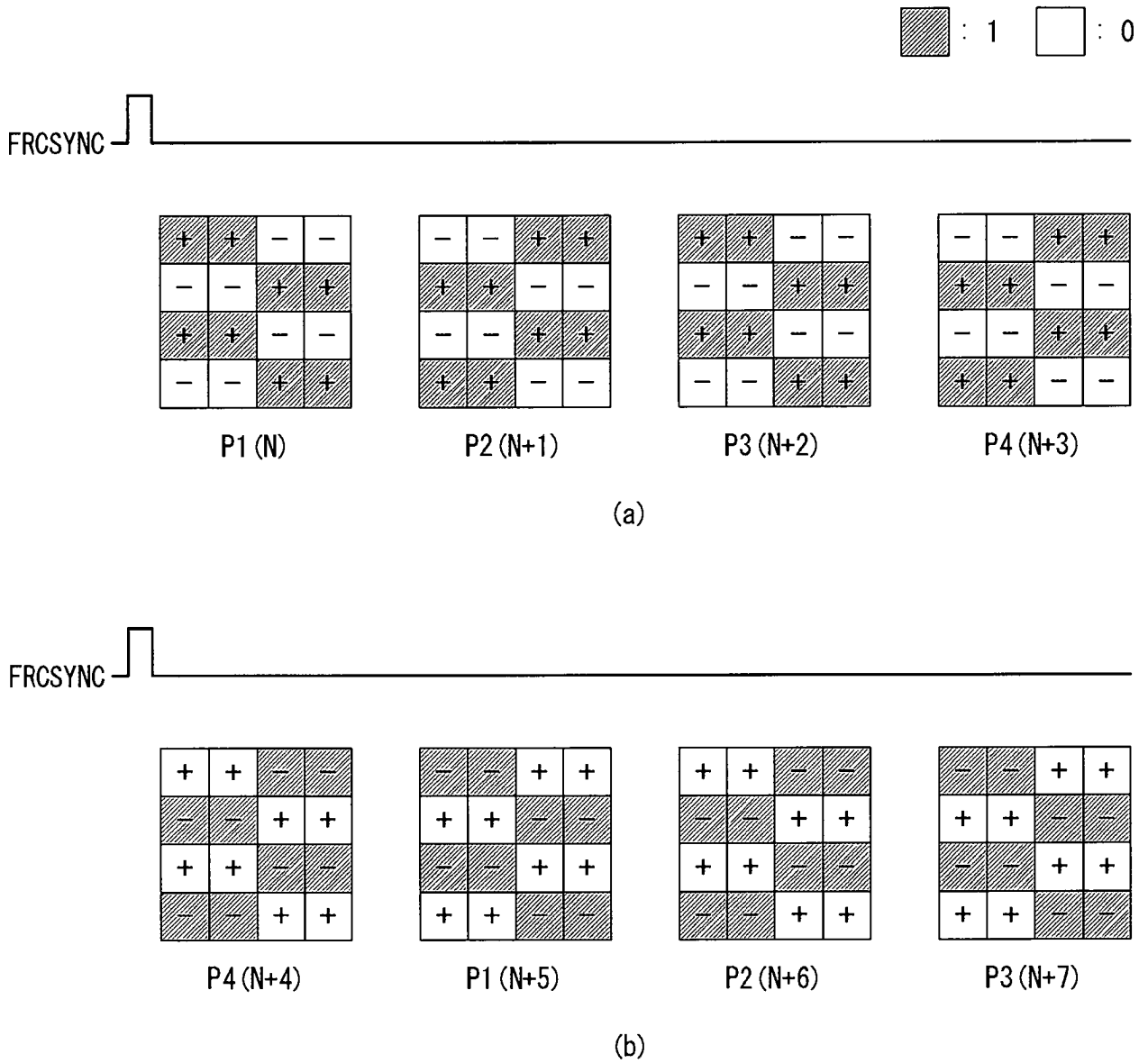


FIG. 7

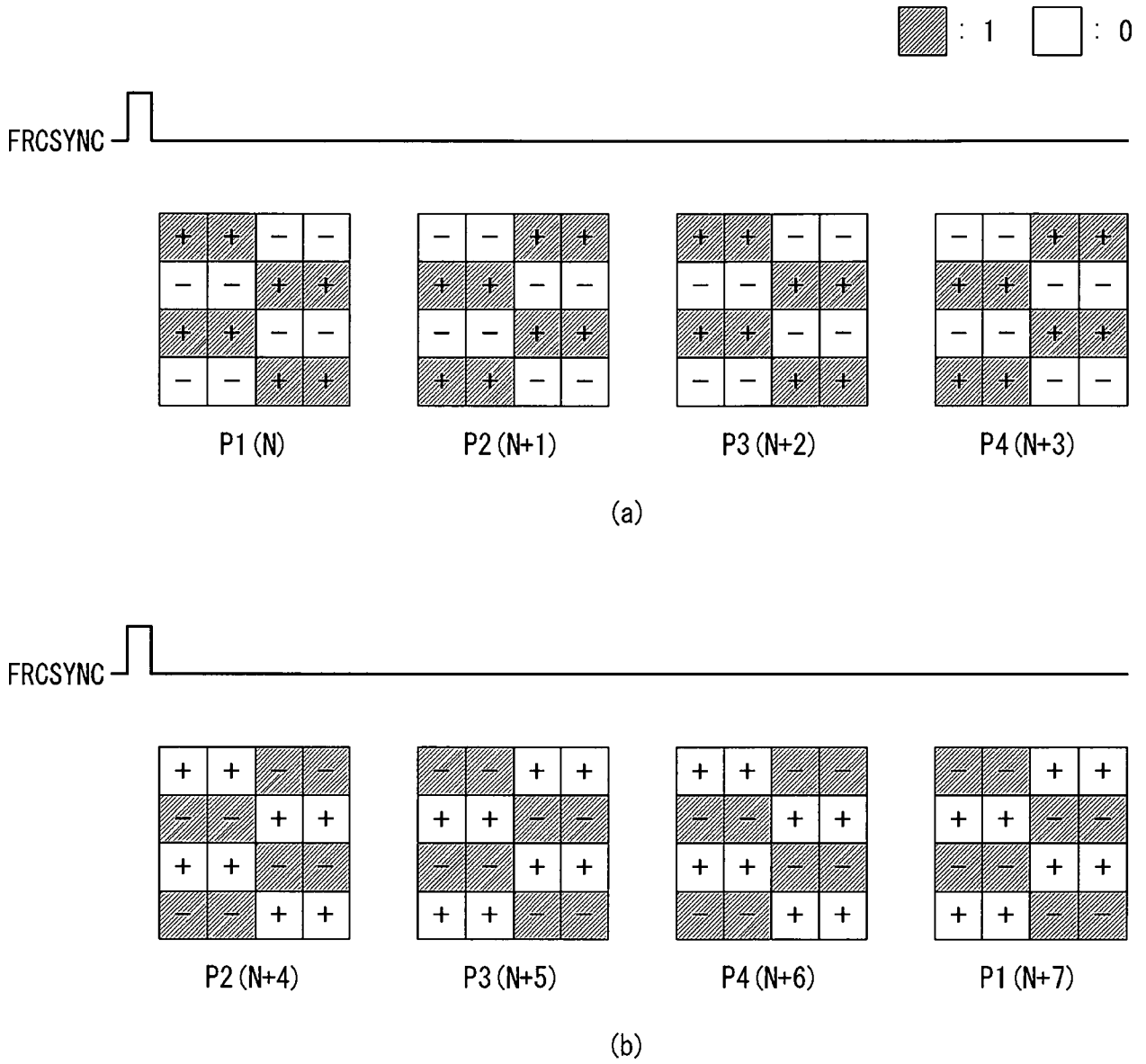


FIG. 8

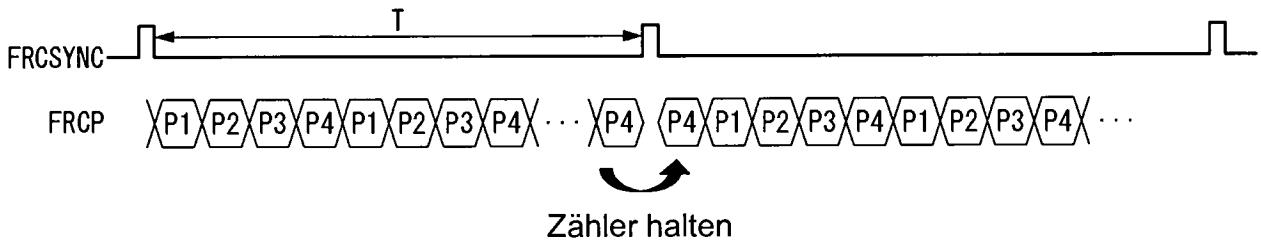


FIG. 9

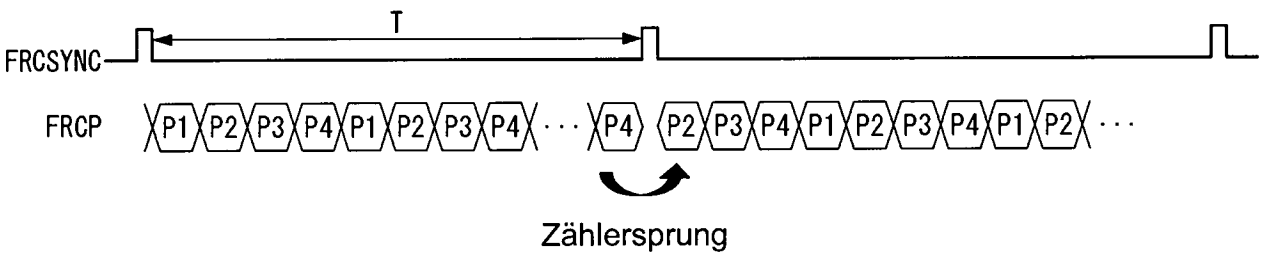


FIG. 10

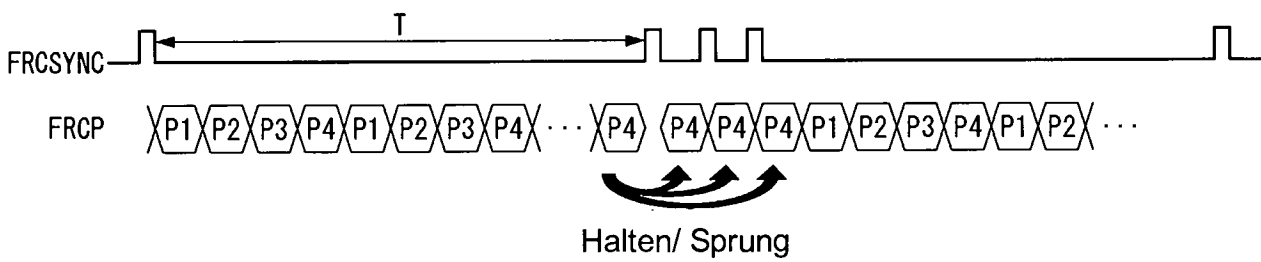


FIG. 11

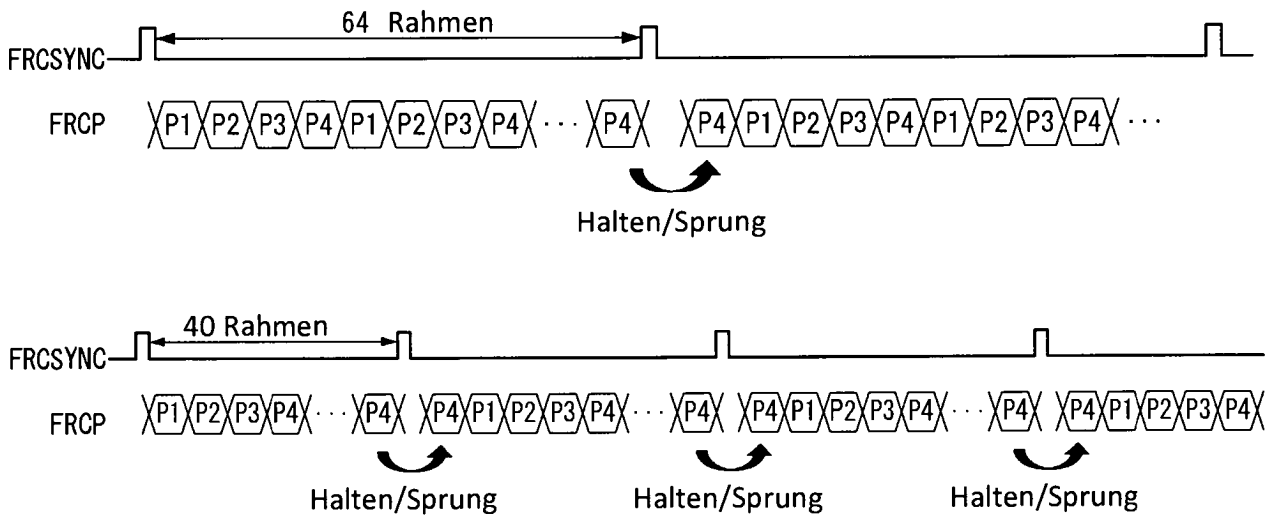


FIG. 12

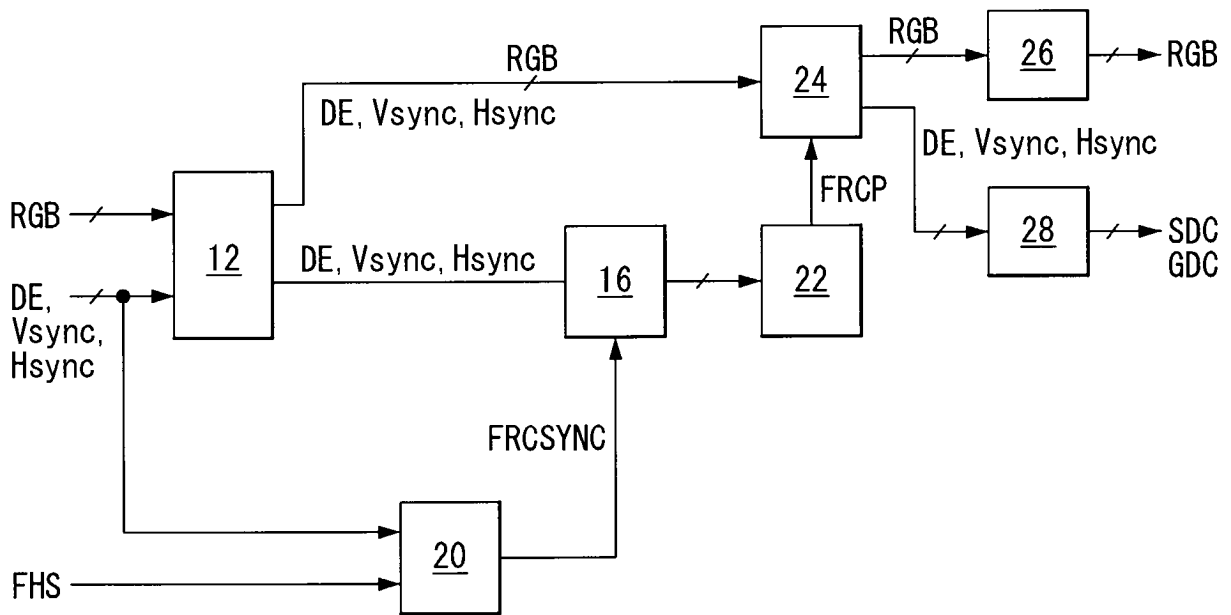


FIG. 13

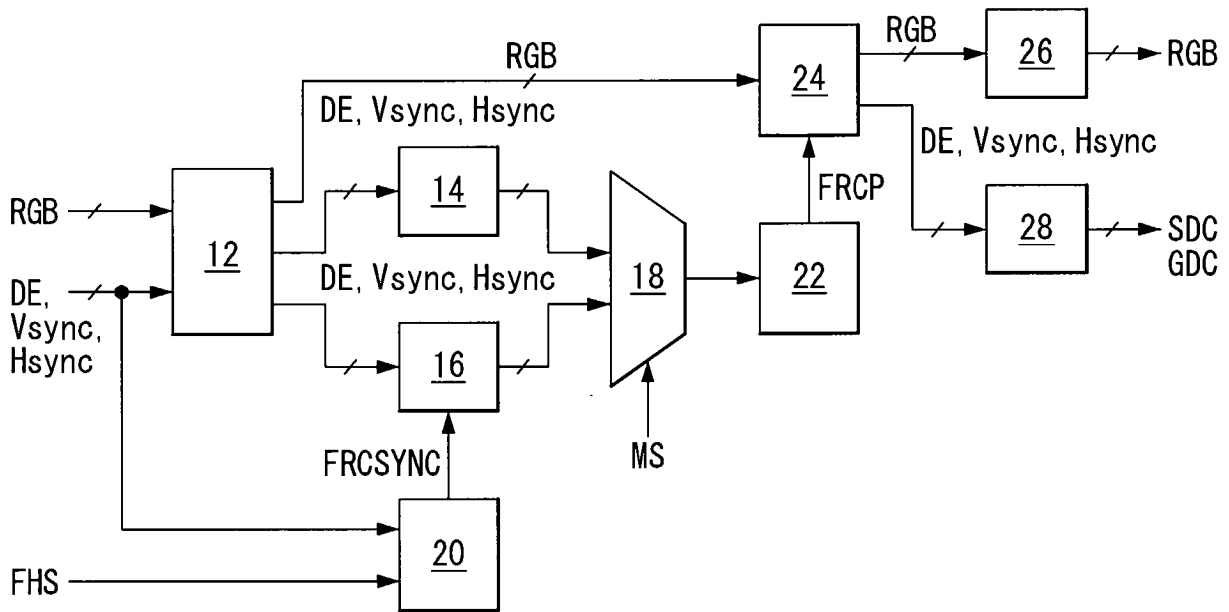


FIG. 14

