

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 97127680

※申請日期： 97.7.21

※IPC 分類：G06F

G09G 3/36 (2006.01)

一、發明名稱：(中文/英文)

位移暫存器電路

A SHIFT REGISTER CIRCUIT

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

荷蘭商皇家飛利浦電子股份有限公司

KONINKLIJKE PHILIPS ELECTRONICS N.V.

代表人：(中文/英文)

JL 凡 德 渥

VAN DER VEER, J. L.

住居所或營業所地址：(中文/英文)

荷蘭愛因和文市格羅尼渥街1號

GROENEWOUDSEWEG 1, 5621 BA EINDHOVEN,

THE NETHERLANDS

國 籍：(中文/英文)

荷蘭 THE NETHERLANDS

三、發明人：(共 1 人)

姓 名：(中文/英文)

伊葛妮 玻伊可

BOIKO, EVGUENI

國 籍：(中文/英文)

英國 U.K.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為：年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 歐洲專利機構；2007年07月24日；07113022.3

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種位移暫存器電路，特定言之係用於提供列電壓給一主動矩陣顯示裝置的顯示像素。

【先前技術】

主動矩陣顯示裝置包括配置成列及行之像素的一陣列，及各像素包括至少一薄膜驅動電晶體及一顯示元件，例如一液晶單元。每列像素共用一列導體，其連接至在該列中之像素之薄膜電晶體的閘極。每行像素共用一行導體，其提供有像素驅動信號。在列導體上的信號決定該電晶體是否接通或關閉，且當該電晶體係接通時(藉由該列導體上的一高電壓脈衝)，允許來自該行導體的一信號繼續傳遞至液晶材料的一區域，藉此改變該材料的光傳輸特性。

主動矩陣顯示裝置之圖框(圖場)週期需要在一短時間週期內定址一列像素，此進而對該電晶體之電流驅動能力施加一要求以便將液晶材料充電或放電至所需電壓位準。為了要滿足此等電流要求，供應至該薄膜電晶體的閘極電壓需要以明顯電壓擺幅波動。在非晶矽驅動電晶體的情況下，此電壓擺幅可大概係30伏特。

對於在低導體中的大電壓擺幅要求需要該列驅動器電路係使用高電壓組件實施。

對於作為顯示像素陣列之基板的相同基板上整合列驅動器電路之組件一直持續有更多的關注。隨著此技術更加容易地適用於列驅動器電路的高電壓元件，其一可能性係使

用多晶矽用於該像素電晶體。使用非晶矽技術會損失掉產生該顯示器陣列的成本優勢。

因此，對於提供可使用非晶矽技術實施之驅動器電路也引起一關注。由於非晶矽電晶體的低移動率以及臨限電壓的應力誘發改變(漂移)，使用非晶矽技術實施驅動器電路存有嚴重的困難度。該應力誘發改變與施加在一薄膜電晶體閘極的電壓、及此電壓的工作循環(duty cycle)，以一非線性方式成比例。

在一主動矩陣顯示裝置中，該等像素電晶體係以低工作循環操作，使得該漂移在列驅動器電路中比較不成問題。已提議出設計該等列驅動器電路的一方式，其亦使用以低工作循環操作的電晶體，且此電路係已知為"高阻抗閘極驅動器電路"。

該列驅動器電路習知上係實施為一位移暫存器電路，其操作以在每一列導體上依序輸出一列電壓脈衝。

本質上，該位移暫存器電路的每一級包括一上拉電晶體，其連接在一時控高電力線及該列導體之間，該上拉電晶體係接通以耦合該列導體至該時控高電力線，以產生一系列位址脈衝。一下拉電晶體在剩下的時間中將該電壓保持為低。為了確保該列導體上的電壓到達該電力線電壓(不管串聯連接的驅動電晶體)，已知利用一升壓效應，其使用輸出電晶體的一雜散電容。此論述在美國專利案第6052426號中。此等升壓測量法提昇該電路的效能及改善電晶體特性變化的容限。此接著升高該電路的一增加壽

命。

此些電路的實施方案亦使用來自先前列的輸出，作為一給定列的控制信號，以控制升壓效應的時序。

在已知電路中仍存有一問題：電晶體效能的降級，尤其係以高工作循環操作的電晶體，且因此照慣例限制了該電路的使用期限。

【發明內容】

根據本發明，提供一種位移暫存器電路，其包括複數個級，每一級係用於提供一輸出信號至一輸出負載，並且該位移暫存器電路包括一上拉電晶體以用於將該輸出信號上拉至一高電壓軌；及包括一下拉電晶體以用於將該輸出信號下拉至一低電壓軌，

其中每一級各包括一電路，用於取樣該上拉電晶體及該下拉電晶體之至少一者的臨限電壓，及用於將經取樣的臨限電壓相加至電容性耦合的一控制電壓，以提供一臨限電壓補償信號用於控制該上拉電晶體及該下拉電晶體之至少一者的閘極；其中該電路係調適以施加一電壓階躍 (voltage step) 至該經取樣的臨限電壓，用於產生一接通信號，及係調適以施加一相反正負號電壓階躍至該經取樣的臨限電壓，用於產生一關閉信號。

本發明提供臨限電壓 (V_t) 取樣，尤其係針對必須補償其臨限電壓漂移的薄膜電晶體 (例如該下拉薄膜電晶體)。此係用以產生一臨限電壓補償控制電壓，及用於該位移暫存器電路的每一級。

可以低工作循環操作感測電路，例如在圖框消隱期間可使用的時間內。經取樣的臨限電壓接著可施加至任何輸入驅動信號，以提供對於老化的補償。

該取樣電路可包括一取樣電容器，其串聯在一用於該級之控制電壓輸入及該上拉電晶體與該下拉電晶體之至少一者的閘極之間。以此方式，在該電容器上提供的電壓將會加入至該輸入電壓，且可因此提供一補償功能。

該取樣電路可包括一第一開關，其用於耦合該取樣電容器之一側至一低電壓軌；及一第二開關，其用於耦合該取樣電容器之另一側至一高電壓軌。此致使該電容器充電至一最大電壓，且其可接著放電以儲存一經取樣臨限電壓。

該取樣電路可進一步包括一與該第二開關相關聯的充電泵電路，用於增壓該高電壓軌的電壓。隨著該電容器可充電至一較高位準，此實現臨限電壓一較廣範圍的補償，且因此儲存一較高的臨限電壓。

該取樣電路可包括一第三開關，其用於短路該上拉電晶體與該下拉電晶體之至少一者的閘極及汲極，或用於短路一用以複製該上拉電晶體與該下拉電晶體之至少一者的電晶體的閘極及汲極。此使取樣的電晶體成為一種二極體組態中，且此可用以放電該電容器的電壓，直到到達臨限電壓為止，其對應於二極體連接電晶體正向偏壓電壓降。

一電容器可連接在用於控制該第三開關的控制線及該取樣電容器的另一側之間。該控制線接著可用於引入一電壓階躍變更，致使電荷共用且改變該儲存電容器上儲存的電

荷。

該取樣電路可包括一第四開關及一第五開關，串聯連接在該等電力軌之間，在該第四開關及該第五開關之間的接合點(junction)係連接至一電容器的一側，該電容器的另一側係連接至該上拉電晶體與該下拉電晶體之至少一者的閘極。此等額外的開關可用以在該電容器上儲存一額外的補償元件。特定言之，一固定正電壓偏移(使該薄膜電晶體接通)，或一固定負正電壓偏移(使該薄膜電晶體關閉)可加入至該經取樣的臨限電壓。

取代使用一第二電容器以改變該經取樣臨限電壓，該第一開關可連接在一參考電力線及該取樣電容器的一側之間，使得該臨限電壓係相關於該參考電力線電壓而取樣。一另外開關係連接在該取樣電容器的一側及一低電壓軌之間。此致使一藉由對該輸入施加一電壓階躍變更而造成該經取樣臨限電壓的變更。

亦可提供漏電流控制電路用於控制漏電流至或自該上拉電晶體與該下拉電晶體之至少一者的閘極的電流流動方向或電流量值，該漏電流控制電路係連接在該上拉電晶體與該下拉電晶體之至少一者的閘極及一電源供應線之間。此可用以穩定隨時間之經儲存臨限電壓，或是確保該補償效應不會隨著時間而減少。

該漏電流控制電路可包括兩個電晶體，其與閘極串聯連接，且與串聯連接於該等電晶體之間的一控制電壓線串聯。此控制電壓線可設定該對電晶體的操作點，使得(淨)

漏電流可控制以在一所需方向中流動。

該漏電流控制電路可進一步包括一具有閘極及源極端子的第三電晶體，其連接至該兩電晶體之一的源極及汲極端子。此引入一臨限電壓，且可用以確保該漏電流盡可能地接近零。

該漏電流控制電路可替代性包括一(單一)電晶體，其連接在該上拉電晶體與該下拉電晶體之至少一者的閘極及該電源供應線之間，其中該電源供應線包括一個三態電源；及該漏電流控制電路進一步包括一控制電壓線，當該電源供應係切換至一高阻抗狀態時該控制電壓線係用於控制施加至該電晶體的電壓。此實現了使用一單一電晶體來控制該漏電流流動。

用於取樣該上拉電晶體及該下拉電晶體之至少一者之臨限電壓的電路可包括該上拉電晶體及該下拉電晶體之至少一者，使得其具有實際電晶體的取樣。然而，用於取樣該上拉電晶體及該下拉電晶體之至少一者之臨限電壓的該電路可包括一用以複製該上拉電晶體及該下拉電晶體之至少一者之行為的電晶體。此複製電晶體例如可以相同工作循環及相同電壓操作。

每一級較佳係包括一輸入區段及一輸出區段，其中該輸出區段包括該上拉電晶體及該下拉電晶體，及一介於該上拉電晶體之閘極與該輸出之間的升壓電容器。每一級的輸入區段可包括一第一輸入區段輸入(列 $n-1$)，其連接至一先前級之輸入區段的輸出；及一電晶體，其用於充電該第

一升壓電容器且由該第一輸入(列 $n-1$)控制。

本發明特別適合於使用非晶矽技術實施。

本發明亦提供一主動矩陣顯示裝置(例如一液晶顯示器)，其包括：

- 主動矩陣顯示像素之一陣列；
- 列驅動器電路，其包括本發明的一位移暫存器電路。

本發明亦提供一種產生多級位移暫存器電路輸出的方法，用於提供一信號至一輸出負載，對於該位移暫存器電路之每一級，該方法包括：

- 產生一輸出信號，其係藉由開啟一上拉電晶體以將該輸出信號上拉至一高電壓軌或藉由開啟一下拉電晶體以將該輸出信號下拉至一低電壓軌，

其中該方法進一步包含：

- 取樣該上拉電晶體及該下拉電晶體之至少一者的臨限電壓；
- 施加一第一極性的電壓至該經取樣的臨限電壓，用以產生一接通信號用於控制該上拉電晶體及該下拉電晶體之至少一者的閘極；以及
- 施加一相反的第二極性的電壓至該經取樣的臨限電壓，用以產生一關閉信號用於控制該上拉電晶體及該下拉電晶體之至少一者的閘極。

【實施方式】

圖1顯示本發明之電路的第一簡化範例，以闡述本發明的原理。

本發明提供在電路中感測最為重要之電晶體的臨限電壓。列驅動器電路具有一列上拉電晶體10，其係接通以從一時控電源供應線"clock"的列上提供一系列脈衝；及一系列下拉電晶體12，其用於在剩下的時間內保持該列在一低的負電力軌電壓。該列下拉電晶體12係以一高工作循環操作，且因此遭受到最大的漂移。

在一範例中，本發明提供該列下拉電晶體12的臨限電壓感測。該感測電路可使用該列驅動器電路的薄膜電晶體(TFT)，或可使用一專用TFT，其係設計以匹配補償中之TFT的特性。

圖1顯示一用以複製該下拉電晶體12之條件的電晶體14，及一供應有來自正電壓線18及負電壓線19之電力的臨限電壓感測電路16。

如圖1所示，該感測電路16衍生出一輸出 V_{out} ，其通常可施加一衰減 X 至輸入電壓 V_{in} ，加上一臨限補償電壓 V_t 及相加或相減一偏移 ΔV 。

在圖1的範例中，臨限電壓漂移量對於列下拉TFT 12及TFT 14兩者而言係相同的，因為臨限電壓 V_t 漂移僅與閘極上的信號成函數關係；於該等TFT上不管TFT的相對大小及負載皆執行該感測。

圖1亦顯示一升壓電容器11及一用於充電該升壓電容器的電晶體13，例如使用一來自先前級的高信號。

圖2係闡述可基於此一電路之原理的示意圖。

該電路具有一第一開關S1，用於保持一取樣電容器C1之

一側在固定的負電壓軌。開關S2允許正電壓軌載入至取樣之電晶體的閘極上及該儲存電容器之另一側上。可直接經由開關S3(圖4所示的連接b)或間接經由開關S3(圖4所示的連接a)，充電NODE1上的電壓。後者的連接要求控制線Ctrl1及Ctrl2重疊，使得電晶體48及S3係在相同時間開啟。另一選項係，經由NODE2及電晶體S3，充電NODE1上的電壓。

開關S3短路該複製電晶體14的汲極及閘極，使得該電晶體係二極體連接。此致使該電晶體閘極放電至該臨限電壓，且此可儲存在輸入電容器C1上。開關S4及S5啟用欲按比例調整或位移的經儲存電壓。

該電路可以下列方式操作：

時間間隔1：

開關S1、S2及S4係關閉的，且開關S3及S5係打開的。電壓軌差係儲存在該電容器上，且取樣中之電晶體的閘極(NODE1)係充電至一高於其臨限電壓 V_t 的電壓。

時間間隔2：

開關S1、S3及S4係關閉的，且開關S2及S5係打開的。當開關S3係關閉的時候，電晶體T1係二極體連接，且NODE1係經由電晶體14主動地放電，直到到達該臨限電壓 V_t 為止。接下來，NODE1繼續放電，但是非常地緩慢，因為次臨限洩漏。因此，最後結果係，該臨限電壓係儲存在NODE1上，由於一端子仍然連接至負電壓軌，會有一相對應電壓橫跨該電容器C1。

時間間隔3：

開關 S1、S2、S3 及 S5 係打開的，且開關 S4 係關閉的。現在以連接至輸入電壓之電容器的輸入在 C1 上取樣臨限電壓 V_t 。由於開關 S4 持續為關閉的，節點 NODE1 上的電壓便係由電容器 C2 保持。

由於此電容器係與該輸入串聯，故其可作用以提供一電壓階躍至施加在該輸入的任何電壓。特定言之，此可將施加在該下拉電晶體之閘極的電壓帶到一高於該高電壓軌的位準。

在以上範例中，藉由確保該開關 S2 係在開關 S3 關閉之前打開，其可確保 DC 路徑不會透過電晶體 14 建立。然而，可在開關 S2 係關閉期間的部分或全部時間間隔內關閉開關 S3 來操作該電路。的確在此情況中 S2 可連接在正電源供應軌及電晶體 T1 的汲極端子而不是電晶體 14 的閘極之間。臨限電壓感測仍可達成，例如只要開關 S2 係在開關 S3 開啟之前開啟即可，或是假設以一 TFT 實施的開關 S2 的功能遠小於電晶體 14。

時間間隔4：

在下列時間週期中，藉由打開 S4 及關閉 S5 且電壓 $V_{in}=0$ V，NODE1 可取得一固定電壓 ΔV ，其低於現在儲存在電容器 C1 上的臨限電壓 V_t 。此造成電容器 C1 及 C2 之間的電荷共用，且導致一輸出電壓 $V_{out}=V_t-\Delta V$ ，其中 ΔV 係正電源供應軌及負電源供應軌之間的電位差的常數分數，且係由系統中所有電容的相對大小決定。或者是，藉由施加一正電

壓 V_{in} ，可升高 NODE1 的電壓超過 V_t 。此導致一輸出電壓 $V_{out}=V_t+V_{in}/X$ ，其中 X 係由電容 $C1$ 、 $C2$ 的相對大小及 NODE1 之任何寄生電容所定義。

該比例及位移啟用一閘極控制電壓，其產生以實施所需的接通功能，但是需對臨限電壓做出補償。

該電路因此操作以充電在該儲存電容器上的一最大電壓軌電壓，作為重設操作。充電該電晶體閘極及接著放電，直到到達該臨限電壓 V_t 為止，且在電容器上取樣該電壓。然後一額外電壓亦提供至已被控制之電晶體的閘極，使得最後結果係一臨限電壓補償閘極電壓。可提供一超過或低於臨限電壓的固定電壓差，以提供用於已被控制之電晶體的恆定驅動條件，且使其驅動以導通或關閉。

因此，在大部分的時間內，即當列輸出係低時，該電路可用以提供用於一閘極信號之臨限電壓的補償，其係用於接通該下拉電晶體。其亦可在當該下拉電晶體被關閉時，即是在準備用於及該列輸出脈衝期間，提供一低於經測量臨限值的電壓階躍。

對於接通該下拉電晶體，該取樣電容器提供一階躍電壓變更至經施加至該閘極的習知控制電壓，以提供臨限電壓取樣。在所示的電路中，NODE1 係保持由時脈相位 $\phi+1$ 充電，其週期性地透過電容器 $C1$ 再充電 NODE1 電壓。

參考圖 3 說明上述原理的一變化。開關 $S1$ 至 $S5$ 執行相同功能，但是在此情況中，開關 $S3$ 、 $S4$ 及 $S5$ 彼此相關。在臨限電壓測量階段完成時，NODE1 係自動地藉由組合開關

S4、S5而取得一低於 V_t 的固定電壓，其再度係由系統中所有電容的相對大小定義。

圖4係一第一電路圖，顯示如何基於上述的基本原理製成一實用電路。

該電路的較淡部分代表一多相動態邏輯位移暫存器的一已知級。

該已知位移暫存器電路具有一上拉電晶體40及一下拉電晶體42作為輸出級。一輸入級具有：一個二極體連接電晶體44，其連接至用於下一列的時脈相位信號；及兩個電晶體46、48，其係由先前列之驅動器信號所控制。此主要係在列脈衝產生之前啟始該電路。特定言之，一升壓電容器C3係透過電晶體48在先前列週期中予以充電，而該輸入係由電晶體46保持為低。

熟知本技術者人士已熟悉圖4的虛線電路，且其基於來自該位移暫存器電路的前一級及後一級的信號實施一升壓功能及一重設功能。已知的電路具有一閒置狀態，其中NODE1被充電且將該輸出保持為低。該電路保持在此狀態中，直到先前列被脈衝處理為止，且該等時脈相位信號不會在該輸出中導致任何改變。在此狀態期間，NODE1的電壓必需超過下拉電晶體的臨限電壓。

當該先前列點燃時(或對第一列引入一起動脈衝時)，導通電晶體46及48，充電NODE2，充電升壓電容器C3及接通電晶體40。NODE1上的電壓必須低於下拉電晶體的臨限電壓，以準備以高脈衝驅動該列。

在下一個時脈相位脈衝中(φ)，該列輸出跟隨該時脈相位，且上拉電晶體的閘極電壓被該升壓電容器向上推至高於正電壓軌，其牢固地確保電晶體40接通。

在後續時脈相位期間，再度接通該電晶體42。

圖4中的粗體線組件實施圖2的開關。電晶體係標示為開關S1至S5，對應於圖2的該等開關。

除了實施圖2之開關之功能的電晶體以外，在下一個時脈相位及測試中的電晶體之閘極處的節點(NODE1)之間還具有一個二極體連接電晶體50。此確保在正常操作期間電晶體S5的汲極係保持為高，使得當先前列脈衝(列n-1)到達後，其放電至負電力軌，此具有下拉NODE1上的電壓至低於臨限電壓的效果，以為了點燃該列期間的時脈相位作準備。

因此，該電路操作以在電晶體40接通之前，將NODE1的電壓拉至低於電晶體42的臨限電壓；以及當其被接通時增加電晶體42的閘極電壓。

亦顯示一重設電晶體52，其用於在該取樣操作之後立即重設該升壓電容器C3，以當主要的位移暫存器時脈變成主動時，避免列的假點火情況發生。其對重設NODE2提供一直接的方式。一替代方案係，並聯連接電晶體52與電晶體44。

一條控制線Ctrl1僅控制開關S2(電晶體52)，且藉此控制該電晶體14的充電超過其臨限電壓。對於此電晶體之源極的兩條可能連接路徑顯示為(a)及(b)。一第二控制線Ctrl2

控制開關 S1、S3及 S4，且藉此控制該臨限電壓取樣。開關 S5係由先前列脈衝所控制。

圖4的電路係以下列方式操作。

在兩個別時間間隔 t_1 、 t_2 ，控制時脈 Ctrl1、Ctrl2係置於高。其不管是時間間隔 t_1 還是時間間隔 t_2 哪一個先開始，也不管他們是否重疊。下列條件運用：

- a) 具有高 Ctrl1時脈的時間間隔 t_1 必須足夠長，以允許 NODE1經由開關 S2到達 V_t 或超過其，至少要在時間間隔 t_2 結束之前；
- b) 在時間間隔 t_1 結束後，必須延長時間間隔 t_2 ，以足以提供足夠的時間用於設定 NODE1近似於臨限電壓 V_t ，開關 S2仍為開啟的。在時間間隔 t_1 、 t_2 沒有重疊、或是僅重疊一極短時間的情況下，電容器 C3必須足夠大，以在時間間隔 t_2 開始時充電 NODE1至 V_t 或超過其。

圖5顯示兩個可能的時序圖。

一旦已執行上述的臨限電壓感測序列，便可正常操作該位移暫存器級，來自列 $n-1$ 的高信號將會下拉 NODE1至低於 V_t ，且同時充電 NODE2(即充電該升壓電容器)，準備在等待時脈相位 ϕ 到達時用於點燃該列輸出。

該級係由下一個時脈相位 $\phi+1$ 重設。

圖6顯示基於圖3之電路的一實施方案。虛線部分組件與圖5所示相同。

該等電晶體再度標示為開關的名稱。在先前電路中的開關 S4及 S5選擇該等電壓軌之一，及在圖6的電路中，此係

由控制線 Ctrl3 實施。因此，在該電路操作中，控制線 Ctrl3 在該等電壓軌之間切換。

第一控制線 Ctrl1 控制開關 S1，及第二控制線 Ctrl2 控制開關 S2。

圖 6 所示的電路操作如下。

在時間間隔 t_1 、 t_2 、 t_3 ，控制時脈 Ctrl1、Ctrl2、Ctrl3 分別係置於高。相同的，這些控制時脈切換至高位準的順序並不是那麼重要的。下列條件必須滿足：

- a) t_1 必須在 t_2 結束之前開始一足夠長的時間，以允許 NODE1 在時間間隔 t_3 期間到達 V_i 或超過其；
- b) t_1 及 t_3 必須實質上重疊；
- c) 當 t_2 結束但 t_1 、 t_3 還尚未結束時的時間週期必須足夠長，以允許 NODE1 放電至 V_i (大致上)。

圖 7 顯示兩個可能的時序圖。

上述用於一般電路原理及更詳細具體實施例的臨限電壓感測序列可一起執行用於位移暫存器的所有級(例如在圖框消隱期間)，或是每一個圖框或每 N 個圖框。或者是，其可以時間交錯方式執行用於位移暫存器級群組(例如根據一多相時脈信號係用以計時該等級之輸出的相位而分組的群組)。

或者是，對連續用於該位移暫存器之每一級的每圖框執行該感測功能一次，例如使用來自先前級的輸出作為控制信號 Ctrl1、Ctrl2。

圖 8 顯示一另一具體實施例，其中合併該臨限電壓測量

相位及該位移暫存器預選擇相位(即充電的升壓電容器)。

此電路的優點係簡明易懂，因為對於臨限電壓感測部分僅需要一控制輸入，及位移暫存器先前級輸出用作控制信號。

該電路具有一用於經由開關S3充電NODE1的電晶體S2，及一下拉電晶體80。

NODE1由某些值得考慮的邊限充電至高於臨限電壓，且其只要係在上述的其它電路範例中，絕對不會放電至臨限電壓。藉由將較低TFT 80製成較大及將上方電晶體S2製成一最小尺寸TFT，可減小該邊限。

結果係，NODE1充電的電壓將跟隨較大電晶體的臨限電壓，其會隨著時間老化。這不是臨限電壓的精確取樣，但對於電路的操作而言已足夠。相應地，術語"取樣一臨限電壓"應理解為涵蓋產生一相依於該臨限電壓的電壓。另外，可加入某些種類的回授電路以減少此邊限，然而在適當選擇C2之電容的任何情況中，當"列n-1"再次變為低時，NODE1上的電位可低於 V_t ，即使起始電位在某種程度上係高於臨限電壓。

當列n-1係高時，電晶體T1固定取樣電容器C1的左端在負電壓軌上。當列n-1係低時，電容器C1的左側不再固定在負電壓軌上了。然而，當電壓驟降低於負電壓軌多於電晶體T1的臨限電壓時，電晶體T1再度開始導通。因此，C1的左側最終會回到足夠接近該負電壓軌的地方。

只有3個時脈便足以操作該位移暫存器(2個具有額外變

更)。當列 $n-1$ 係高時，預充電 NODE2 以用平常方式充電該升壓電容器。以一大略等於臨限電壓 V_t 的電壓偏壓電晶體 T3，且因此該電晶體 T3 僅會微弱地接通。

當列 $n-1$ 回到低位準時，NODE1 係低於臨限電壓 V_t ，及 NODE2 維持充電狀態，從而確保電晶體 T4 在時脈相位 ϕ 到達時準備用於點燃。

此電路的缺點係，所建立的 DC 路徑導致增加的功率消耗。

圖 9 顯示一另一具體實施例，其允許無電容器 C2 的操作，使用在用於提供一電壓階躍至經取樣的臨限電壓的先範例中。

如所示，與圖 2 的電路相比，開關 S4、S5 及電容器 C2 的電容分壓器配置係由一第三電力軌取代，其在負電力軌及正電力軌之間有一電位，且開關 S1 係用於耦合此第三電力軌的電壓至取樣電容器 C1 的輸入側。在與上述範例的相同方式中，開關 S1 係用以在臨限電壓取樣期間保持該電容器 C1 的輸入側在一低電壓處，但此時該電壓不係該低電壓軌的電壓，而係一稍微較高的參考電壓。其它組件與圖 2 所示相同。

在第一時間間隔期間，開關 S2 及 S1 係關閉的；及開關 S4 及 S3 係打開的。NODE1 因此充電至該正電力軌的電位，及該電容器的輸入側係在中間電壓 V_{ref} 處。

在第二時間間隔期間，開關 S3 及 S1 係關閉的；及開關 S4 及 S2 係打開的。此實施該臨限電壓取樣，如先前範例。

在第三時間間隔3期間，開關S4、S2、S3係打開的；及開關S1係打開或關閉的。相對於該負電力軌，NODE1現在近似於該臨限電壓。

當然，對於此序列可有變化且不會危及在電容式NODE1上取樣臨限電壓值的意欲最終結果。例如，在第一時間間隔期間，開關S1可為關閉的及開關S4可為打開的，因而增加在第二時間間隔期間可用於臨限電壓測量的電壓範圍。

在接續的時間間隔中，藉由關閉S4(S1仍為打開的)，NODE1可取得一低於該臨限電壓的固定電壓，使得該電容器C1的輸入側係階躍至一較低電壓。

此電路亦可用以藉由施加一正電壓 V_{in} (S1及S4皆為打開的)，升高NODE1的電位至一高於該臨限電壓的固定電壓。NODE1上的實際電壓 V_{out} 接著變成 $V_t + V_{in}/X$ ，其中X係由電容器C1的相對大小及NODE1的任何寄生電容定義。

圖10顯示一可能的電路實施方案。

在此範例中，用以複製下拉電晶體之條件的電晶體14(T1)除了係介於NODE2及負電力軌之間的該電晶體之外，還形成已知列驅動器電路的部分。此實現該電晶體用於臨限電壓取樣的獨立設計。另外，用於將該電容器C1的輸入端拉至負電壓軌的電晶體S4係藉由現有的輸入電晶體46實施。

在以上電路中，隨著電晶體老化及其臨限電壓 V_t 向上位移之後，在 V_t 的頂部上加入一固定電壓 ΔV ，以保持該等老化電晶體接通。一開始，所得電壓係在負電源供應軌及正

電源供應軌之間的範圍內，但是對於電路壽命的某些點而言，此電壓會超出該負電源供應軌及該正電源供應軌兩者而結束。此一電路的操作要求一輔助絕緣 TFT(或數個 TFT)，其連接在其上取樣臨限電壓的電節點及一 DC 位準(典型為電源供應軌)之間。

由於 TFT 不係完美的開關，所以在當此等 TFT 關閉時，這些輔助裝置引入不想要的洩漏路徑。漏電流以該等輔助 TFT 上的汲極-源極電壓指數性升高，且其係與溫度成比例。這對於此等 TFT 的大小而言可能係衝突的要求。一方面，該等 TFT 需要足夠大，以在可用時間中及最低操作溫度處提供適當的充電/放電功能。另一方面，該等 TFT 又必須盡可能的小，以在最高操作溫度及/或電壓處限制通過其之漏電流量。因此，增加節點的總電容以緩和來自/進入該等 TFT 之洩漏效應並不會有任何幫助，因為充電/放電該節點的不同 TFT 亦為造成該洩漏的該等 TFT。

圖 11 係用以說明在關閉狀態電晶體中的洩漏路徑。洩漏路徑所示為 90。電晶體 TC 係用於提供高電壓軌電壓至節點的電晶體 S2，及電晶體 TD 代表電晶體 14 及開關 S3 的結合，其一起提供一路徑給低電壓軌。

洩漏路徑之一係向下朝著負電源供應軌，而另一個係向上朝著正電源供應軌。當節點電壓 V01 係正電源供應軌電位及負電源供應軌電位之間的某些平衡電位(由 TC 及 TD 尺寸的比例定義)時，流入/流出該節點的漏電流將恰好平衡。當該節點係低於此平衡電位時，漏電流將傾向於朝向

平衡點逐漸增加節點電位 V_{01} 。當該節點係處於超過該平衡點的一電位時，漏電流將傾向於朝向平衡點放電至回到該平衡點。

在此類型的電路中，有可能將節點電位"抬高"至超過正電源供應軌，在此情況中，洩漏路徑將傾向於放電節點 V_{01} 。

在閘極驅動器應用中，該等臨限電壓感測電路：可同時針對所有的閘極驅動器級操作，或在各閘極驅動器級被點燃之前循序地立即或短暫操作；及洩漏的含意在每一情況中可稍微不同。

例如，在循序式設計中，傾向於充電該節點電壓 V_{01} 的洩漏無法左右電路操作的命運。換句話說，導致該節點電壓 V_{01} 放電的洩漏可導致電路功能的降級或失效。在同時操作用於所有分段(slice)的感測電路中，進入或流出該節點的太多洩漏控制該電路功能的命運。

一修改方案係，強迫該漏電流隨時都在兩可能方向中剛好較為有利的那個方向中，例如使得該節點永遠由該等漏電流充電(特別係適用於具有循序臨限電壓感測的閘極驅動器設計)，或最小化該漏電流及在節點電壓中減少任何不想要的移動(適用於閘極驅動器設計的兩者類型)。

以下呈現的解決方案事實上一般係可運用於任何電路，其中電荷係儲存在一電容式節點上及其中存有一洩漏路徑(或多條)。

圖 12 顯示用於偵測漏電流的一基本電路。

一電晶體(如實施開關S2的電晶體，其係用以充電該節點至高電壓軌)係由兩串聯電晶體取代，如圖12所示為 T_{AUX1} 及 T_{AUX2} 。該等串聯電晶體的閘極係連接在一起，使得其係由一共同控制信號所控制，但是在其連接源極及汲極之間的接合點(稱為節點X)係連接至一另外控制線，其施加有一控制電壓，圖12所示為 $V_{MITIGATE}$ 。

在關閉狀態中，閘極電壓 V_{OFF} 及供應電壓 V_S 所配置的方式必須使得該閘極不會超過該供應電壓多於電晶體 T_{AUX2} 的臨限電壓。

電壓 $V_{MITIGATE}$ 的效應係，橫跨 T_{AUX1} 的所得汲極-源極電壓強迫該漏電流係在較佳方向中。

當目的在於最小化該漏電流時，節點X接著可維持在一接近NODE1電位之電位處，如圖13所示。圖13的電路使用一第三電晶體 T_{AUX3} 引入一橫跨電晶體 T_{AUX1} 的臨限電壓降，藉以強迫該漏電流為一低值。

節點X係由 T_{AUX3} 充電至一電位 $V_{node1}-V_{TH}(T_{AUX3})$ 。 $V_{MITIGATE}$ 必須大於 $V_{node1}+V_{TH}(T_{AUX3})$ ，而 $V_{INACTIVE}$ 必須小於 V_{node1} 。另外，其必須要使 T_{AUX3} 足夠小，及 T_{AUX2} 相對於 T_{AUX3} 要足夠大，通過 T_{AUX3} 的漏電流絕對不會超過通過 T_{AUX1} 的漏電流一足夠大的邊限，以避免該電路在受關注之電壓範圍中的校正操作。 T_{AUX3} 的應力係最小，且其將因此只會微不足道地老化。

在以上兩範例中，藉由關閉 T_{AUX1} 及 T_{AUX2} ，節點X係呈現高阻抗，使得節點X可維持在一所需電位。原則上沒有

第二電晶體 T_{AUX2} 亦可達到相同結果，若節點 X 係直接連接至一個三態電源的話，其能夠切換至一高阻抗狀態。圖 14 顯示此一配置的一範例。

圖 15 顯示一額外電晶體(如圖 11 之範例中)應用在圖 14 之電路的使用。

在最小化洩漏的情況中，高阻抗狀態的特性將會變得重要，因為電路的操作取決於流出節點 X 之一漏電流的存在性。高阻抗源必須能夠吸收來自 T_{AUX3} 的一些漏電流。換句話說，該高阻抗源必須不是一完美的開路電路，否則節點 X 可能會繼續充電，直到其到達 $V_{MITIGATE}$ 為止。

上述電路可實施上述位移暫存器電路中的開關 S2，且可用以實施同步臨限電壓感測或循序感測。

如上所說明，於 V_t 係可測量的範圍(或是漏電流係可補償的範圍)，及因而該電路的操作壽命係取決於該電路中的最大可用電源供應。在上述電路中，由於橫跨用以充電 NODE1 至高電壓軌之電晶體的電壓降之故，可儲存的最大臨限電壓係稍微低於電源供應的電壓。

擴展可用的電源供應係有利的，但是其不可能或不希望在一較高電位引入額外的電源供應軌，或在一較高電壓操作整個電路。

可以一簡單電荷泵建立一要求的擴展電壓範圍。在從此一擴展電壓源要求電流的一顯著量的唯一時間係在電源開啟時，這是一個較為罕見及等同低工作循環作業的事件。在其餘的操作期間，此一擴展電壓源僅載入有漏電流。在

一較佳修改方案中，可以二極體連接非晶矽 TFT 形成簡單電荷泵電路。該等電路可在低於負載條件的極低工作循環下操作，或不具任何顯著負載連續的操作(高工作循環)，以達成長操作壽命。

圖 16 顯示圖 2 的修改方案，其中實施開關 S2 的電晶體係連接至一電荷泵電路的輸出。此擴展了其中臨限電壓可被感測及儲存的範圍。該電壓範圍現在係操作電荷泵的多個時脈電壓。可使用每列驅動器級一電荷泵，或者是可使用一或多個較大的集中電荷泵。操作該電荷泵的該等時脈可與操作該等列驅動器輸出級的該等時脈相同(即不需要額外時脈)。

圖 16 顯示一簡單實施方案，其中該電荷泵電路包括兩個二極體連接電晶體，其串聯在一第一控制線及該電路輸入之間。一第二控制線係連接至一泵電容器的一側，其另一側係連接至該等二極體連接電晶體之間的接合點。該等控制信號係互補的。

在電源開啟時，該電荷泵係負載用於 NODE1 充電所花費的時間量。此操作模式不常發生，且因此形成該電荷泵的該等 TFT 不會過份地老化。在正常操作期間，NODE1 已在或接近其正常操作電位(即，不再需要進一步充電)，因此該電荷泵上的負載可保持在一最小值，剛好足夠以抵消來自 NODE1 的任何漏電流。或者是，可藉由一第二電荷泵達成此點，該第二電荷泵經由一高阻抗路徑(如在關閉狀態中的 TFT)供應 NODE1。

圖 17 顯示一另一具體實施例以說明某些另一可能的修改方案。

在圖 17 的電路中，標示為 T0、T1、T2、T3、T4、T5、T4'、T5' 的電晶體形成基本位移暫存器，其對應於圖 6 所示之電晶體，不同處在於其具有兩個輸出級。該輸出分成來自一輸出級的一"列"輸出及來自另一輸出級的一"符記"(token)輸出，以隔離來自該位移暫存器之主動矩陣顯示器之列電極的雜訊。如所示，該符記輸出係用以控制其它級的時序，及用以驅動該列的該輸出級係僅使用於提供列輸出信號。

該列亦從分離的負電源供應軌驅動，以減少來自電源供應負載的假性效應。

在圖 17 的範例中，以一專用電晶體 T_{aux1} (而非如先前範例的 T3) 實施臨限電壓感測功能。因此，某些範例使用該位移暫存器級的現有電晶體以提供一複製欲補償之電晶體之老化的電晶體，或是可針對此用途提供一專用電晶體。

用於充電電容器之輸出側的開關 S2 係由 T_{aux4} 實施，及用於二極體連接取樣中之電晶體的開關 S3 係由 T_{aux2} 實施。

T_{aux3} 執行開關 S1 造成該電容器之輸入側為低電壓軌的功能，亦在臨限電壓感測之後執行重設功能，以使列分段 (row slice) 返回閒置條件。

加入 T_{aux5} 以緩和 T3、T5 及 T5' 之寄生閘極-汲極電容的效應。

如圖 18 之時序圖所示，在電源開啟及每一圖框消隱週期

執行臨限電壓感測。在電源開啟期間，及時延長信號Ctrl3及Ctrl4，以允許NODE1完全充電及放電。在圖框消隱期間，信號Ctrl3及Ctrl4可相對較短很多，因為NODE1已經大概在正確的電位處。

該等電路本質上以如先前範例之相同方式發生作用。特定言之，在圖框消隱週期期間：

Ctrl1及Ctrl3係高，而Ctrl2上具有一低電壓。此設定該電容器C1之每一側上的電壓。

Ctrl3接著變成低，而Ctrl4被帶至高。可接著放電該電容器C1之輸出側，只要其不再耦合至高電壓軌。複製電晶體 T_{aux1} 係二極體連接且導通，直到臨限電壓係儲存在C1上為止。

接著關閉 T_{aux2} ，使得該複製電晶體不再為二極體連接，且控制線Ctrl2變成高。此提供所需的階躍電壓變更至該電容器C1的輸入，以把所需的補償電壓提供給NODE1，進而控制下拉電晶體T5及T5'(及T3)。

圖19顯示不同的列分段如何連接在一起，其使用來自其一系列分段的符記輸出作為下一列分段的時序控制信號。

本發明係適用於使用非晶矽(a-Si)(例如EPLaR技術撓性電子油墨(E-Ink)顯示器)的顯示器/感測器陣列閘極驅動器電路。其可適用於其它類型的半導體材料，例如聚合物，其中臨限電壓之不穩定性係一問題。

本發明可一起應用以作為主動矩陣顯示器(如LCD、OLED/PLED、E-墨水)或任何使用非晶矽或具臨限電壓不

穩定性之另一類型半導體的其它顯示器/感測器陣列技術的成本及/或空間節省手段。例如，其可適用於行動或PC監視器LCD/OLED、潛在性的LCTV/OLED TV螢幕及電子書(e-book)顯示器。

在上述範例中，該等電晶體全部係n型電晶體(如同較佳對於一非晶矽實施方案般)。然而，該等電晶體可為p型，或該電路可具有此等類型的一混合。亦可理解該電路具有一正常高的輸出。在此情況中，上拉電晶體將遭受到更大的應力誘發降級，及本發明的補償方案可接著應用至該上拉電晶體。

對於所示的n型實施方案，頂部電力軌相對於負電力軌係正的，但此在p型實施方案中是相反的。

上述的各個範例顯示數個不同可能的實施方案。對於下拉電晶體的關閉可以發現，可以數個方式改變經取樣的臨限電壓，包括：

- 可引入一電容式電荷共享(使用圖2所示的C2及開關S4、S5，或使用圖6所示的C2及控制線Ctrl3)；
- 藉由取樣使用一不同電壓參考的臨限電壓，使得當一電壓軌係用作輸入時有一電壓階躍變更(如圖9及10)。

在任一情況中，對經取樣的臨限電壓引入一變更，且此新電壓係由儲存電晶體C1電容性耦合至一輸入電壓，以便在NODE1電壓中提供所需的位移。

雖然本發明已在圖式及上述中詳細闡明及描述，但是此說明與描述認為是闡明或示範，而不是限制；本發明並未

受限於揭示的具體實施例。從隨附圖式、前述揭示、及文後申請專利範圍，熟知此技術者可明白所揭示具體實施例的其他變化及有效實現本發明。在申請專利範圍中，詞語"包括"並未排除其他元件，且定冠詞"一"或"一個"並未排除複數個。在互不相同的獨立請求項中對特定手段加以陳述之僅有事實，並不指示不能有利地使用該些手段之組合。申請專利範圍中的任何參考符號不應被視為限制其範疇。

【圖式簡單說明】

現將參考附圖更詳細地說明本發明之範例，其中：

圖1顯示本發明之電路的第一簡化範例，以闡述本發明的原理；

圖2更詳細顯示本發明之電路的第一範例；

圖3更詳細顯示本發明之電路的第二範例；

圖4顯示圖3的電路，其顯示開關的電晶體實施方案；

圖5顯示用於圖4之電路的操作的時序範例；

圖6顯示本發明之電路的第三範例；

圖7顯示用於圖6之電路的操作的時序範例；

圖8顯示本發明之電路的第四範例；

圖9顯示本發明之電路的第五範例；

圖10顯示圖9的電路，其顯示開關的電晶體實施方案；

圖11係用以顯示本發明之電路的漏電流；

圖12顯示控制該等漏電流之電路的第一範例；

圖13顯示控制該等漏電流之電路的第二範例；

圖 14 顯示控制該等漏電流之電路的第三範例；

圖 15 顯示控制該等漏電流之電路的第四範例；以及

圖 16 顯示一電荷泵如何擴展臨限電壓補償之可能範圍；

圖 17 顯示本發明之電路的第五範例；

圖 18 顯示圖 17 之電路的時序圖；以及

圖 19 顯示圖 17 的電路組塊如何連接在一起。

應注意，此等圖式為概略性圖式，並未按比例繪製。為圖式的清楚與方便起見，此等圖式中各零件的相對尺寸與比例在大小上有所誇大或縮小。

【主要元件符號說明】

10	列上拉電晶體
11	升壓電容器
12	列下拉電晶體
13	電晶體
14	電晶體
16	臨界電壓感測電路
18	正電壓線
19	負電壓線
40	上拉電晶體
42	下拉電晶體
44	二極體連接電晶體
46	電晶體
48	電晶體
50	二極體連接電晶體

52	電晶體
54	電晶體
80	下拉電晶體
90	漏電流路徑
C1	取樣電容器
C2	電容器
C3	升壓電容器
Clock	時控電源供應線
Ctrl1	控制線
NODE1	節點
NODE2	節點
S1-S5	開關
T0-T5	電晶體
T4'、T5'	電晶體
T _{AUX1} -T _{AUX5}	電晶體
T _C	電晶體
T _D	電晶體
V01	節點電壓
V _{in}	輸入電壓
V _{MITIGATE}	控制電壓
V _{OFF}	閘極電壓
V _{out}	輸出電壓
V _{REF}	參考電壓

五、中文發明摘要：

本發明揭示一種位移暫存器電路，該位移暫存器電路包括複數個級，每一級係用於提供一輸出信號至一輸出負載，並且該位移暫存器電路包括一上拉電晶體以用於將該輸出信號上拉至一高電壓軌及一下拉電晶體以用於將該輸出信號下拉至一低電壓軌。每一級包括一電路，其用於取樣該上拉電晶體及該下拉電晶體之至少一者的臨限電壓，及用於將經取樣的臨限電壓相加至一控制電壓偏移，以提供一臨限電壓補償信號以用於控制該上拉電晶體及該下拉電晶體之該至少一者的閘極。此提供臨限電壓取樣，尤其係針對必須補償其臨限電壓漂移的薄膜電晶體(例如該下拉薄膜電晶體)。

六、英文發明摘要：

A shift register circuit comprises a plurality of stages, each stage being for providing an output signal to an output load and comprising a pull up transistor for pulling the output signal up to a high voltage rail and a pull down transistor for pulling the output signal down to a low voltage rail. Each stage comprises a circuit for sampling the threshold voltage of at least one of the pull up and pull down transistors and for adding the sampled threshold voltage to a control voltage offset, to provide a threshold-voltage-compensated signal for controlling the gate of the at least one of the pull up and pull down transistors. This provides threshold voltage sampling, in particular for the thin film transistor whose threshold voltage drift must be compensated (for example the pull-down thin film transistor).

十、申請專利範圍：

1. 一種包括複數個級之位移暫存器電路，每一級係用於提供一輸出信號至一輸出負載，並且該位移暫存器電路包括一上拉電晶體(40)以用於上拉該輸出信號至一高電壓軌，及一下拉電晶體(42)以用於下拉該輸出信號至一低電壓軌；其中每一級包括一電路(S1、S2、S3、S4、S5、C1)以用於取樣該上拉電晶體與該下拉電晶體之至少一者的臨限電壓，及用於藉由電容性耦合而相加該經取樣的臨限電壓與一控制電壓，以提供一臨限電壓補償信號以用於控制該上拉電晶體與該下拉電晶體之該至少一者的閘極；其中該電路係調適以施加一電壓階躍至該經取樣的臨限電壓，用於產生一接通信號，及該電路係調適以施加一相反正負號電壓階躍至該經取樣的臨限電壓，用於產生一關閉信號。
2. 如請求項1之電路，其中該取樣電路包括一取樣電容器(C1)，其串聯於一用於該級之控制電壓輸入(V_{in})及該上拉電晶體(40)與該下拉電晶體(42)之該至少一者(42)的閘極之間。
3. 如請求項2之電路，其中該取樣電路包括：一第一開關(S1)，其用於耦合該取樣電容器(C1)的一側至一低電壓線；以及一第二開關(S2)，其用於耦合該取樣電容器的另一側至一高電壓軌。
4. 如請求項3之電路，其中該取樣電路進一步包括一與該第二開關(S2)相關聯的充電泵電路，用於增壓該高電壓

軌的電壓。

5. 如請求項3之電路，其中該取樣電路包括一第三開關(S3)，其用於短路該上拉電晶體與該下拉電晶體之該至少一者的閘極及汲極，或用於短路一用以複製該上拉電晶體與該下拉電晶體之該至少一者(42)的電晶體(14)的閘極及汲極。
6. 如請求項5之電路，其進一步包括一電容器(C2)，其連接在用於控制該第三開關(S3)之控制線與該取樣電容器(C1)之另一側之間。
7. 如請求項1至5中任一項之電路，其中該低電壓線包括一低電壓軌，且該取樣電路包括串聯連接在該等電力軌之間的一第四開關(S4)及一第五開關(S5)，在該第四開關與該第五開關之間的接合點係連接至一電容器(C2)的一側，而該電容器的另一側係連接至該上拉電晶體(40)與該下拉電晶體(42)之該至少一者(42)的閘極。
8. 如請求項5之電路，其中該第一開關(S1)係連接在一參考電力線(V_{ref})與該取樣電容器(C1)的該一側之間，使得該臨限電壓係相對於該參考電力線電壓(V_{ref})而取樣，且其中一另一開關(S4)係連接在該取樣電容器(C1)的該一側與一低電壓軌之間。
9. 如請求項1之電路，其進一步包括漏電流控制電路(T_{aux1}、T_{aux2}、T_{aux3})，該漏電流控制電路用於控制漏電流至或自該上拉電晶體與該下拉電晶體之該至少一者的閘極的電流流動方向或電流量值，該漏電流控制電路係

連接在該上拉電晶體與該下拉電晶體之該至少一者的閘極及一電源供應線之間。

10. 如請求項9之電路，其中該漏電流控制電路包括兩個電晶體(T_{aux1} 、 T_{aux2})，其與各閘極串聯連接，且與串聯連接於該等電晶體之間的一控制電壓線($V_{MITIGATE}$)串聯。
11. 如請求項10之電路，其中該漏電流控制電路進一步包括一具有閘極及源極端子的第三電晶體(T_{aux3})，其連接至該兩個電晶體(T_{aux1} 、 T_{aux2})之一者的源極及汲極端子。
12. 如請求項9之電路，其中該漏電流控制電路包括一電晶體(T_{aux1})，該電晶體(T_{aux1})連接在該上拉電晶體與該下拉電晶體之該至少一者的閘極及該電源供應線之間，其中該電源供應線包括一個三態電源；且該漏電流控制電路進一步包括一控制電壓線($V_{MITIGATE}$)，其用於當該電源供應係切換至一高阻抗狀態時，控制施加至該電晶體的電壓。
13. 如請求項12之電路，其中該漏電流控制電路進一步包括一具有閘極及源極端子的第二電晶體(T_{aux3})，其連接至該電晶體的源極及汲極端子。
14. 如請求項1之電路，其中用於取樣該上拉電晶體與該下拉電晶體之至少一者之該臨限電壓的該電路包括該上拉電晶體(40)與該下拉電晶體(42)之該至少一者(42)。
15. 如請求項1之電路，其中用於取樣該上拉電晶體與該下拉電晶體之至少一者之該臨限電壓的該電路包括一用以複製該上拉電晶體(40)與該下拉電晶體(42)之該至少一

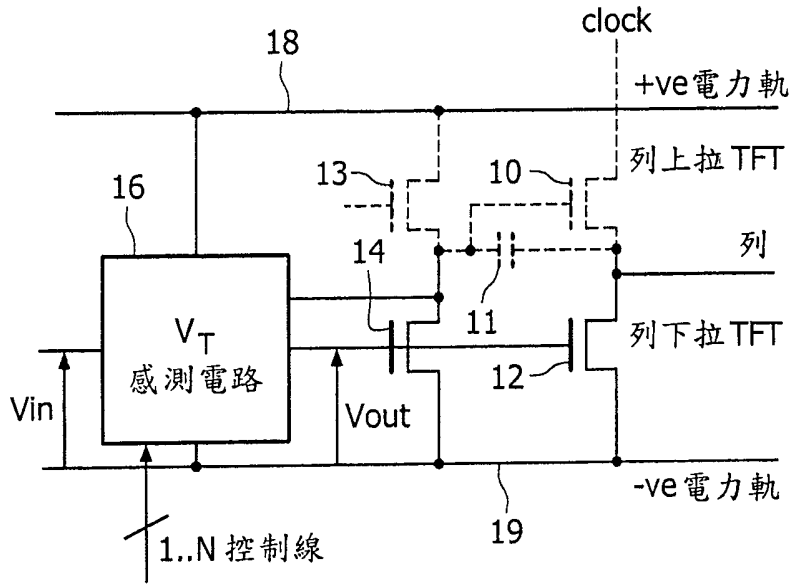
者(42)的行為的電晶體(14)。

16. 如請求項1之電路，其中每一級包括一輸入區段(44、46、48)及一輸出區段(40、42)，其中該輸出區段包括該上拉電晶體及該下拉電晶體，及一介於該上拉電晶體(40)之該閘極與該輸出之間的升壓電容器(C3)。
17. 如請求項16之電路，其中每一級之該輸入區段包括：
 - 一第一輸入區段輸入(列n-1)，其連接至一先前級之輸入區段的輸出；以及
 - 一電晶體(48)，其用於充電第一升壓電容器且由該第一輸入(列n-1)控制。
18. 如請求項1之電路，其係使用非晶矽技術所實施。
19. 一種主動矩陣顯示裝置，其包括：
 - 主動矩陣顯示像素之一陣列；
 - 列驅動器電路，其包括一如請求項1之位移暫存器電路。
20. 如請求項19之主動矩陣顯示裝置，其包括一主動矩陣液晶顯示裝置。
21. 一種產生多級位移暫存器電路輸出之方法，其用於提供一信號至一輸出負載，針對該位移暫存器電路的每一級，該方法包括藉由開啟一上拉電晶體(40)以上拉該輸出信號至一高電壓軌或開啟一下拉電晶體(42)以下拉該輸出信號至一低電壓軌，而產生一輸出信號；其中該方法進一步包括：
 - 取樣該上拉電晶體(40)與該下拉電晶體(42)之至少一者

(42)的臨限電壓；

- 施加一第一極性的電壓至該經取樣的臨限電壓，其用以產生一接通信號以用於控制該上拉電晶體與該下拉電晶體之該至少一者(42)的閘極；以及
- 施加一相反的第二極性的電壓至該經取樣的臨限電壓，其用以產生一關閉信號以用於控制該上拉電晶體與該下拉電晶體之該至少一者的閘極。

十一、圖式：



$$V_{out} = V_{in}/X + V_t - \Delta V$$
 其中
 X 係 ≥ 1 的縮小比率
 V_t 係經測量的臨限電壓
 $\Delta V = \text{常數}$ ，或 $\Delta V = f(V_{in})$

圖 1

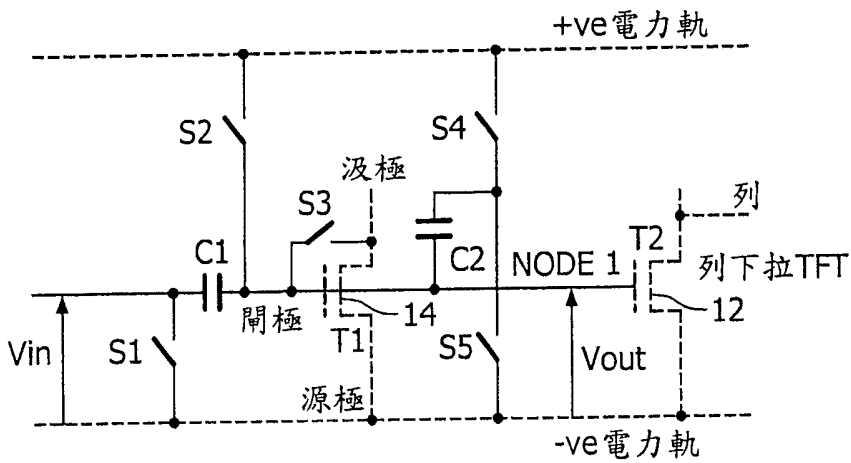


圖 2

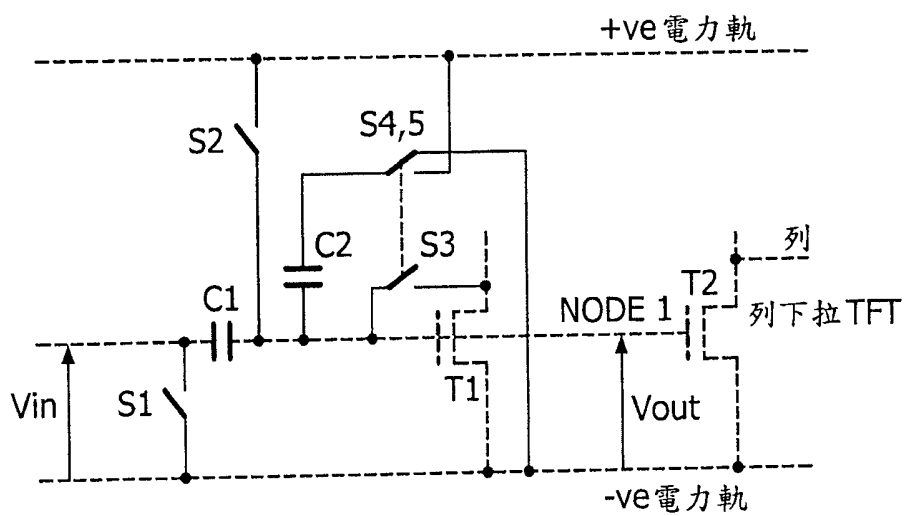


圖3

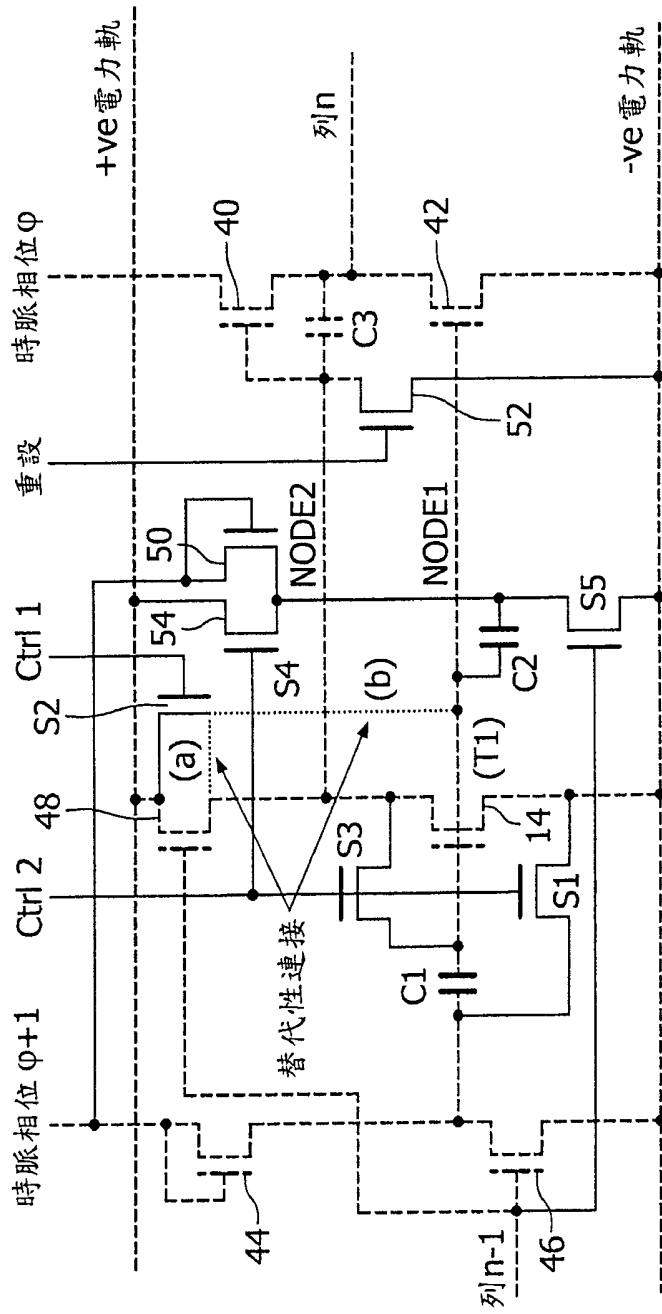


圖4

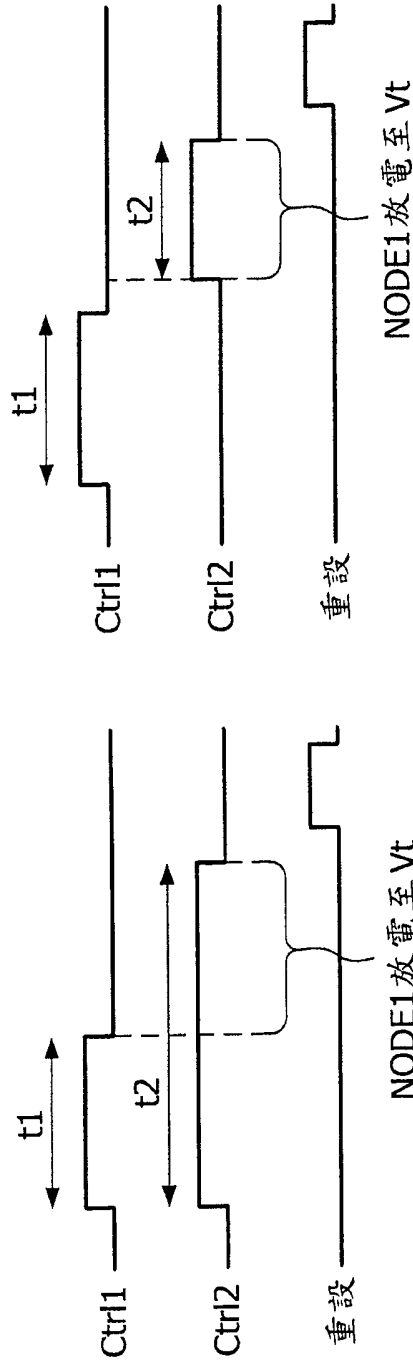


圖5

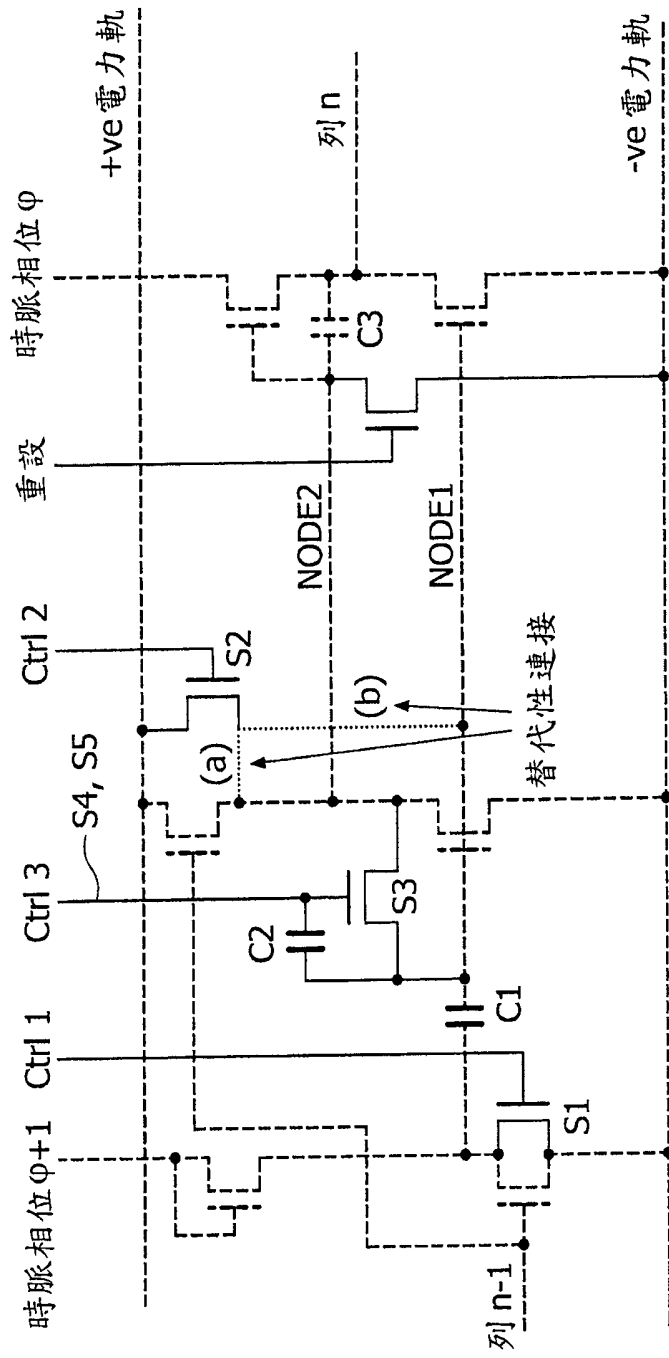


圖6

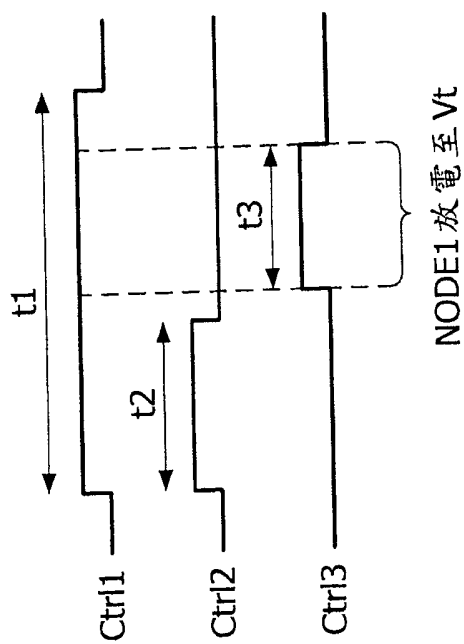
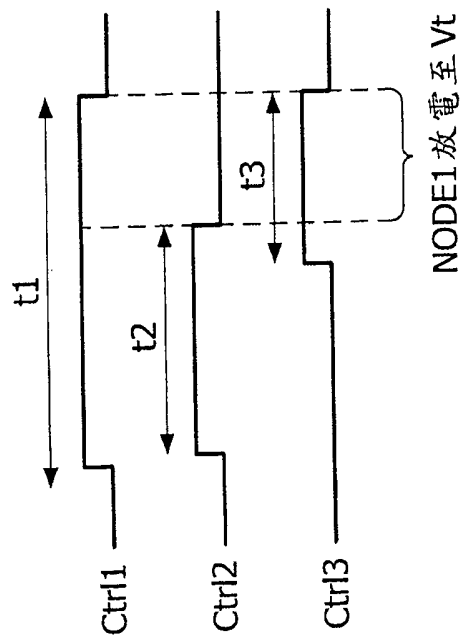


圖 7

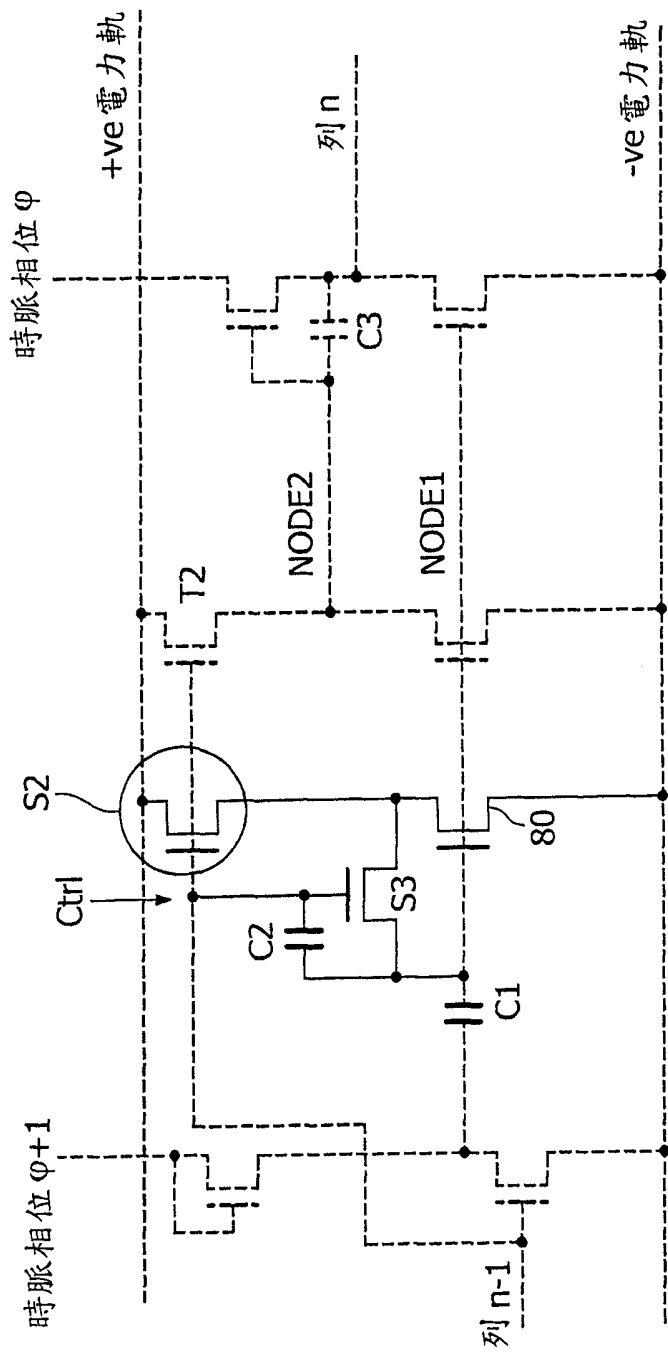


圖 8

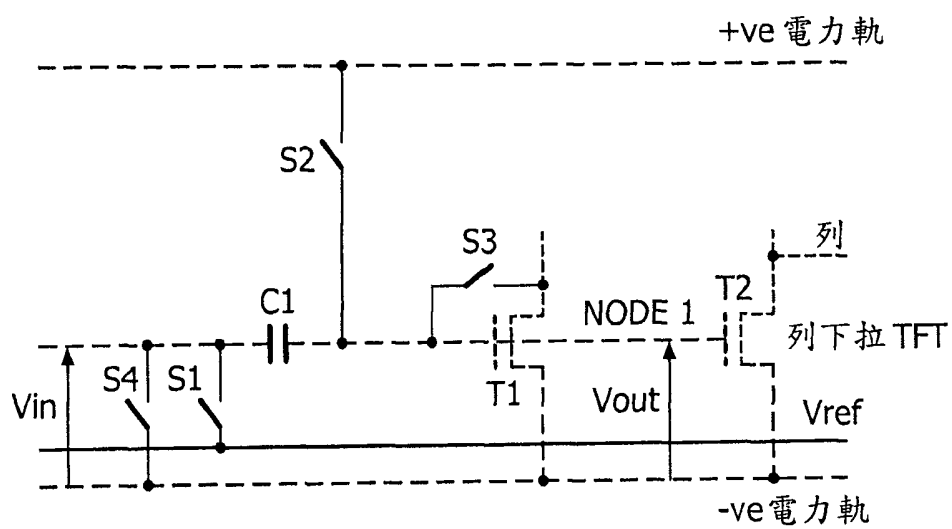


圖 9

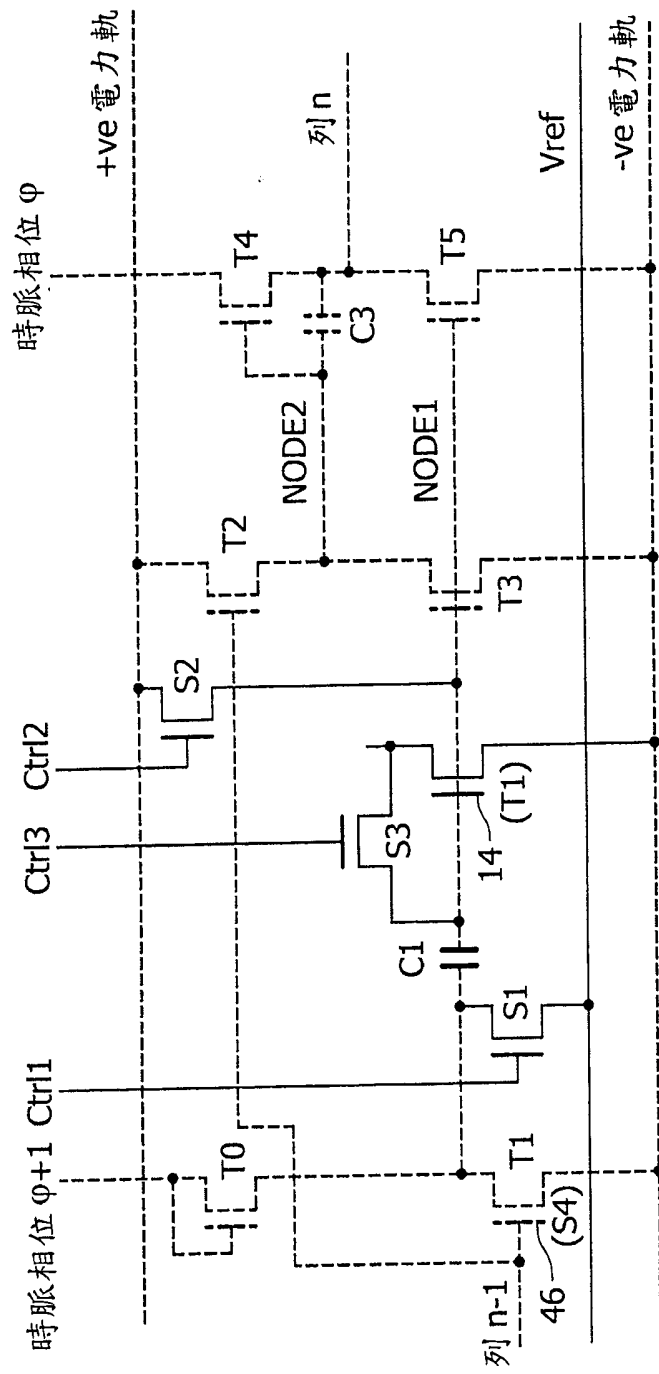


圖10

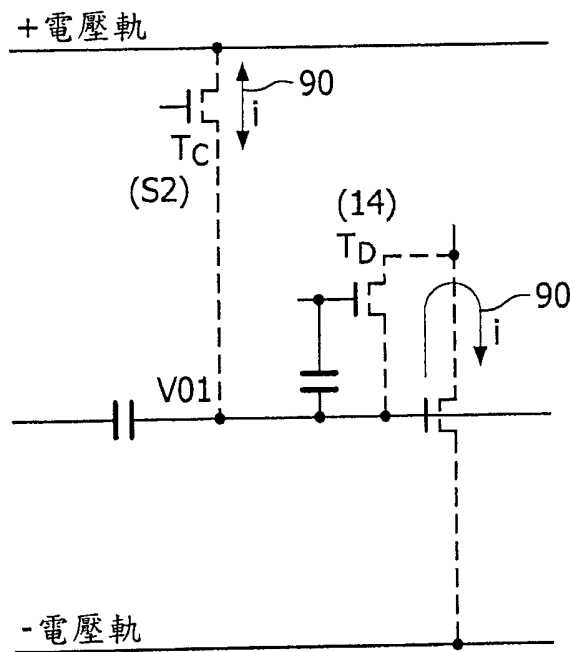


圖11

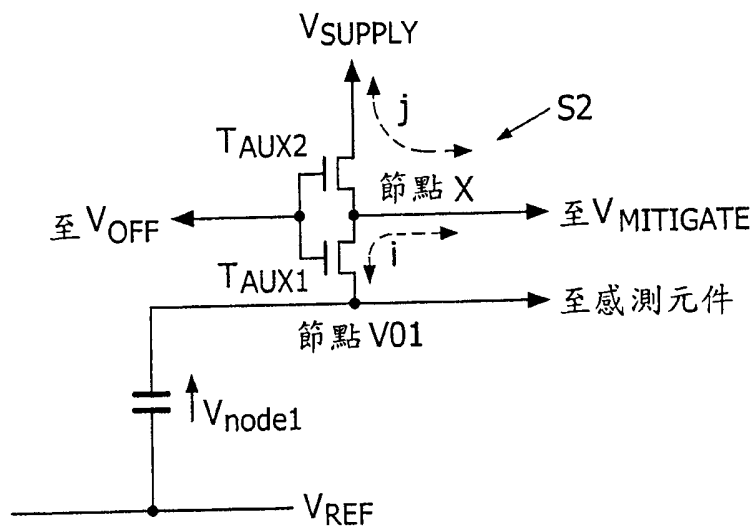


圖12

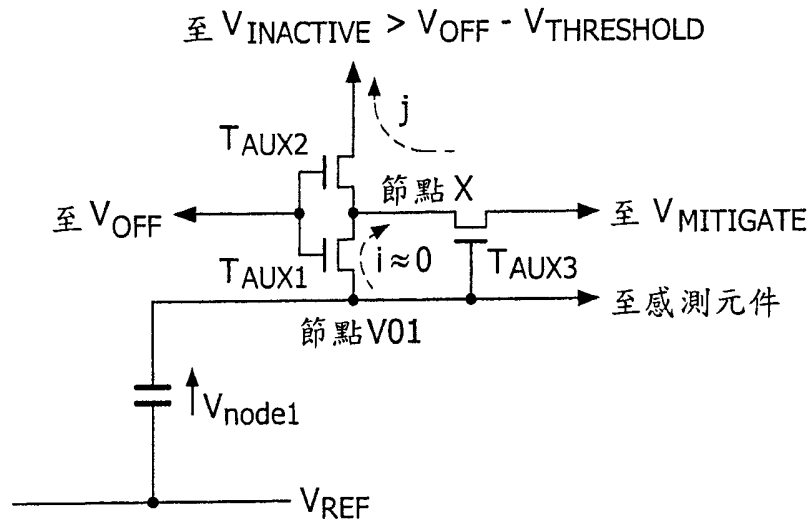


圖13

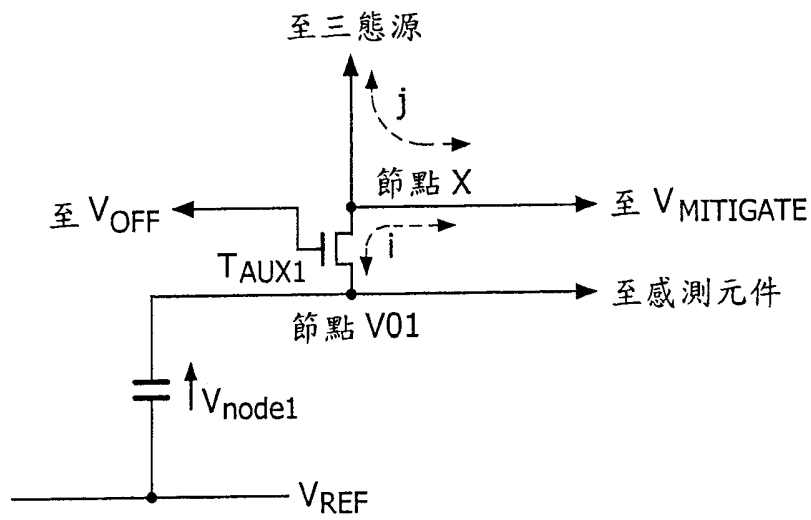


圖14

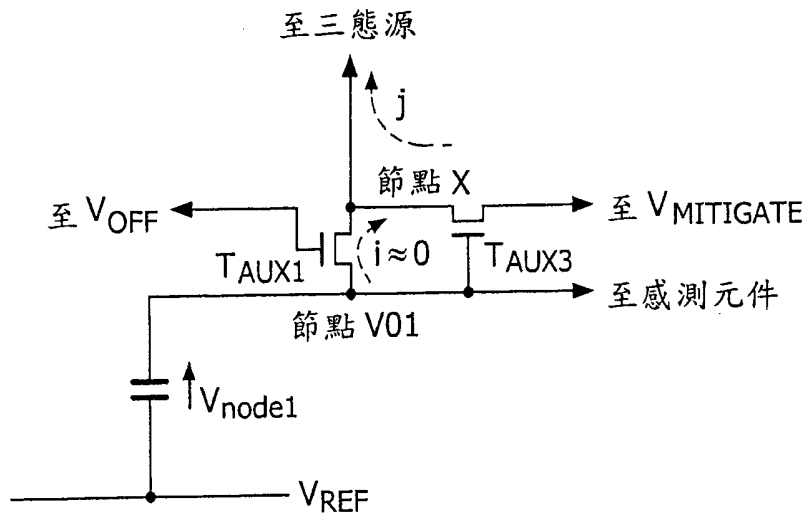


圖15

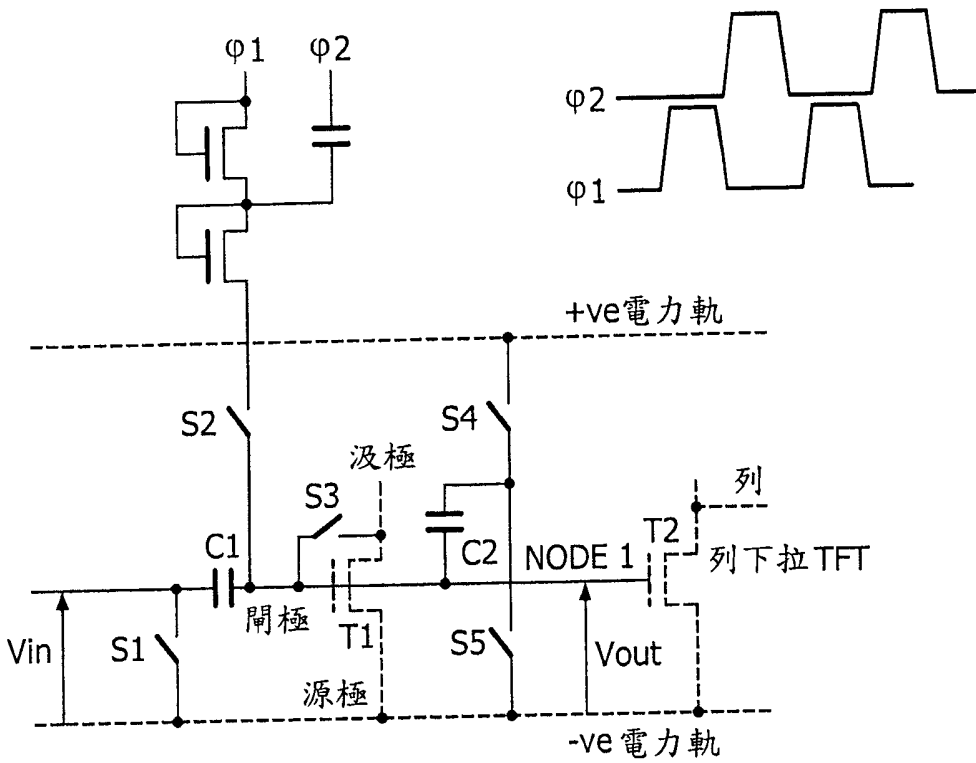


圖16

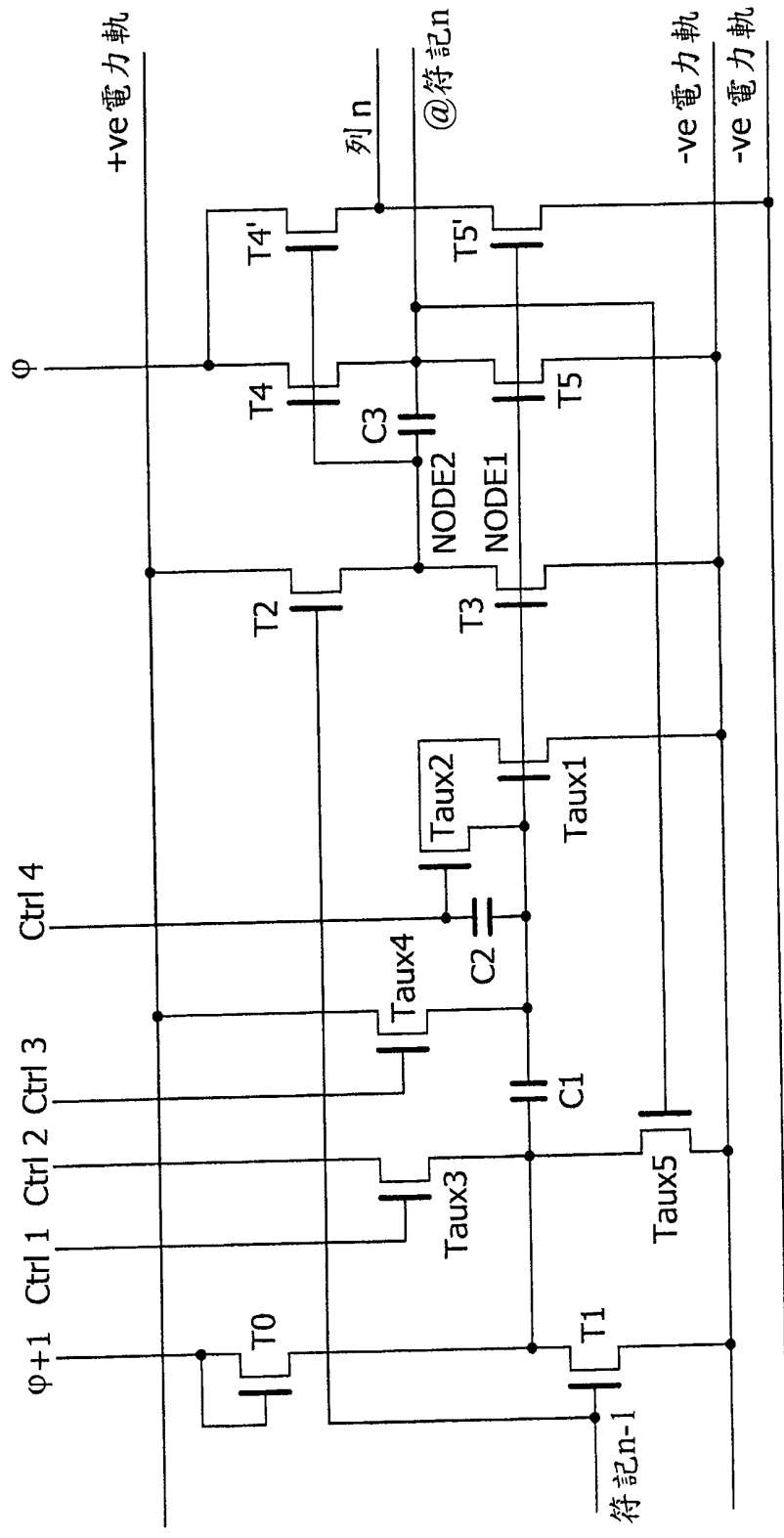


圖17

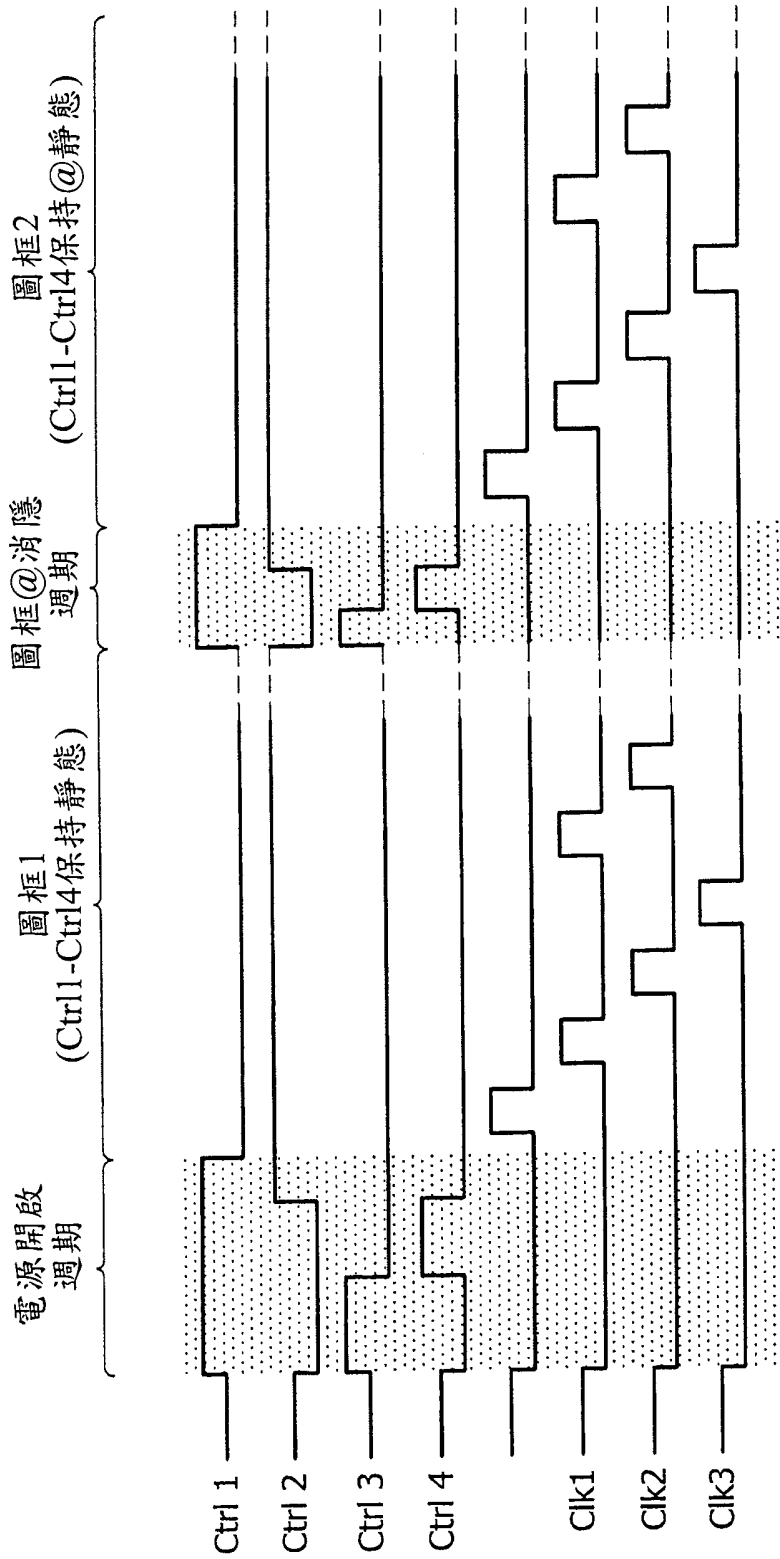


圖 18

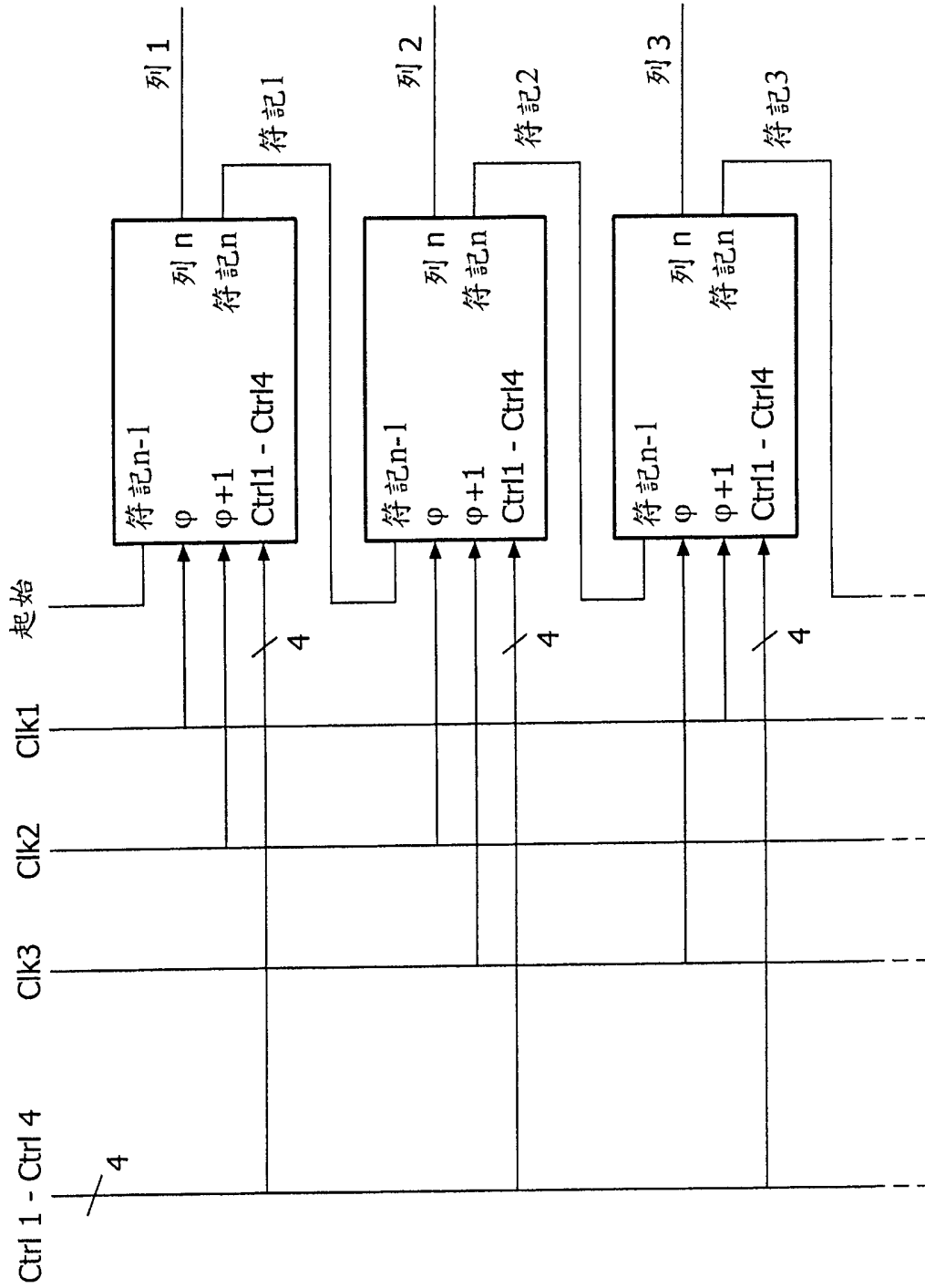


圖 19

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

10	列上拉電晶體
11	升壓電容器
12	列下拉電晶體
13	電晶體
14	電晶體
16	臨界電壓感測電路
18	正電壓線
19	負電壓線
Clock	時控電源供應線
Vin	輸入電壓
Vout	輸出電壓

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)